

METHOD FOR DRIVING EL DISPLAY DEVICE AND EL DISPLAY DEVICE AND ITS MANUFACTURING METHOD AND INFORMATION DISPLAY DEVICE

Publication number: JP2003150082

Publication date: 2003-05-21

Inventor: TAKAHARA HIROSHI

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: **H05B33/02; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H01L51/50; H05B33/04; H05B33/10; H05B33/12; H05B33/14; H05B33/02; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H01L51/50; H05B33/04; H05B33/10; H05B33/12; H05B33/14; (IPC1-7): G09F9/30; G09G3/20; G09G3/30; H05B33/02; H05B33/04; H05B33/10; H05B33/12; H05B33/14**

- european:

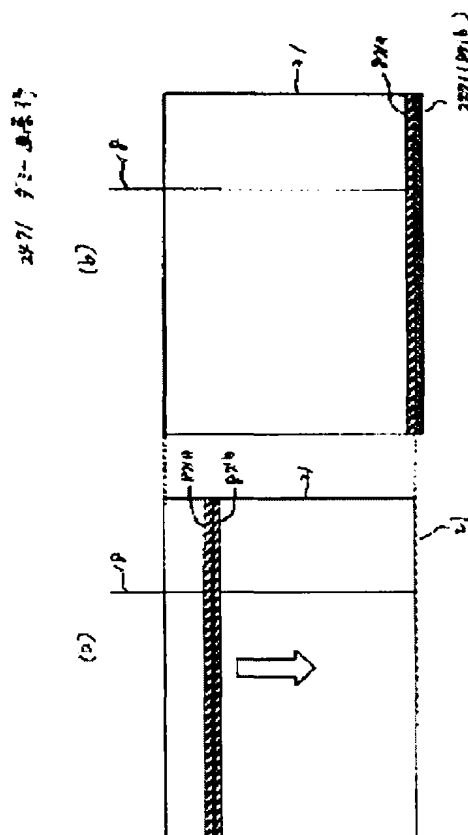
Application number: JP20010349887 20011115

Priority number(s): JP20010349887 20011115

Report a data error here

Abstract of JP2003150082

PROBLEM TO BE SOLVED: To provide an EL (electroluminescence) display device having a satisfactory contrast. **SOLUTION:** In this EL display device, two lines of pixel rows are selected by applying an ON-voltage to gate signal lines. Programmed currents are outputted from a source signal line 18 to be programmed in selected write pixel rows 871a, 871b. Then, a picture is written in an entire display area by successively shifting write pixel rows. A dummy pixel row 2471 is selected at the low side part of a display area 21. Since EL film screens are not formed in the dummy pixel row, the row does not emit rays of light. Moreover, since the dummy pixel row is selected at the lower side of the picture, a current flowing through the source line 18 can be made constant. As a result, the black float of the picture is not generated in the device and a satisfactory contrast can be realized in the device.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-150082

(P 2 0 0 3 - 1 5 0 0 8 2 A)

(43) 公開日 平成 15 年 5 月 21 日 (2003. 5. 21)

(51) Int. Cl.	識別記号	F I	テーマコード (参考)
G09F 9/30	390	G09F 9/30	390 Z 3K007
	338		338 5C080
	365		365 Z 5C094
G09G 3/20	611	G09G 3/20	611 A
	622		622 D

審査請求 未請求 請求項の数 20 O L (全 254 頁) 最終頁に続く

(21) 出願番号 特願 2001-349887 (P 2001-349887)

(71) 出願人 000005821

松下電器産業株式会社

(22) 出願日 平成 13 年 11 月 15 日 (2001. 11. 15)

大阪府門真市大字門真 1006 番地

(72) 発明者 高原 博司

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

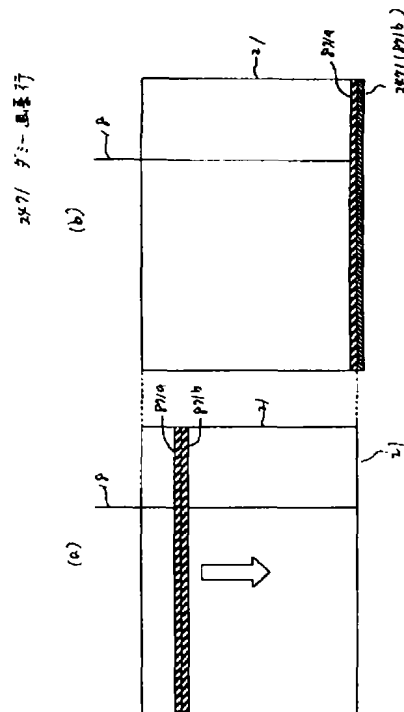
最終頁に続く

(54) 【発明の名称】 E L 表示装置の駆動方法と E L 表示装置およびその製造方法と情報表示装置

(57) 【要約】

【課題】 コントラストが良好な E L 表示装置を提供する。

【解決手段】 ゲート信号線にオン電圧を印加し、2本の画素行を選択する。ソース信号線 18 からプログラム電流を出力し、選択した書き込み画素行 871a、871b に電流プログラムを行う。書き込み画素行は順次シフトし、全表示領域に画像を書き込む。表示領域 21 の下辺部では、ダミーの画素行 2471 を選択する。ダミー画素行は E L 膜画形成されていないため、発光しない。また、画面の下辺ではダミー画素行を選択するため、ソース信号線 18 に流れる電流値を一定にすることができる。したがって、画像の黒浮きが発生せず、良好なコントラストを実現できる。



【特許請求の範囲】

【請求項 1】 アクティブマトリックス型 E L 表示装置であって、

表示領域の上辺と下辺のうち少なくとも一方に、発光しないかしくは発光する光を遮光された画素行が形成もしくは配置されていることを特徴とする E L 表示装置。

【請求項 2】 E L 表示装置の駆動方法であって、同時に複数の画素行を選択し、前記選択した画素行に同一画像データを印加する第 1 の動作と、前記画素行の選択位置を順次シフトさせる第 2 の動作と、

最終画素行を選択する際に、画像表示領域以外に形成または配置された画素行を選択する第 3 の動作を実施することを特徴とする E L 表示装置の駆動方法。

【請求項 3】 マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路を具備し、前記ゲートドライバ回路は順次画素行を選択し、前記ゲートドライバ回路が画素行を選択していない時には、前記ソースドライバ回路は、黒表示での書き込み電流を出力することを特徴とする E L 表示装置。

【請求項 4】 マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に形成された第 2 の画素とを具備し、前記ゲートドライバ回路は順次画素行を選択し、前記ゲートドライバ回路が表示領域の画素行を選択していない時には、前記ソースドライバ回路は、前記表示領域外に形成された画素に出力電流を書き込むか、もしくは、前記画素から電流を吸収することを特徴とする E L 表示装置。

【請求項 5】 マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に形成された第 2 の画素とを具備し、前記第 2 の画素の画素電極は、E L 素子のカソード電極またはアノード電極と電気的に短絡されていることを特徴とする E L 表示装置

【請求項 6】 マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に形成された第 2 の画素とを具備し、前記第 2 の画素には E L 素子が形成されていないか、もしくは E L 素子から発光する遮光する遮光手段を有していることを特徴とする E L 表示装置。

【請求項 7】 マトリックス状に配置された画素と、表

示領域外に形成された第 2 の画素とを有する E L 表示パネルと、
ダウンコンバータと、
アップコンバータと、
受話器と、
スピーカーとを具備することを特徴とする情報表示装置。

【請求項 8】 画像メモリと、
所定の大きさ以上の画像データの個数をカウントするカウンタ回路と、
前記カウンタ回路のカウント値が所定値以上の時、前記画像メモリから読み出すデータが小さくなるようにデータ変換するデータ変換回路とを具備することを特徴とする E L 表示装置。

【請求項 9】 マトリックス状に形成された画素と、前記画素に形成された E L 素子と、前記 E L 素子に電流を供給する駆動トランジスタ素子と、
前記駆動用トランジスタ素子からの電流が前記 E L 素子にながれることを制御するスイッチング素子と、
前記画素を順次選択するゲートドライバ回路と、
所定の大きさ以上の画像データの個数をカウントするカウンタ回路と、
前記カウンタ回路のカウント値が所定値以上の時、前記スイッチング素子を制御する制御回路とを具備することを特徴とする E L 表示装置。

【請求項 10】 マトリックス状に形成された画素と、前記画素に形成された E L 素子と、
前記 E L 素子に電流を供給する駆動トランジスタ素子と、
前記画素を順次選択するゲートドライバ回路と、
前記ゲートドライバ回路の上に形成された電極と、
前記電極上に形成された E L 膜とを具備することを特徴とする E L 表示装置。

【請求項 11】 アクティブマトリックス型 E L 表示装置であって、
各画素に形成された E L 素子と、
前記 E L 素子に電流を供給する駆動トランジスタ素子と、
前記駆動トランジスタ素子のゲート端子の電位を所定期間保持するための第 1 のコンデンサと、
前記第 1 のコンデンサの一端に接続された第 2 のコンデンサと、
前記第 2 のコンデンサの他の端子に接続された制御信号線とを具備し、
前記制御信号線に印加した電圧により、前記ゲート端子の電位をシフトさせることを特徴とする E L 表示装置。

【請求項 12】 アクティブマトリックス型 E L 表示装置であって、

各画素に形成された E L 素子と、

前記 E L 素子に電流を供給する駆動トランジスタ素子と、
 スイッチングトランジスタ素子と、
 前記駆動トランジスタ素子のゲート端子と電圧端子間に配置された第 1 のコンデンサと、
 前記駆動トランジスタ素子のゲート端子と前記スイッチングトランジスタ素子のドレイン端子間に配置された第 2 のコンデンサとを具備し、
 前記スイッチング素子の選択により、前記スイッチングトランジスタ素子のドレイン端子と、前記駆動トランジスタのソース端子とが短絡できるように配置されていることを特徴とする E L 表示装置。

【請求項 13】 アクティブマトリックス型 E L 表示装置であって、

赤色に発光する第 1 の E L 素子と緑色に発光する第 2 の E L 素子と青色に発光する第 3 の E L 素子と前記第 1 の E L 素子に電流を供給する第 1 の駆動トランジスタ素子と、
 前記第 2 の E L 素子に電流を供給する第 2 の駆動トランジスタ素子と、
 前記第 3 の E L 素子に電流を供給する第 3 の駆動トランジスタ素子と、
 前記第 1 の駆動トランジスタ素子と前記第 1 の E L 素子間に配置された第 1 のスイッチング素子と、
 前記第 2 の駆動トランジスタ素子と前記第 2 の E L 素子間に配置された第 2 のスイッチング素子と、
 前記第 3 の駆動トランジスタ素子と前記第 3 の E L 素子間に配置された第 3 のスイッチング素子と、
 前記第 1 の駆動トランジスタ素子と前記第 2 の駆動トランジスタ素子と前記第 3 の駆動トランジスタ素子とを同時に選択する第 1 のゲート信号線と、
 前記第 1 のスイッチング素子のオンオフを制御する第 1 の制御信号線と、
 前記第 2 のスイッチング素子のオンオフを制御する第 2 の制御信号線と、
 前記第 3 のスイッチング素子のオンオフを制御する第 3 の制御信号線とを具備することを特徴とする E L 表示装置。

【請求項 14】 アクティブマトリックス型 E L 表示装置の駆動方法であって、

赤色に発光する第 1 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方と、
 緑色に発光する第 2 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方と、
 青色に発光する第 3 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方とのうち、
 いずれかが他の E L 素子と異なっていることを特徴とする E L 表示装置の駆動方法。

【請求項 15】 E L 表示装置であって、
 各画素に形成された E L 素子と、

前記 E L 素子に電流を供給する駆動トランジスタ素子と、
 前記画素に形成された E L 膜と、
 前記 E L 膜上に形成された電極と、
 前記 E L 膜への水分の流入を防止する封止膜と、
 前記封止膜上に前記画素形状に対応して形成された光屈曲手段とを具備し、
 前記光屈曲手段は、六角形状に形成または配置されていることを特徴とする E L 表示装置。

10 【請求項 16】 E L 表示装置であって、
 マトリックス状に配置された画素と、
 前記画素に印加する電流を出力する各ソース信号線に形成または配置された電流出力回路と、
 デジタル画像データをアナログ電流に変換するアナログ電流変換回路と、
 前記アナログ電流変換回路が出力する電流をサンプリングして、前記電流出力回路に保持させる電流サンプリング回路とを具備することを特徴とする E L 表示装置。

【請求項 17】 E L 表示装置の製造方法であって、
 20 基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、
 前記封止膜上に透明樹脂を塗布する第 2 の工程と、
 前記透明樹脂に、光屈曲手段の形状に対応した凹凸形状を有するローラーを押圧して、前記凹凸形状を転写する第 3 の工程と、
 前記透明樹脂を硬化させる第 4 の工程を行うことを特徴とする E L 表示装置の製造方法。

【請求項 18】 E L 表示装置の製造方法であって、
 基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、
 30 前記封止膜上に画素形状に対応した凸部を形成する第 2 の工程と、
 前記凸部および封止膜上に透明樹脂を塗布する第 3 の工程と、
 前記透明樹脂を硬化させる第 4 の工程を行うことを特徴とする E L 表示装置の製造方法。

【請求項 19】 E L 表示装置の製造方法であって、
 基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、
 40 前記封止膜と所定の間隔をあけて、前記画素形状に対応した開口部を有するマスクを配置する第 2 の工程と、
 前記マスクを介して、透明材料を前記封止膜上に蒸着する第 3 の工程とを行うことを特徴とする E L 表示装置の製造方法。

【請求項 20】 E L 表示装置の製造方法であって、
 基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、
 前記封止膜上に透明樹脂を塗布する第 2 の工程と、
 前記透明樹脂に、光屈曲手段の形状に対応した凹凸形状を有するプレス板を押圧する第 3 の工程と、
 50

前記プレス板を介して前記透明樹脂に光を照射し、前記透明樹脂を硬化させる第4の工程を行うことを特徴とするEL表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】主として本発明は自発光で画像を表示するEL表示パネルとおよびこれらのEL表示パネルを用いた携帯電話などの情報表示装置などに関するものである。

【0002】

【従来の技術】液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビなどの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】しかし、液晶表示パネルは自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが大きくなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

【0004】

【課題を解決するための手段】この課題を解決するために本発明は、第1に、EL表示装置において、アクティブマトリックス型EL表示装置であって、表示領域の上辺と下辺のうち少なくとも一方に、発光しないかもしくは発光する光を遮光された画素行が形成もしくは配置されていることを特徴とする。

【0005】第2に、EL表示装置の駆動方法において、EL表示装置の駆動方法であって、同時に複数の画素行を選択し、前記選択した画素行に同一画像データを印加する第1の動作と、前記画素行の選択位置を順次シフトさせる第2の動作と、最終画素行を選択する際に、画像表示領域以外に形成または配置された画素行を選択する第3の動作を実施することを特徴とする。

【0006】第3に、EL表示装置において、マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路を具備し、前記ゲートドライバ回路は順次画素行を選択し、前記ゲートドライバ回路が画素行を選択していない時には、前記ソースドライバ回路は、黒表示での書き込み電流を出力することを特徴とする。

【0007】第4に、EL表示装置において、マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に

形成された第2の画素とを具備し、前記ゲートドライバ回路は順次画素行を選択し、前記ゲートドライバ回路が表示領域の画素行を選択していない時には、前記ソースドライバ回路は、前記表示領域外に形成された画素に出力電流を書き込むか、もしくは、前記画素から電流を吸収することを特徴とする。

【0008】第5に、EL表示装置において、マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に形成された第2の画素とを具備し、前記第2の画素の画素電極は、EL素子のカソード電極またはアノード電極と電気的に短絡されていることを特徴とする。

【0009】第6に、EL表示装置において、マトリックス状に配置された画素と、前記画素を選択するゲートドライバ回路と、前記画素に印加する画像データを出力する電流出力型のソースドライバ回路と、表示領域外に形成された第2の画素とを具備し、前記第2の画素にはEL素子が形成されていないか、もしくはEL素子から発光する遮光する遮光手段を有していることを特徴とする。

【0010】第7に、情報表示装置において、マトリックス状に配置された画素と、表示領域外に形成された第2の画素とを有するEL表示パネルと、ダウンコンバータと、アップコンバータと、受話器と、スピーカーとを具備することを特徴とする。

【0011】第8に、EL表示装置において、画像メモリと、所定の大きさ以上の画像データの個数をカウントするカウンタ回路と、前記カウンタ回路のカウント値が所定値以上の時、前記画像メモリから読み出すデータが小さくなるようにデータ変換するデータ変換回路とを具備することを特徴とする。

【0012】第9に、EL表示装置において、マトリックス状に形成された画素と、前記画素に形成されたEL素子と、前記EL素子に電流を供給する駆動トランジスタ素子と、前記駆動用トランジスタ素子からの電流が前記EL素子にながれることを制御するスイッチング素子と、前記画素を順次選択するゲートドライバ回路と、所定の大きさ以上の画像データの個数をカウントするカウンタ回路と、前記カウンタ回路のカウント値が所定値以上の時、前記スイッチング素子を制御する制御回路とを具備することを特徴とする。

【0013】第10に、EL表示装置において、マトリックス状に形成された画素と、前記画素に形成されたEL素子と、前記EL素子に電流を供給する駆動トランジスタ素子と、前記画素を順次選択するゲートドライバ回路と、前記ゲートドライバ回路の上に形成された電極と、前記電極上に形成されたEL膜とを具備することを特徴とする。

【0014】第11に、EL表示装置において、アクテ

10

20

30

40

50

イブマトリックス型 E L 表示装置であって、各画素に形成された E L 素子と、前記 E L 素子に電流を供給する駆動トランジスタ素子と、前記駆動トランジスタ素子のゲート端子の電位を所定期間保持するための第 1 のコンデンサと、前記第 1 のコンデンサの一端子に接続された第 2 のコンデンサと、前記第 2 のコンデンサの他の端子に接続された制御信号線とを具備し、前記制御信号線に印加した電圧により、前記ゲート端子の電位をシフトさせることを特徴とする。

【0015】第 12 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、各画素に形成された E L 素子と、前記 E L 素子に電流を供給する駆動トランジスタ素子と、スイッチングトランジスタ素子と、前記駆動トランジスタ素子のゲート端子と電圧端子間に配置された第 1 のコンデンサと、前記駆動トランジスタ素子のゲート端子と前記スイッチングトランジスタ素子のドレイン端子間に配置された第 2 のコンデンサとを具備し、前記スイッチング素子の選択により、前記スイッチングトランジスタ素子のドレイン端子と、前記駆動トランジスタのソース端子とが短絡できるように配置されていることを特徴とする。

【0016】第 13 に、E L 表示装置において、アクティブマトリックス型 E L 表示装置であって、赤色に発光する第 1 の E L 素子と緑色に発光する第 2 の E L 素子と青色に発光する第 3 の E L 素子と前記第 1 の E L 素子に電流を供給する第 1 の駆動トランジスタ素子と、前記第 2 の E L 素子に電流を供給する第 2 の駆動トランジスタ素子と、前記第 3 の E L 素子に電流を供給する第 3 の駆動トランジスタ素子と、前記第 1 の駆動トランジスタ素子と前記第 1 の E L 素子間に配置された第 1 のスイッチング素子と、前記第 2 の駆動トランジスタ素子と前記第 2 の E L 素子間に配置された第 2 のスイッチング素子と、前記第 3 の駆動トランジスタ素子と前記第 3 の E L 素子間に配置された第 3 のスイッチング素子と、前記第 1 の駆動トランジスタ素子と前記第 2 の駆動トランジスタ素子と前記第 3 の駆動トランジスタ素子とを同時に選択する第 1 のゲート信号線と、前記第 1 のスイッチング素子のオンオフを制御する第 1 の制御信号線と、前記第 2 のスイッチング素子のオンオフを制御する第 2 の制御信号線と、前記第 3 のスイッチング素子のオンオフを制御する第 3 の制御信号線とを具備することを特徴とする。

【0017】第 14 に、E L 表示装置の駆動方法において、アクティブマトリックス型 E L 表示装置の駆動方法であって、赤色に発光する第 1 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方と、緑色に発光する第 2 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方と、青色に発光する第 3 の E L 素子のオンオフさせる周期とオンさせる時間のうち少なくとも一方とのうち、いずれかが他の E L 素

子と異なっていることを特徴とする。

【0018】第 15 に、E L 表示装置において、E L 表示装置であって、各画素に形成された E L 素子と、前記 E L 素子に電流を供給する駆動トランジスタ素子と、前記画素に形成された E L 膜と、前記 E L 膜上に形成された電極と、前記 E L 膜への水分の流入を防止する封止膜と、前記封止膜上に前記画素形状に対応して形成された光屈曲手段とを具備し、前記光屈曲手段は、六角形状に形成または配置されていることを特徴とする。

10 【0019】第 16 に、E L 表示装置において、E L 表示装置であって、マトリックス状に配置された画素と、前記画素に印加する電流を出力する各ソース信号線に形成または配置された電流出力回路と、デジタル画像データをアナログ電流に変換するアナログ電流変換回路と、前記アナログ電流変換回路が出力する電流をサンプリングして、前記電流出力回路に保持させる電流サンプリング回路とを具備することを特徴とする。

【0020】第 17 に、E L 表示装置の製造方法において、E L 表示装置の製造方法であって、基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、前記封止膜上に透明樹脂を塗布する第 2 の工程と、前記透明樹脂に、光屈曲手段の形状に対応した凹凸形状を有するローラーを押圧して、前記凹凸形状を転写する第 3 の工程と、前記透明樹脂を硬化させる第 4 の工程を行うことを特徴とする。

【0021】第 18 に、E L 表示装置の製造方法において、E L 表示装置の製造方法であって、基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、前記封止膜上に画素形状
20 に対応した凸部を形成する第 2 の工程と、前記凸部および封止膜上に透明樹脂を塗布する第 3 の工程と、前記透明樹脂を硬化させる第 4 の工程を行うことを特徴とする。

【0022】第 19 に、E L 表示装置の製造方法において、E L 表示装置の製造方法であって、基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、前記封止膜と所定の間隔をあけて、前記画素形状に対応した開口部を有するマスクを配置する第 2 の工程と、前記マスクを介して、透明
40 材料を前記封止膜上に蒸着する第 3 の工程とを行うことを特徴とする。

【0023】第 20 に、E L 表示装置の製造方法において、E L 表示装置の製造方法であって、基板に E L 膜と前記 E L 膜および E L 膜への水分の流入を防止する封止膜とを形成する第 1 の工程と、前記封止膜上に透明樹脂を塗布する第 2 の工程と、前記透明樹脂に、光屈曲手段の形状に対応した凹凸形状を有するプレス板を押圧する第 3 の工程と、前記プレス板を介して前記透明樹脂に光を照射し、前記透明樹脂を硬化させる第 4 の工程を行う
50 ことを特徴とする。

【0024】

【発明の実施の形態】本明細書において、各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小した箇所がある。例えば、図5の表示パネルの断面図では封止膜73などを十分厚く図示している。また、図6等では画素電極に信号を印加する薄膜トランジスタ(TFT)などを省略している。また、本発明の表示パネルなどでは、位相補償のための位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは他の図面に対しても同様である。また、同一番号または記号を付した箇所は同一の材料あるいは機能もしくは動作を有するものである。

【0025】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。例えば、図6の表示パネルにタッチパネルなどを付加し、図232、図243のような情報表示装置とすることができる。また、拡大レンズを取り付け、ビデオカメラ(図162参照)などのビューファインダ(図239参照)を構成することもできる。また、図49、図297、図50、図60などで説明した本発明の駆動方法は、本発明の表示装置または表示パネルのいずれにも適用することができる。また、本発明は各画素にTFTが形成されたアクティブマトリックス型表示パネルを主として説明するがこれに限定されるものではなく、単純マトリックス型にも適用することができることは言うまでもない。

【0026】このように、明細書、図面で説明した事項、内容、仕様は、特に例示されていなくとも、互いに組み合わせて適用させることができる。

【0027】(実施の形態1) 現在、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、複数の有機エレクトロルミネッセンス(EL)素子をマトリックス状に配列して構成される有機EL表示パネルが注目されている。

【0028】有機EL表示パネルは、図2に示すように、画素電極48としての透明電極が形成されたアレイ基板49上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機EL層47、及び反射膜46が積層されたものである。透明電極(画素電極)48の陽極(アノード)にプラス、反射膜46の陰極(カソード)にマイナスの電圧を加え、これらの間に直流電流を印加することにより、有機EL層47が発光する。このように、良好な発光特性を期待することのできる有機化合物を有機EL層に使用することによって、EL表示パネルが実用に耐え得るものになっている。

【0029】なお、カソード電極、アノード電極あるいは反射膜は、ITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜とは低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層形成したもの(誘電体ミラー)である。この誘電体多層

膜は有機EL構造から放射される光の色調を良好なものにする機能(フィルタ効果)を有する。

【0030】アノードあるいはカソードへ電流を供給する配線63、51には大きな電流が流れる。例えば、EL表示装置の画面サイズが40インチサイズになると100A程度の電流が流れる。そのため、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術により導体の厚みを太く形成している。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。

【0031】また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線を用いて、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線を用いて電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示されている。

【0032】反射膜46には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなもの、特にAl-Li合金を用いることが好ましい。また、透明電極(画素電極)48には、ITO(錫ドープ酸化インジウム)等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0033】なお、画素電極48などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極48としてのITO上にカーボン膜を20nm以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0034】また、有機EL膜は蒸着で形成することによって限定されるものではなく、インクジェットで形成してもよいことは言うまでもない。

【0035】(実施の形態2) 以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0036】放熱性を良くするため、アレイ基板49はサファイアガラスで形成してもよい。または熱伝導性のよい薄膜あるいは厚膜を形成してもよい。例えば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板や銅などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングを施したものを

いてもよい。画素電極を反射型とする場合、基板材料としては基板の表面方向より光が射出されるので、ガラス、石英や樹脂等の透明ないし半透明材料の他、ステンレスなどの非透過材料を用いることもできる。この構成を図5に図示する。図5では、カソード電極をITOなどの透明電極72で形成している。

【0037】なお、本発明の実施例では、カソードなどを金属膜で形成するとしたが、これに限定されるものではなく、ITO、IZOなどの透明膜で形成してもよい。このように、EL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる。つまり、金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるような構成にすることができる。

【0038】また、アレイ基板49にはプラスチック基板を用いてもよい。プラスチック基板は割れにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板は板に限定されるものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0039】ベース基板の材料として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製のARTON（厚さ200 μ mの1枚板）が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。

【0040】このように、アレイ基板49をプラスチックで構成する場合、アレイ基板49はベース基板と2枚の補助基板から構成されるので、ベース基板の他方の面にも、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0041】接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、アレイ基板49の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に、接着剤は酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0042】各々の補助基板をベース基板に貼り合わせる際には、各々の補助基板の光学的遅相軸同士がなす角度を45度以上120度以下、さらに好ましくは80度以上100度以下（ほぼ90度）とすることがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、有機EL表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。

10 【0043】この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることで直線偏光を楕円偏光に設計通りに変換できるようになるからである。アレイ基板49などに位相差があると、この位相差により設計値との誤差が発生する。

【0044】補助基板におけるハードコート層は、材料としてエポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極あるいは画素電極を有する透明導電膜の第1のアンダーコート層とを兼ねる。また、ガスバリア層としては、SiO₂、SiO_xなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 μ m以下とするが、基板など表面の凹凸を平滑化するために、10 μ m以上とすることが好ましい。

【0045】また、アレイ基板49を構成する補助基板および補助基板として、厚さ40 μ m以上400 μ m以下30 のものを用いることが好ましい。また、各々の補助基板の厚さを120 μ m以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができるので、好ましくは厚さを50 μ m以上80 μ m以下とする。

【0046】次に、この積層基板に、透明導電膜の補助アンダーコート層としてSiO_xを形成し、画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。このようにして製造した有機EL表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値25 Ω /□、透過率80%を実現することができる。

【0047】ベース基板の厚さが50 μ m~100 μ mのように薄い場合には、有機EL表示パネルの製造工程において、有機EL表示パネル用プラスチック基板が熱処理によりカーブしてしまう。また、ストライプ状電極などを構成するITOにクラックが発生し、それ以降の搬送が不可能となる。また、回路部品の接続においても良好な結果は得られない。しかし、ベース基板を1枚板で厚さ200 μ m以上500 μ m以下とした場合は、基

板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、適度な柔軟性と平面性をもっているため、厚さを $250\mu\text{m}$ 以上 $450\mu\text{m}$ 以下とすることがよいと考えられる。

【0048】なお、アレイ基板49として前述のプラスチック基板などの有機材料を使用する場合は、液晶層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、AIRコートと同一材料で形成されることが好ましい。なお、封止フタ41もアレイ基板49と同様の技術あるいは構成により作製できる。

【0049】また、バリア層を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。例えば、フッ素を添加したアモルファスカーボン膜（比誘電率2.0～2.5）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率2.5～2.7））、LKD-T400シリーズ（比誘電率2.0～2.2））が例示される。LKDシリーズはMSQ（methyrsilsesquioxane）をベースにしたスピン塗布形であり、比誘電率も2.0～2.7と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、 SiNx 、 SiO_2 などの無機材料でもよい。これらのバリア層材料は補助基板に用いても問題はない。

【0050】プラスチックで形成したアレイ基板49あるいは封止フタ41を用いることにより、割れない、軽量化できるという利点を発揮できる他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できるということである（図3を参照）。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することもできる。例えば、円形にしたり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸部252を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【0051】また、プラスチックをプレス加工することにより形成したアレイ基板49の穴に、バックライトあるいはカバー基板の位置決めピンを挿入できるように形成することも容易である。また、アレイ基板49、封止フタ41内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、封止フタ41に凹部（図示せず）を形成し、アレイ基板49に凸部251を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、封止フタ41とアレイ基板49とをはめ込みにより一体化することができるよう構成してもよい。

【0052】ガラス基板を用いた場合は、画素16の周辺部にEL素子を蒸着する際に使用する土手を形成していた。土手（リブ）は樹脂材料を用いて、 $1.0\mu\text{m}$ 以上 $3.5\mu\text{m}$ 以下、さらに好ましくは $1.5\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下の厚みで凸部状に形成する。この樹脂からなる土手（凸部）251を封止フタ41またはアレイ基板49のプレス加工による形成と同時に作製することもできる（図3を参照）。これは封止フタ41、アレイ基板49を樹脂で形成することにより発生する大きな効果である。なお、土手材料はアクリル樹脂、ポリイミド樹脂の他、SOG材料でもよい。

【0053】このように、樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、アレイ基板49などの製造時に、表示領域部にドット状に凸部251を形成する。この凸部251は隣接画素間に形成することで、封止フタ41とアレイ基板49との所定の空間を保持する。なお、土手形状は、画素電極を取り囲む口状の他、ストライプ状でもよい。

【0054】なお、以上の実施例では、土手として機能する凸部251を形成するとしたが、これに限定されることはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、凹凸部252、凸部251は基板と同時に形成される他、平面な基板を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0055】また、封止フタ41、アレイ基板49を直接着色することにより、モザイク状のカラーフィルタを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し浸透させる。浸透後、高温で乾燥させ、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し現像する半導体パターン形成技術などでカラーフィルタを形成してもよい。カラーフィルタの他、同様の技術を用いて、黒色もしくは暗色あるいは変調する光の補色関係にあるブラックマトリックス（BM）を着色により直接形成してもよい。また、基板面上に画素に対応するように凹部を形成し、この凹部にカラーフィルタ、BMあるいはTFTを埋め込むように構成してもよい。特に、表面をアクリル樹脂で被覆することが好ましい。この構成では画素電極面などが平滑化されるという利点もある。

【0056】また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極あるいはカソード電極を直接構成してもよい。さらには、基板に大きく穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。これにより、基板が薄く構成できる利点が発揮される。

【0057】また、基板の表面を切削することにより、

自由に模様を形成してもよい。また、封止フタ41、アレイ基板49の周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0058】以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。

【0059】また、封止フタ41とアレイ基板49を多層回路基板あるいは両面基板として利用できるようにするため、封止フタ41とアレイ基板49に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させることも可能である。

【0060】また、封止フタ41、アレイ基板49自身を多層の配線基板としてもよい。例えば、導電樹脂のかわりに導電ピンなどを挿入したり、形成した穴にコンデンサなどの電子部品の端子を差し込めるようにしたり、または基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。多層化は薄い基板を貼り合わせることで形成されるので、この際、貼り合わせる基板（フィルム）の1枚以上を着色してもよい。

【0061】また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色することにより、積載したICチップに光が照射されることで誤動作を防止できる。

【0062】また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることにより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【0063】また、封止フタ41またはアレイ基板49に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、封止フタ41、アレイ基板49を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成することで、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズを形成するスタンパ技術で実現できる。

【0064】封止フタ41、アレイ基板49には、ストライプ状電極（図示せず）が形成されている。また、基板が空気に接する面には、反射防止膜（AIRコート）

が形成され、偏光板（偏光フィルム）など他の構成材料が貼り付けられている場合は、その構成材料の表面などに反射防止膜（AIRコート）が形成される。また、封止フタ41、アレイ基板49に偏光板などが貼り付けられていない場合は、封止フタ41、アレイ基板49に直接、反射防止膜（AIRコート）が形成される。

【0065】なお、以上の実施例は封止フタ41、アレイ基板49がプラスチックで形成されることを中心に説明してきたが、これに限定されるものではない。例え

ば、封止フタ41、アレイ基板49がガラス基板、金属基板であっても、プレス加工、切削加工などにより、凹部252、凸部251などを形成または構成できる。また、基板に限定されるものでもない。例えば、フィルムあるいはシートでもよい。

【0066】また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電気防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【0067】なお、表示パネル82の光入射面あるいは光出射面に配置または形成される偏光板（偏光フィルム）は直線偏光するものに限定されるものではなく、楕円偏光となるものであってもよい。また、複数の偏光板を貼り合わせたり、偏光板と位相差板とを組み合わせたり、貼り合わせたものを用いてもよい。

【0068】偏光フィルムを構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0069】AIRコートは誘電体単層膜もしくは多層膜で形成される構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。例えば、フッ素系のアクリル樹脂などが例示され、特に屈折率が1.37以上1.42以下のものが良好である。

【0070】また、AIRコートには3層構成あるいは2層構成がある。3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、AIRコートは2層以上に限定されるものではなく、1層でもよい。この場合は、フッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda / 2$ 積層して形成する。

【0071】マルチコートの場合は、酸化アルミニウム（ Al_2O_3 ）を光学的膜厚 $nd1 = \lambda / 4$ 、ジルコニウム（ ZrO_2 ）を $nd1 = \lambda / 2$ 、フッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda / 4$ 積層して形成する。通

常、薄膜は $\lambda = 520\text{nm}$ もしくはその近傍の値として形成される。

【0072】Vコートの場合は、一酸化シリコン (SiO) を光学的膜厚 $nd1 = \lambda/4$ とフッ化マグネシウム (MgF) を $nd1 = \lambda/4$ 、もしくは酸化イットリウム (Y_2O_3) とフッ化マグネシウム (MgF) を $nd1 = \lambda/4$ 積層して形成する。 SiO は青色側に吸収帯域があるため、青色光を変調する場合は物質の安定性からも Y_2O_3 を用いた方がよい。また、 SiO 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。例えば、フッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0073】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネル82などの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料を親水性が良好な材料で構成しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

【0074】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ (TFT) を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが、望ましくはスイッチング用薄膜トランジスタ、駆動用薄膜トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナ型のTFTというように限定されるものではなく、スタガー型でも逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域 (ソース、ドレイン) が形成されたものでも、非セルフアライン方式によるものでもよい。

【0075】本発明のEL素子15は、アレイ基板上に、ホール注入電極 (画素電極) となるITOと、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有し、前記アレイ基板にはTFTが設けられている。

【0076】本発明のEL素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平滑化膜上の透明電極 (画素電極) であるITOをスパッタ法で成膜、パターニングする。その後、有機EL層、電子注入電極等を積層する。

【0077】TFTとしては、通常多結晶シリコンTFTを用いればよい。TFTは、EL構造体の各画素の端部に設けられ、その大きさは $10 \sim 30\mu\text{m}$ 程度で、この際の画素の大きさは $20\mu\text{m} \times 20\mu\text{m} \sim 300\mu\text{m} \times 300\mu\text{m}$ 程度である。

【0078】アレイ基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、しかもホール注入電極を電気的に接続して抵抗値を低く抑える機能があり、

一般的にその配線電極は、Al、Alおよび遷移金属 (ただしTiを除く)、Tiまたは窒化チタン (TiN) のいずれか1種または2種以上を含有するものではない。EL構造体の下地となるホール注入電極とTFTの配線電極とを併せた全体の厚さは、特に制限はないが、通常 $100 \sim 1000\text{nm}$ 程度とすればよい。

【0079】TFT11の配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、 SiO 等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG (スピン・オン・グラス) で形成した酸化ケイ素層、フォトレジスト、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0080】EL構造体の発光ピークは2つ以上であってもかまわない。例えば、本発明のEL素子における緑および青色発光部は、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0081】次に、本発明のEL素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。

【0082】ホール注入電極の材料としては、ホール注入電極側から発光した光を取り出す構造であるため、ITO (錫ドープ酸化インジウム)、IZO (亜鉛ドープ酸化インジウム)、 ZnO 、 SnO 、 In_2O_3 等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常 $10 \sim 500\text{nm}$ 程度とすることが好ましい。また、ホール注入電極の材料には、素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、 $10 \sim 30\Omega/\square$ (膜厚 $50 \sim 300\text{nm}$) のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満たすように、電極の膜厚や光学定数を設定すればよい。このホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成されることが好ましい。

スパッタガスは、特に制限されるものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0083】電子注入電極は、スパッタ法等や好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金を用いた材料で構成される。例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、または3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg (Ag: 1~20at%)、Al・Li (Li: 0.3~14at%)、In・Mg (Mg: 50~80at%)、Al・Ca (Ca: 5~20at%)等が好ましい。電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値に特に制限はないが、通常、膜厚は100~500nm程度とすればよい。

【0084】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0085】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。

【0086】これらの正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・封止し、再結合領域を最適化させ、発光効率を改善する働きがある。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0087】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常5~100nm程度とすることが好ましい。

【0088】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10~10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。

【0089】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光

色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる

【0090】本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス（8-キノリノラト）アルミニウム（Alq3）等の金属錯体色素、特開平6-110569号公報（フェニルアントラセン誘導体）、特開平6-114456号公報（テトラアリアルエテン誘導体）、特開平6-100857号公報、特開平2-247278号公報等に開示されているような青緑色発光材料が挙げられる。

【0091】青色発光のEL素子15は、発光層の材料に発光波長が約400nmの「DMPhen (Triphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層 (Bathocuproine) と正孔注入層 (m-MTDATA) にバンド・ギャップが発光層と同じ材料であるものを採用することが好ましい。これは、バンド・ギャップが3.4eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまるので、発光層で電子と正孔の再結合が起こりにくいからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドーパントに移動させ、ドーパントから発光させることにより解決できる。

【0092】EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率が2~3%程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0093】また、EL素子の発光層のホスト材料にはCBPを用いるとよい。ここでは赤色 (R) や緑色 (G)、青色 (B) のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

【0094】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0095】なお、上記これらの正孔注入輸送層、発光

層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0096】（実施の形態3）以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。先にも説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値としてコンデンサ19に保持される。このTFT11の組み合わせなど画素構成については後に説明をする。次に、TFT11に正孔注入電極としての画素電極48を形成する。画素電極48はフォトリソグラフィによりパターン化する。なお、TFT11の下層、あるいは上層にはTFT11に光入射することにより発生するホットコンダクタ現象（以後、ホットコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

【0097】プラスチック基板にTFTを形成するためには、有機半導体を形成する表面を加工し、炭素と水素からなるペンタセン分子を利用した電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20～100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

【0098】ペンタセン分子は、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子バッファ」を塗布するとよい。この層がシリコン上の「sticky sites（くっつきやすい場所）」を覆うため、清浄な表面ができてペンタセン分子が非常に大きな結晶粒にまで成長する。このような新しい結晶粒の大きなペンタセン分子の薄膜を低い温度で塗布して使うことにより、フレキシブルなトランジスタを大量生産することができる。

【0099】また、基板上にゲートとなる金属薄膜を島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

【0100】有機トランジスタ（TFT）として、静電誘導トランジスタ（SIT）と呼ぶ構造を採用することが好ましく、アモルファス状態のペンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したペンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。なお、ペンタセンの膜厚は100nm以上300nm以下とすることが好ましい。

【0101】また、有機TFTとしてP型電界効果トランジスタでもよく、プラスチック基板上にTFTを形成

できる。この場合、プラスチック基板ごと折り曲げることが可能なので、フレキシブルなTFT型表示パネルを構成できるペンタセンは多結晶状態とすることが好ましい。また、ゲート絶縁膜の材料にはPMMAを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。

【0102】洗浄時に酸素プラズマ、 O_2 アッシャーを使用すると、画素電極48の周辺部の平滑化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために、本発明では図4で示すように、画素電極48の周辺部にアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平滑化膜71を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 、 SiNx などの無機材料や、 Al_2O_3 なども例示される。

【0103】エッジ保護膜81は画素電極48のパターニング後、画素電極48間を埋めるように形成される。もちろん、このエッジ保護膜81を $2 \mu\text{m}$ 以上 $4 \mu\text{m}$ 以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手（メタルマスクが画素電極48と直接接しないようにするスペーサ）としてもよいことは言うまでもない。

【0104】（実施の形態4）以下、EL表示パネル内で発生した光の取り出し効率を向上させる方法について説明をする。図301は、従来のEL表示装置の課題を説明するものである。図301において、2791は光の軌跡を図示している。

【0105】有機EL層47で発生した光は、反射膜46で反射などして、ゲートドライバ12（あるいはソースドライバ14）が形成されたアレイ基板49から出射する。この光2791aはアレイ基板49と空気との界面に対し、所定の角度で入射した光はアレイ基板49から出射する。しかし、臨界角 θ 以上の角度で入射した光2791bはアレイ基板49内で全反射してしまう。この全反射した光2791bは、アレイ基板49内で乱反射し、表示コントラストを低下させる。

【0106】全反射した光2791bは損失となり、この損失となる光の割合は、EL素子15が発生する全光束量の2/3に達する。したがって、光2791bの発生を低減することが、光利用率の向上に直結する。

【0107】この課題を解決する構成が図7の構成である。図5などで説明した封止膜73上に屈折シート（光屈折部材あるいは光屈折板）を取り付けている（配置している、あるいは形成している）。屈折シート2801には画素16に対応するように、三角形あるいは多角形もしくは円弧上に屈折部2802が形成されている。この屈折部2802は全体を透明部材で構成してもよく、また、図7のaで示す部分（屈折部2802の内面）に反射膜を形成してもよい。反射膜は、 Al 、銀などの金

属膜の他、低屈折率の誘電体膜と高屈折率の誘電体膜とを多層形成することにより構成した干渉膜でもよい。また、スネルの法則による全反射領域となるように形状を設定してもよい。

【0108】また、屈折シート2801に屈折部2802を形成したものを封止膜73上に取り付ける構成だけでなく、封止膜73に直接、屈折部2802を形成してもよい。また、光の下取り出しの場合は、アレイ基板49自身を加工し、屈折部2802を形成してもよい。また、封止板の上に形成または配置してもよい。

【0109】なお、屈折部2802の形状は、斜面状あるいは、円弧状に限定されるものではなく、多角形、ついで状でもよい。また、多数の針状の突起が密集して形成されたものでもよい。また、屈折部2802は画素16の発光部の周辺部に形成されることを基本とする。つまり、画素16の開口率が30%であれば、画素16の非発光部（つまり、70%の部分）に形成する。もちろん、屈折部2802の形成位置が発光位置に重なってもよいことは言うまでもない。

【0110】なお、屈折部2802は画素16の発光部の周辺部に形成されることを基本とするとしたが、表示画面21の中央部の周辺部では多少変化させることが好ましい。表示画面21の中央部では、屈折部2802を画素16の発光部の周辺部に丁度配置されるように形成する。表示画面21の周辺部では、屈折部2802を画素16の発光部の中心位置から外側にずらした配置にするように形成する。このように、屈折部2802の形成位置を表示画面の中央部と周辺部で変化させることにより、モアレの発生を抑制でき、また、色むらの発生をも抑制できるようになる。その他、屈折部2802の位置を画素ごとに多少ランダムに形成することによっても、モアレの発生を抑制でき、また、色むらの発生をも抑制できるようになる。

【0111】また、屈折部2802の内部をEL素子15で発光した光が通過し、かつ、この屈折部2802で屈折してパネルの前面に出射されるように構成してもよい。つまり、屈折部2802がプリズムとして作用する。この場合は、屈折部2802は光透過材で構成する必要がある。

【0112】屈折部2802が光透過材料で形成された場合、この材料を着色することには効果がある。EL素子15から放射する光の帯域をカットするカラーフィルタの効果を発揮できるからである。したがって、EL表示パネルの色純度が向上し、ホワイトバランスも良好となる。また、EL素子15が白色発光の場合は、カラーフィルタを設けず、この屈折部2802をカラーフィルタとして活用することができる。もちろん、カラーフィルタを別途形成し、さらに着色した屈折部2802を形成または配置してもよい。また、屈折部2802または屈折シート2801に直接着色してもよいし、これらを

着色材料で形成してもよい。

【0113】着色材料としては、色素あるいは顔料を樹脂中に分散したものをを用いても良いし、カラーフィルタのようにゼラチンやカゼインを酸性染料で染色したものでもよい。その他、フルオラン系色素を発色させて用いることもできる。また、RGBの3色を必要とするものではなく、任意の1色以上を用いればよい。また、色素を用いて天然樹脂を染色したり、また、色素を合成樹脂中に分散させた材料を用いることもできる。色素の選択範囲は、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種類、もしくはそれらのうちの2種類以上の組み合わせでもよい。

【0114】屈折部2802、屈折シート2801の構成材料はポリマーを用いることが好ましい。ポリマーとしては、製造工程の容易さ、液晶相との分離等の点により光硬化タイプの樹脂を用いるのがよい。具体的な例として、紫外線硬化性アクリル系樹脂が好ましく、特に紫外線照射によって重合硬化するアクリルモノマー、アクリルオリゴマーを含有するものが好ましい。

【0115】中でもフッ素基を有する光硬化性アクリル樹脂は経時変化が少なく、耐光性も良好である。

【0116】ポリマーを構成する高分子形成モノマーとしては、2-エチルヘキシルアクリレート、2-ヒドロキシエチルアクリレート、ネオペンチルグリコールジアクリレート、ヘキサジオールジアクリレート、ジエチレングリコールジアクリレート、トリプロピレングリコールジアクリレート、ポリエチレングリコールジアクリレート、トリメチロールプロパントリアクリレート、ペンタエリスリトールアクリレート等々である。

【0117】オリゴマーもしくはプレポリマーとしては、ポリエステルアクリレート、エポキシアクリレート、ポリウレタンアクリレート等が挙げられる。

【0118】また、重合を速やかに行う為に重合開始剤を用いても良く、この例として、2-ヒドロキシ-2-メチル-1-フェニルプロパン-1-オン（メルク社製「ダロキュア1173」）、1-(4-イソプロピルフェニル)-2-ヒドロキシ-2-メチルプロパン-1-オン（メルク社製「ダロキュア1116」）、1-ビドロキシシクロヘキシルフェニルケトン（チバガイギー社製「イルガキュア184」）、ベンジルメチルケタール（チバガイギー社製「イルガキュア651」）等が掲げられる。その他に任意成分として連鎖移動剤、光増感剤、染料、架橋剤等を適宜併用することができる。

【0119】なお、以上のポリマーに関する事項は、主として図13、図14、図15の製造方法で適用される。図16の製造方法の場合は、屈折部2802は無機材料で形成されているが、もちろん、ポリマーのように有機材料で形成してもよい。

【0120】屈折部2802の配置は、図8に図示する

ように六角形状にするとよい。もちろん、八角形以上などでもよい。画素 16 の発光部の周囲に屈折部 2802 を形成する。このように六角形状とすることにより、EL 表示パネルを観察した際、表示画面をみる視点を変化させた場合でも色むら、色シフトの発生が非常に少なくすることができる。また、画素 16 の発光位置と屈折部 2802 の位置ずれによるモアレの発生も少ない。

【0121】図 8 は表示画面 21 の上下方向に同一色を配置した構成（縦ストライプ構成）の実施例であったが、図 9 のように画素の色配置をモザイク状に形成することにより、表示パネルを構成するドット数が比較的少ない場合であっても画像の斜め方向の解像度が向上する。

【0122】また、図 10 に図示するように、1 つの画素 16 に複数の屈折部 2802 を形成または配置してもよい。図 10 の実施例では、画素 16 は 1 つの画素電極を有しており、この 1 つの画素電極に対して、3 つの屈折部 2802（2802a、2802b、2802c）が形成（配置）されている。もちろん、1 つの画素 16 に複数の画素電極を有し、各画素電極に対して、それぞれ屈折部 2802 を形成（配置）してもよい。なお、画素電極の周辺部に駆動あるいはスイッチング用の TFT など配置するため、1 つの画素電極に対して画素電極を複数に分割しても開口率の低下はあまり生じない。

【0123】もちろん、図 11 に図示するように、1 つの画素 16 に 1 つの屈折部 2802 を配置（形成）してもよい。また、図 12（a）に図示するように、1 つの画素に 2 列にかつ複数（図 12（a）では 2×6 個）の屈折部 2802 を形成してもよい。また、図 12（b）のように、1 つの画素電極に六角形などの多角形状の屈折部 2802 を複数個（図 12（b）では 3 個）形成してもよい。

【0124】（実施の形態 5）以下、屈折部 2802（屈折シート 2801 を含む場合もある）を形成する製造方法について説明をする。

【0125】図 13 は本発明の第 1 の実施例である。まず、TFT11、画素 16、ゲートドライバ 12、ソースドライバ 14 などが形成されたアレイ基板 49 に有機 EL 層 47 を形成する。この形成は、低分子 EL 膜を蒸着により形成してもよく、また、インクジェット方式で高分子 EL 膜を形成してもよい。有機 EL 層 47 上に電極を形成し、この上に封止膜 73 を形成する（図 13（a））。また、封止板を取り付けても良い。これらの事項については、他の箇所で詳細に説明するのでここでは省略する。

【0126】また、以下に説明する事項以外は、本発明の明細書に記載した製造方法が適用される。また、EL 素子 15 の構成、画素構成、アレイ構成、パネル構成、駆動方法、駆動回路などに関しても以下の製造方法あるいは製造されたパネルなどに適用されることは言うまで

もない。また、以下の製造方法で製造されたパネルなどを用いて情報表示装置、テレビ、モニター、カメラなども構成できる。

【0127】次に、図 13（b）に示すように、未硬化のポリマー材料（透明膜 2861）を封止膜 73 上に塗布する。このポリマー材料 2861 とは、先に説明した屈折部 2802 の材料のことである。なお、塗布はオフセット印刷、スクリーン印刷、ローラーによる塗布、スピンナーでの塗布などのいずれの方法（技術）を用いてもよい。

【0128】未硬化のポリマー材料 2861 の塗布後、オープンに置いて予備乾燥させる。もしくは、弱い光（紫外線（UV）、可視光でもよい）をポリマー材料 2861 に照射して、ポリマー材料 2861 の流動性を抑える。その後、屈折部 2802 の形状を形成したローラー 2862 を回転させながら、透明膜（ポリマー材料）2861 に押し付ける。このように、ローラー 2862 の凹凸形状を透明膜 2861 に転写する（図 13（c））。この転写により、透明膜 2861 に屈折部 2802 に相当する凹凸部（凹部）2863 が形成される。凹凸部（凹部）2863 の形成後、透明膜 2861 全体に UV または可視光を照射し、透明膜 2861 を完全に硬化させる。

【0129】透明膜 2861 を重合させる時の温度制御は重要である。加温は 40 度以上 60 度前後にする。紫外線（UV）は分光分布にもよるが、 $20 \sim 30 \text{ mW/cm}^2$ 程度の強度で 2 秒～8 秒間程度照射する。これらの温度および紫外線の照射条件は透明膜 2861 の添加材などを考慮して定めなければならない。条件が不適切な場合は表面が白濁したり、微細な凹凸状になる。本発明では、50℃の温度で光源に超高圧水銀灯を用いて、透明膜 2861 に紫外線（基板面での照射強度： 30 mW/cm^2 ）を 6 秒間照射し、透明膜 2861 を硬化させた。

【0130】なお、ローラー 2862 の内部に紫外線（UV）2902 の発光源を配置し、ローラー 2862 の進行にあわせて、透明膜 2861 に UV を照射し、順次硬化させてもよい。また、ローラー 2862 と別途、UV 2902 の発生源を設け、ローラー 2862 の進行にあわせて、この発生源から透明膜 2861 に UV を照射し、順次硬化させてもよい。また、屈折部 2802 の必要な部分に反射膜などを形成する。反射膜の構成などについては、図 7 で説明したので省略する。

【0131】また、図 14 の製造方法により、屈折部 2802 を形成してもよい。図 14（a）、（b）は図 13（a）、（b）と同一であるので説明を省略する。図 14（c）では、透明材料からなるプレス板 2901 を用いている。プレス板 2901 には、屈折部 2802 と反対形状の凹凸が形成されている。プレス板 2901 は、石英ガラスなどの透明材料から形成されている。こ

のプレス板 2901 を透明膜 2861 に押し付けることにより、プレス板 2901 の凹凸が透明膜 2861 に転写される。

【0132】このように、プレス板 2901 の凹凸形状を透明膜 2861 に転写することにより、透明膜 2861 に屈折部 2802 に相当する凹凸部（凹部）2863 が形成される。凹凸部（凹部）2863 の形成後、透明膜 2861 全体に、プレス板 2901 を介して UV または可視光 2902 を照射し、透明膜 2861 を完全に硬化させる。

【0133】プレス板 2901 の凹凸面には、オレフィン系の材料などからなる離形性のよい薄膜を形成しておくことが好ましい。このような離形性のよい薄膜を形成しておくことで、透明膜 2861 とプレス板 2901 との離形性が良好となり、製造効率が向上する。なお、プレス板 2901 と透明膜 2861 とともに温度管理も重要である。プレス板 2901 は透明膜 2861 よりも 5 度～15 度程度、温度を低くしておくことが好ましい。なお、透明膜 2861 の種類によっては、温度は逆の関係にした方が離形性などが良好になる場合もある。したがって、実験を十分に実施し、条件を定める必要がある。

【0134】また、離形フィルムとしては、シリコン樹脂フィルム、フッ素樹脂フィルム、ポリエチレン、ポリプロピレン等のオレフィン系樹脂フィルムが例示され、また、樹脂フィルムの表面にシリコン樹脂、フッ素樹脂を塗布等したものが例示される。その他、紫外線を透過し、ある程度の柔軟性を有すれば何でもよい。例えば、ガラス基板等も用いることができる。

【0135】また、図 14（d）で図示するように、プレス板 2901 を取り外した後、透明膜 2861 全体に UV（可視光）を照射し、未硬化の樹脂成分を完全に硬化させる。このことは、透明膜 2861 が熱硬化タイプなどの場合も同様である。

【0136】なお、図 13、図 14 などでも説明した製造方法では、透明膜 2861 は紫外線硬化タイプを用いるとしたが、本発明はこれに限定されるものではない。例えば、熱可塑タイプの樹脂材料、熱硬化タイプの樹脂材料、2 液を混合させることにより硬化し始める 2 液タイプの常温硬化タイプなどの樹脂材料なども用いることができる。以上の場合、ポリマー材料（透明膜）2861 は透明材料である必要はない。ポリマー材料 2861 の選択範囲も広がり、エポキシ系樹脂、フェノール系樹脂などを用いることができる。この場合は、凹凸部（凹部）2863 を形成後、加熱、放置などして屈折部 2802 を形成する。もちろん、プレス板 2901 を透明膜 2861 に押し付けた状態で硬化させてもよい。また、屈折部 2802 の必要な部分に反射膜などを形成する。反射膜の構成などについては、図 7 で説明したので省略する。

【0137】図 15 は、本発明の他の実施例である。図

15（a）までは他の実施例と同様であるので説明を省略する。

【0138】図 15（b）では封止膜 73 上に、凸部 2871 を形成している。凸部 2871 の形成位置は屈折部 2802 の形成位置に一致するようにする。つまり、画素周辺部あるいは画素の発光部の周辺部である。液晶表示パネルではブラックマトリックス（BM）の形成位置である。凸部 2871 は SiO_2 、 SiN_x などの無機材料を用いて形成する。また、透明膜 2861 のように有機材料を用いてもよい。凸部 2871 の形成方法としては、封止膜 73 あるいは封止板上に無機薄膜あるいは有機薄膜を 0.5～3 μm の厚みで蒸着あるいは塗布する。その上にマスクを形成し、前記マスクを用いてネガまたはポジでエッチングする（図 15（b））。

【0139】次に、図 15（c）に図示するように、表示画面 21 の全体に、透明膜 2861 を塗布する。なお、塗布はオフセット印刷、スクリーン印刷、ローラーによる塗布、スピンナーでの塗布などのいずれの方法（技術）を用いてもよい。

【0140】塗布する樹脂は、粘度を 5 c p 以上 40 c p 以下とすることが好ましい。つまり、比較的粘度を低下したものをを用いる。透明膜 2861 は凸部 2871 に沿って滑らかに形成される。以上のように、図 15 では凸部 2871 と透明膜 2861 により屈折部 2802 が形成される。また、屈折部 2802 の必要な部分に反射膜などを形成する。反射膜の構成などについては、図 7 で説明したので省略する。

【0141】なお、図 15（c）において、表示画面 21 の全体に透明膜を塗布するとしたがこれに限定されるものではなく、無機材料からなる薄膜を蒸着してもよい。無機材料を蒸着することにより、凸部 2871 の凹凸により屈折部 2802 が形成される。

【0142】図 16 は、本発明の他の実施例である。図 16（a）までは他の実施例と同様であるので説明を省略する。図 16（b）では封止膜 73 もしくは封止蓋の上に、メタルマスク 2881 を配置している。メタルマスク 2881 の開口部は、封止膜 73 側の開口部が広く、他面側が狭くなっている。

【0143】図 16 で説明したメタルマスク 2881 は、封止膜 73 に直接触れないように（もしくは、極力、封止膜 73 と接触しないように）するため、メタルマスク 2881 の裏面、もしくは、封止膜 73 あるいは封止蓋の表面に 1.5～3 μm の高さの突起を形成する。この突起は、有機 EL 層 47 を蒸着などしない箇所、例えば、隣接した画素間に形成する。

【0144】図 16（b）で図示するように、メタルマスク 2881 を介して、 SiO_2 、 SiN_x などの無機材料を堆積させる。堆積箇所は、屈折部 2802 の形成箇所である。また、無機材料のかわりに透明膜 2861 のように有機材料を用いてもよい。以上のようにメタル

マスク 2881 を用いて屈折部 2802 を形成することができる。

【0145】図 7 は、プリズム状などの屈曲部（もしくは光反射部）2802 の例示であった。しかし、本発明はこれに限定されるものではない。例えば、図 17 に図示するように、画素 16 に対応してマイクロレンズ状の屈折部 2802 を形成してもよい。マイクロレンズはサインカーブ状にすることが好ましい。また、円弧状に形成することが好ましいが、これに限定されるものではなく、蒲鉾状であってもよい。マイクロレンズの高さは 15 μm 以上 3100 μm 以下とすることが好ましい。マイクロレンズはスタンプ技術で形成する。このスタンプ技術にはオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器が CD のピックアップレンズで微小レンズの形成方法として用いている方式などを応用する。また、図 17 の屈折部 2802 は回折格子で形成することもできる。他の事項は図 7 と同様であるので説明を省略する。

【0146】真空蒸着装置は市販の高真空蒸着装置（日本真空技術株式会社製、EBV-6DA 型）を改造した装置を用いる。主たる排気装置は排気速度 1500 リットル/分のターボ分子ポンプ（大阪真空株式会社製、TC1500）であり、到達真空度は約 1×10^{-6} Torr (133.322 e^{-6} Pa) 以下であり、全ての蒸着は $2 \sim 3 \times 10^{-6}$ Torr ($266.644 \sim 399.966 \text{ e}^{-6}$ Pa) の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ボートに直流電源（菊水電子株式会社製、PAK10-70A）を接続して行うとよい。

【0147】このようにして真空層中に配置したアレイ基板上に、カーボン膜 20～50 nm を成膜する。次に、正孔注入層として 4-（N,N'-ビス（p-メチルフェニル）アミノ）- α -フェニルスチルベンを 0.3 nm/s の蒸着速度で膜厚約 5 nm に形成する。

【0148】正孔輸送層として、N,N'-ビス（4'-ジフェニルアミノ-4-ビフェニル）-N,N'-ジフェニルベンジジン（保土ヶ谷化学株式会社製）と、4-N,N'-ジフェニルアミノ- α -フェニルスチルベンを、それぞれ 0.3 nm/s および 0.01 nm/s の蒸着速度で共蒸着して膜厚約 80 nm に形成する。

【0149】発光層（電子輸送層）として、トリス（8-キノリノラト）アルミニウム（同仁化学株式会社製）を 0.3 nm/s の蒸着速度で膜厚約 40 nm に形成する。

【0150】次に、電子注入電極として、Al-Li 合金（高純度化学株式会社製、Al/Li 重量比 99/1）から低温で Li のみを、約 0.1 nm/s の蒸着速度で膜厚約 1 nm に形成し、続いてその Al-Li 合金をさらに昇温し、Li が出尽くした状態から、Al のみを、約 1.5 nm/s の蒸着速度で膜厚約 100 nm に

形成し、積層型の電子注入電極とした。

【0151】このようにして作成した有機薄膜 EL 素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング 7059 ガラス製の封止フタ 41 をシール剤 45（アネルバ株式会社製、商品名：スーパーバックシール 953-7000）で貼り付けて表示パネルとした。なお、封止フタ 41 とアレイ基板 49 との空間には乾燥剤 55 を配置する。これは、有機 EL 膜が湿度に弱いため、乾燥剤 55 によりシール剤 45 を浸透する水分を吸収し、有機 EL 層 47 の劣化を防止しているのである。

【0152】シール剤 45 からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹部 43、凸部 44 を形成している。アレイ基板 49 の周辺部に形成した凸部 44 は少なくとも二重に形成する。凸と凸との間隔（形成ピッチ）は 100 μm 以上 500 μm 以下に、また、凸の高さは 30 μm 以上 300 μm 以下とすることが好ましい。この凸部はスタンプ技術で形成する。

【0153】一方、封止フタ 41 にも凹部 43 を形成する。凹部 43 の形成ピッチは凸部 44 の形成ピッチと同一にする。このように、形成ピッチを同一にすることで凹部 43 に凸部 44 がちょうどはまり込み、表示パネルの製造時に封止フタ 41 とアレイ基板 49 との間に位置ずれが発生しない。凹部 43 と凸部 44 間にはシール剤 45 を配置する。シール剤 45 は封止フタ 41 とアレイ基板 49 とを接着するとともに、外部からの水分の浸入を防止する。

【0154】シール剤 45 としては UV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は 1.47 以上 1.54 以下のものを用いることが好ましい。特に、シール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で 6.5% 以上 9.5% 以下の割合で添加し、この微粉末の粒子径の平均直径を 20 μm 以上 100 μm 以下とすることが好ましい。これは微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなるからである。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0155】乾燥剤の重量はシールの長さ 10 mm あたり 0.04 g 以上 0.2 g 以下、特に 0.06 g 以上 0.15 g 以下とすることが望ましい。これは乾燥剤の量が少なすぎると、水分防止効果が薄れ、すぐに有機 EL 層が劣化するためである。逆に多すぎると、乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

【0156】図2ではガラスの封止フタ41を用いて封止する構成であるが、図5のようにフィルムを用いた封止であってもよい。例えば、封止フィルムとしては電解コンデンサのフィルムにDLC（ダイヤモンドライク

カーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）ので、封止膜73として使用できる。また、DLC膜を透明電極72の表面に直接蒸着する構成でもよい。薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満たすことにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0157】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49を透過して出射される。しかし、反射膜46は外光を反射するため写り込みが発生し、表示コントラストを低下させる。この対策のために、アレイ基板49に $\lambda/4$ 板50および偏光板54を配置している。なお、画素が反射電極の場合は、有機EL層47から発生した光は上方向に出射される。したがって、 $\lambda/4$ 板50および偏光板54は光射出側に配置されなければならない。なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部（もしくは凹凸部）を設けることで有機EL層47との界面が広がって発光面積が大きくなり、発光効率が向上する。

【0158】アレイ基板49と偏光板（偏光フィルム）54間には1枚あるいは複数の位相フィルム（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。この位相フィルムは入射光を出射光に対して位相差を発生させ、効率よく光変調を行うのに寄与する。

【0159】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下、さらには80nm以上220nm以下とすることが好ましい。

【0160】なお、図5に図示するように、位相フィルムと偏光板とを一体化した円偏光板74（円偏光フィルム）を用いてもよい。

【0161】 $\lambda/4$ 板（位相フィルム）50は染料あるいは顔料で着色し、カラーフィルタとしての機能をもたせることが好ましい。特に、有機EL層は赤（R）の純度が悪いので、着色した $\lambda/4$ 板50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的であり、この顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0162】以上のように、位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成してもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することにより、かまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0163】先にも記述したが、カラーフィルタの形成時に圧延、もしくは光重合により位相差を発生させることができるので、位相フィルムの機能はカラーフィルタに持たせてもよい。その他、図5の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば、位相フィルムを基板外に構成あるいは配置する必要がなくなり、表示パネルの構成も簡易になり低コスト化が望める。なお、以上の事項は偏光板54にも適用できる。

【0164】偏光板54はヨウ素などをポリビニールアルコール（PVA）樹脂に添加した樹脂フィルムのものが例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち、特定の偏光軸方向と異なる方向の偏光成分（reflective polarizer：リフレクティブ・ポラライザー）を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0165】また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、コレステリック液晶層と（1/4） λ 板を組み合わせたもの、プリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッタ（PBS）等を用いることも可能である。

【0166】なお、図2では図示していないが、偏光板54の表面にはAIRコート（空気層）を施している。

【0167】画素電極48にはTFTが接続されるとい

たがこれに限定されるものではない。アクティブマトリックスには、スイッチング素子として薄膜トランジスタ (TFT) の他、ダイオード方式 (TFD)、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、FET、MOSトランジスタ、PLZT素子などでも可能である。つまり、スイッチング素子、駆動素子を構成するものはこれらのいずれでも使用することができる。

【0168】また、TFTにはLDD (ロー ドーピング ドレイン) 構造を採用することが好ましい。なお、TFTとは、FETなどスイッチング等のトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、ハネル構造などは単純マトリックス型表示パネルにも適用できる。また、本明細書ではEL素子として有機EL素子 (OEL、PEL、PLED、OLED) を例にあげて説明するがこれに限定されるものではなく、無機EL素子にも適用される。

【0169】有機EL表示パネルに用いられるアクティブマトリックス方式は、(1) 特定の画素を選択し、必要な表示情報を与えられること、(2) 1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満たさなければならない。

【0170】この2つの条件を満たすため、図302に示す従来の有機ELの素子構成において、第1のTFT 11aは画素を選択するためのスイッチング用薄膜トランジスタ、第2のTFT 11bはEL素子15に電流を供給するための駆動用薄膜トランジスタとする。

【0171】ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用TFT 11aは液晶用にも必要であるが、駆動用TFT 11bはEL素子15を点灯させるために必要である。この理由として、液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持できないからである。

【0172】したがって、有機EL表示パネルでは電流を流し続けるために、駆動用TFT 11bをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用TFT 11aを通してコンデンサ19に電荷が蓄積される。このコンデンサ19が駆動用TFT 11bのゲートに電圧を加え続けるため、スイッチング用TFT 11aがオフになっても、電流供給線20から電流が流れ続け、1フレーム期間にわたり画素16をオンできる。

【0173】この構成を用いて階調を表示させる場合、駆動用TFT 11bのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用TFT 11bのオン電流のばらつきがそのまま表示に現れる。

【0174】トランジスタのオン電流は単結晶で形成されたトランジスタであれば極めて均一であるが、安価な

ガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、 $\pm 0.2V \sim 0.5V$ の範囲でその閾値のばらつきを持つため、駆動用TFT 11bを流れるオン電流がこれに対応してばらつき、表示にむらが発生する。これらのむらは、閾値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚みなどでも発生する。また、TFT 11の劣化によっても特性は変化する。

10 【0175】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。現状の低温多結晶ポリシリコンTFTではこのばらつきを所定範囲以内に抑えるというスペックを満たせない。この問題を解決するため、1画素内に4つのトランジスタを設けて、閾値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法や、定電流回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

20 【0176】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてなされるため、電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し、駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。そのため、駆動電圧が高くなるという課題を有することになる。

【0177】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要がある。この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生した場合、またはトランジスタの閾値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

30 【0178】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するTFT 11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小限に抑えることができ、記憶される電流値の変動を小さくすることができる構成である。

40 【0179】本発明のEL素子構造は、具体的には図6(a)に示すように、単位画素が最低4つからなる複数のTFT 11ならびにEL素子15により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平滑化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このように、ソース信号線18上に画素電極を重ねる構成をハイアパーチャ (H A) 構造と呼ぶ。

50 【0180】第1のゲート信号線 (第1の走査線) 17aをアクティブ (ON電圧を印加) とすることにより、第1のTFT (あるいはスイッチング素子) 11aおよび

び第3のTFT（あるいはスイッチング素子）11cを通して、前記EL素子15に流すべき電流値を流し、第1のTFT11aのゲートとドレイン間を短絡するように第2のTFT11bが第1のゲート信号線17aをアクティブ（ON電圧を印加）とすることで開くと共に、第1のTFT11aのゲートとソース間に接続されたコンデンサ19に、前記電流値を流すように第1のTFT11aのゲート電圧（あるいはドレイン電圧）を記憶する。

【0181】なお、第1のTFT11aのソースーゲート間容量であるコンデンサ19は、0.2pF以上の容量とすることが好ましい。他の構成として別途、コンデンサ19を形成する例もある。つまり、これはコンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からは、このように別途コンデンサを構成する方が好ましい。なお、コンデンサ19の大きさは、0.2pF以上2pF以下、中でも0.4pF以上1.2pF以下とすることがよい。

【0182】また、コンデンサ19は隣接する画素間の非表示領域に形成されることが好ましい。一般的に、フルカラー有機EL層を作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するため、有機EL層の形成位置にマスク位置ずれが発生し、各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μm以上離れなければならず、また、この部分は発光に寄与しない部分となる。したがって、コンデンサ19をこの領域に形成することは開口率向上のために有効な手段となる。

【0183】次に、第1のゲート信号線17aを非アクティブ（OFF電圧を印加）、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のTFT11aならびにEL素子15に接続された第4のTFT11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0184】この回路は1画素内に4つのTFT11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタM2および第3のトランジスタM3のゲートは第1のゲート信号線17aに、第2のトランジスタM2のドレインは第3のトランジスタM3のソースならびに第4のトランジスタM4のソースに接続され、第3のトランジスタM3のドレインはソース信号線18に接続されている。第4のトランジスタM4のゲートは第2のゲート信号線17bに接続され、第4のトランジスタM4のドレインはEL素子15のアノード電極に接続されている。

【0185】なお、図6ではすべてのTFTはPチャ

ネルで構成している。Pチャネルは多少、NチャネルのTFTと比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャネルで構成することのみに限定されるものではない。Nチャネルのみで構成してもよい（図158、図159、図85などを参照）、また、NチャネルとPチャネルの両方を用いて構成してもよい。

【0186】なお、第3および第4のトランジスタは同一の極性で構成し、かつNチャネルで構成し、第1および第2のトランジスタはPチャネルで構成することが好ましい。一般的に、PチャネルトランジスタはNチャネルトランジスタと比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子に対しては、第1のTFT11aをPチャネルにすると効果が大きくなる。

【0187】（実施の形態6）以下、本発明のEL素子構成について図18を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは、必要な電流値を記憶させるタイミングである。このタイミングでTFT11bならびにTFT11cがONすることにより、等価回路として図18（a）となる。ここで、信号線より所定の電流I1が書き込まれ、TFT11aはゲートとドレインが接続された状態となり、このTFT11aとTFT11cを通じて電流I1が流れる。したがって、TFT11aのゲートーソース間の電圧は電流I1が流れるようにV1となる。

【0188】第2のタイミングは、TFT11aとTFT11cが閉じ、TFT11dが開くタイミングであり、そのときの等価回路は図18（b）となる。この場合、M1のTFT11aは常に飽和領域で動作するため電流I1は一定となり、TFT11aのソースーゲート間の電圧V1は保持されたままとなる。

【0189】なお、TFT11aのゲートとTFT11cのゲートは同一のゲート信号線17aに接続している。しかし、TFT11aのゲートとTFT11cのゲートとを異なるゲート信号線17bに接続してもよい（SA1とSA2とを個別に制御できるようにする）。

つまり、1画素のゲート信号線は3本となる（図6の構成は2本である）。TFT11aのゲートのON/OFFタイミングとTFT11cのゲートのON/OFFタイミングを個別に制御することにより、TFT11のばらつきによるEL素子15の電流値ばらつきをさらに低減することができる。

【0190】第1のゲート信号線17aと第2のゲート信号線17bとを共通にし、第3および第4のトランジスタを異なった導電型（NチャネルとPチャネル）とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。このように構成すれば、本発

明の動作タイミングとしては信号線からの書き込み経路がオフになる。すなわち、所定の電流が記憶される際に、電流の流れる経路に分岐があると、正確な電流値がM1のソースゲート間容量（コンデンサ）に記憶されない。第3のトランジスタM3と第4のトランジスタM4を異なった導電形とし、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずM3がオフした後にM4がオンすることを可能にする。ただしこの場合、お互いの閾値を正確にコントロールする必要があるのでプロセスへの注意を要する。

【0191】なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにTFT11e（M5）を図6（b）に示すようにカスケード接続してトランジスタの総数を4以上にしても動作原理は同じである。このように、TFT11eを加えた構成とすることにより、第3のトランジスタM3を介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

【0192】図6の構成において、第1のTFT11aの飽和領域における電流値 I_{ds} が下式の条件を満たすことがさらに好ましい。なお、下式において λ の値は、隣接する画素間において、0.01以上0.06以下の条件を満たす。

【0193】

$$I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

本発明では、TFT11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける（ミラー効果）。

【0194】隣接する画素におけるそれぞれのTFT11aに ΔV_t なる閾値のシフトが発生した場合を考える。この場合、記憶される電流値は同じである。閾値のシフトを ΔL とすれば、約 $\Delta V \times \lambda$ はTFT11aの閾値が変動することによる、EL素子15の電流値のずれに相当する。したがって、電流のずれを x （％）以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で y （V）として、 λ は $0.01 \times x / y$ 以下でなければならないことが判る。この許容値はアプリケーションの輝度により変化する。輝度が $100 \text{ cd/m}^2 \sim 1000 \text{ cd/m}^2$ までの輝度領域においては、変動量が2％以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が2％以内であることが必要である。輝度が 100 cd/cm^2 より高い場合は隣接する画素の輝度変化量は2％以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は 100 cd/m^2 程度である。実際に、図6の画素構成を試作し、閾値の変動を測定すると、隣接する画素のTFT11aにおいては閾値の変動の最大値は0.3Vであることが判った。したがって、

輝度の変動を2％以内に抑えるためには λ は0.06以下でなければならない。しかし、人間が変化を認識することができないので、0.01以下にする必要はない。また、この閾値のばらつきを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0195】また、第1のTFT11aの飽和領域における電流値 I_{ds} が下式を満たすように構成されることが好ましい。なお、 λ の変動は隣接する画素間において1％以上5％以下とする。

【0196】

$$I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の λ に変動があれば、EL素子を流れる電流値が変動する。変動を ± 2 ％以内に抑えるためには、 λ の変動を ± 5 ％に抑えなければならない。しかし、人間が変化を認識することができないので、1％以下にする必要はない。また、1％以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0197】また、実験、アレイ試作および検討によれば、第1のTFT11aのチャンネル長を $10 \mu\text{m}$ 以上 $200 \mu\text{m}$ 以下、さらには、 $15 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和され、キンク効果が低く抑えられるためであると考えられる。

【0198】また、画素を構成するTFT11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。

【0199】本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのためにトランジスタが4つ以上必要である。これらのトランジスタ特性により回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と垂直方向では移動度、閾値の平均値が異なるので、画素を構成するすべてのトランジスタのチャンネル方向は同一である方が望ましい。

【0200】また、コンデンサ19の容量値を C_s 、第2のTFT11bのオフ電流値を I_{off} とした場合、次式を満たすことが好ましい。

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満たすことが好ましい。

$$6 < C_s / I_{off} < 18$$

TFT11bのオフ電流を5pA以下とすることにより、EL素子を流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0203】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタによって構成され、TFT11bがデュアルゲート構造以上であるマルチゲート構造とされることが好ましい。TFT11bは、TFT11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。この要求を満たすために、TFT11bのゲートの構造をマルチゲート構造とすることでON/OFF比の高い特性を実現できるようになるのである。

【0204】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅W）＊（チャンネル長L）を $54\mu\text{m}^2$ 以下とすることが好ましい。（チャンネル幅W）＊（チャンネル長L）とトランジスタ特性のばらつきとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが多く、これを吸収するためには、できるだけレーザーの照射ピッチ（一般的には10数 μm ）をチャンネル内により多く含む構造とすることが望ましい。そこで、各トランジスタの（チャンネル幅W）＊（チャンネル長L）を $54\mu\text{m}^2$ 以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生するので、各トランジスタの（チャンネル幅W）＊（チャンネル長L）は $9\mu\text{m}^2$ 以上、さらには、 $16\mu\text{m}^2$ 以上 $45\mu\text{m}^2$ 以下となるようにすることが好ましい。

【0205】また、隣接する単位画素での第1のTFT11aの移動度変動を20%以下にすることが好ましい。なぜなら、移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、第1のトランジスタM1のゲートソース間の容量が充電できないからである。したがって、移動のばらつきを20%以内に抑えることで画素間の輝度のばらつきを認知限以下にすることができる。

【0206】以上、図6を画素構成として説明したが、これらは図19、図20に図示する構成にも適用することができる。以下、図19などの画素構成について説明する。

【0207】EL素子15に流す電流を設定する時、変換用TFT11aに流す信号電流を I_w 、その結果、変換用TFT11aに生ずるゲートソース間電圧を V_{gs} とする。書き込み時はTFT11dによって変換用TFT11aのゲートドレイン間が短絡されているので、変換用TFT11aは飽和領域で動作する。よって、信号電流 I_w は、以下の式で与えられる。

$$\text{【0208】（数1）} \quad I_w = \mu_1 \cdot C_{ox1} \cdot W1 / L1 / 2 (V_{gs} - V_{th1})^2$$

10 ここで C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} はTFTの閾値、 μ はキャリアの移動度、Wはチャンネル幅、Lはチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、dはゲート絶縁膜の厚みである。

【0209】EL素子15に流れる電流を I_{dd} とすると、 I_{dd} は、EL素子15と直列に接続される駆動用TFT11bによって電流レベルが制御される。本発明では、そのゲートソース間電圧が（数1）式の V_{gs} に一致するので、駆動用TFT11bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$\text{【0210】（数2）} \quad I_{drv} = \mu_2 \cdot C_{ox2} \cdot W2 / L2 / 2 (V_{gs} - V_{th2})^2$$

絶縁ゲート電界効果型の薄膜トランジスタ（TFT）が飽和領域で動作するための条件は、 V_{ds} をドレインソース間電圧として、一般に以下の式で与えられる。

$$\text{【0211】（数3）} \quad |V_{ds}| > |V_{gs} - V_{th}|$$

20 ここで、変換用TFT11aと駆動用TFT11bは、小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき（数1）式及び（数2）式から容易に以下の式が導かれる。

$$\text{【0212】（数4）} \quad I_{drv} / I_w = (W2 / L2) / (W1 / L1)$$

30 ここで注意すべき点は、（数1）式及び（数2）式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、（数4）式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。仮に、 $W1 = W2$ 、 $L1 = L2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となり、EL素子15に流れる駆動電流 I_{dd} は、TFTの特性ばらつきによらず、正確に信号電流 I_w と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0213】以上のように、変換用TFT11aの閾値 V_{th1} と駆動用TFT11bの閾値 V_{th2} は基本的に同一である為、両TFTにおける共通電位にあるゲー

トに対してカットオフレベルの信号電圧が印加されると、変換用TFT11a及び駆動用TFT11bは共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、Vth1よりもVth2が低くなってしまうことがある。この時、駆動用TFT11bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15が微発光を呈する。この微発光により画面のコントラストが低下し、表示特性が損なわれる。

【0214】本発明では特に、駆動用TFT11bの閾電圧Vth2が画素内で対応する変換用TFT11aの閾電圧Vth1より低くならないように設定している。例えば、駆動用TFT11bのゲート長L2を変換用TFT11aのゲート長L1よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、Vth2がVth1よりも低くならないようにしており、微少な電流リークを抑制することが可能である。以上の事項は図6の変換用TFT11aとTFT11dの関係にも適用される。

【0215】図19に示すように、信号電流が流れる変換用TFT11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用TFT11bの他、第1の走査線scanA(SA)の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用TFT11c、第2の走査線scanB(SB)の制御によって書き込み期間中に変換用TFT11aのゲートドレイン間を短絡するスイッチング用TFT11d、変換用TFT11aのゲートソース間電圧を書き込み終了後も保持するためのコンデンサ19および発光素子としてのEL素子15などから構成される。このように、ゲート信号線は各画素2本であることから、前述した図6などに基づく本発明の明細書全体の構成、機能、動作などを適用することができる。

【0216】図19における取込用TFT11cはNチャンネルMOS(NMOS)、その他のトランジスタはPチャンネルMOS(PMOS)で構成されているが、これは一例であって、必ずしもこの通りである必要はない。コンデンサ19は、その一方の端子が変換用TFT11aのゲートに接続され、他方の端子はVdd(電源電位)に接続されているが、Vddに限らず任意の一定電位でも良い。EL素子15のカソード(陰極)は接地電位に接続されている。したがって、以上の事項は図6などにも適用されることは言うまでもない。

【0217】EL素子15の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれて低くなる。この傾向はリニアの関係にある。したがって、Vdd電圧を外部温度によって(正確にはEL素子15の温度によって)調整することが好ましい。温度センサで外部温度を検出し、Vdd電圧発生部のフィードバックをかけてVdd電圧を変化させる。Vdd

電圧は摂氏10℃の変化で、2%以上8%以下、中でも3%以上6%以下とすることが好ましい。

【0218】なお、図6などのVdd電圧はTFT11のオフ電圧よりも低くすることが好ましい。具体的には、Vgh(ゲートのオフ電圧)は少なくともVdd-0.5Vよりも高くするべきである。これよりも低いとTFTのオフリークが発生し、レーザアニールのショットむらが目立つようになる。また、あまりにも高いと逆にオフリーク量が増加するので、Vdd+4Vよりも低くすべきである。したがって、ゲートのオフ電圧Vgh、つまり、図6におけるVdd電源電圧は、-0.5V以上+4V以下、さらに好ましくは0V以上+2V以下とすべきであり、ゲート信号線に印加するTFTのオフ電圧が、十分オフになるようにする。TFTがNチャンネルの場合は、Vglがオフ電圧となるので、VglはGND電圧に対して-4V以上0.5V以下、さらには-2V以上0V以下の範囲となるようにすることが好ましい。

【0219】以上、図6の電流プログラムの画素構成について述べたが、これに限定されるものではなく、図85、図87などの電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムのVtオフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

【0220】図19の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流Iwを生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差点部に配されて、駆動電流の供給を受けて発光する電流駆動型のEL素子15を含む複数の画素とを備えている。

【0221】特徴事項として図19に示した画素構成は、当該走査線scanAが選択された時、当該データ線dataから信号電流Iwを取り込む受入部(具体的には、取込用TFT11cから構成される)と、取り込んだ信号電流Iwの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLED

(他に、EL、OEL、PEL、PLEDと略称する場合がある)に流す駆動部とからなる。

【0222】前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用TFT11aと、そのゲートに接続したコンデンサ19とを含んでいる。変換用TFT11a、受入部によって取り込まれた信号電流Iwをチャネルに流して変換された電圧レベルをゲートに発生させ、コンデンサ19に生じた電圧レベルを保持する。

【0223】また、前記変換部は、変換用TFT11aのドレインとゲートとの間に挿入されたスイッチング用

TFT11dを含んでいる。スイッチング用TFT11dは、信号電流Iwの電流レベルを電圧レベルに変換する時に導通し、変換用TFT11aのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルを変換用TFT11aのゲートに生ぜしめる。又、スイッチング用TFT11dは、電圧レベルをコンデンサ19に保持する時に遮断され、変換用TFT11aのゲート及びこれに接続したコンデンサ19を変換用TFT11aのドレインから切り離す。

【0224】また、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用TFT11bを含んでいる。駆動用TFT11bは、コンデンサ19に保持された電圧レベルをゲートに受け入れ、それに応じた電流レベルを有する駆動電流がチャネルを介してEL素子15に流れる。変換用TFT11aのゲートと駆動用TFT11bのゲートとが直接接続されてカレントミラー回路を構成し、信号電流Iwの電流レベルと駆動電流の電流レベルとが比例関係となるようにしている。

【0225】駆動用TFT11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0226】駆動用TFT11bは、その閾電圧が画素内で対応する変換用TFT11aの閾電圧より低くならないように設定されている。具体的には、駆動用TFT11bは、そのゲート長が変換用TFT11aのゲート長より短くならないように設定されている。あるいは、駆動用TFT11bは、そのゲート絶縁膜が画素内で対応する変換用TFT11aのゲート絶縁膜より薄くならないように設定されても良い。

【0227】また、駆動用TFT11bは、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応する変換用TFT11aの閾電圧より低くならないように設定されてもよい。仮に、変換用TFT11aと駆動用TFT11bの閾電圧が同一となるように設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、変換用TFT11a及び駆動用TFT11bは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、変換用TFT11aの閾電圧より駆動用TFT11bの閾電圧が低くなる場合がある。

【0228】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT11bに流れる為、EL素子15は微発光し、画面のコントラスト低下が現れる。そこで、駆動用TFT11bのゲート長を変換用TFT11aのゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、駆動用TFT11bの閾電圧が変換用TFT11aの閾電圧よりも低くならない。

【0229】ゲート長Lが比較的短い短チャネル効果領域Aでは、ゲート長Lの増加に伴いTFTの閾値Vthが上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらず、TFTの閾値Vthはほぼ一定である。この特性を利用して、駆動用TFT11bのゲート長を変換用TFT11aのゲート長よりも長くしている。例えば、変換用TFT11aのゲート長が7 μ mの場合、駆動用TFT11bのゲート長を10 μ m程度にする。

10 【0230】変換用TFT11aのゲート長が短チャネル効果領域Aに属する一方、駆動用TFT11bのゲート長が抑制領域Bに属するようにしても良い。これにより、駆動用TFT11bにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能とする。以上により、駆動用TFT11bに流れるサブスレッショルドレベルのリーク電流を抑制してEL素子15の微発光を抑え、コントラスト改善に寄与可能である。

20 【0231】図19に示した画素回路の駆動方法を簡潔に説明する。先ず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、変換用TFT11aに輝度情報に応じた信号電流Iwが流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、変換用TFT11aのゲートドレイン間はスイッチング用TFT11dによって電氣的に短絡されているので(数3)式が成立し、変換用TFT11aは飽和領域で動作する。したがって、そのゲート-ソース間には(数1)式で与えられる電圧Vgsが生ずる。

30 【0232】次に、第1の走査線scanA、第2の走査線scanBを非選択状態とする。詳しく述べると、まず第2の走査線scanBを低レベルとしてスイッチング用TFT11dをoff状態とする。これによって、電圧Vgsがコンデンサ19によって保持される。次に、第1の走査線scanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、第2の走査線scanBが非選択となる時点では有効とされるが、その後は任意のレベル(例えば、次の画素の書き込みデータ)とされて良い。

40 【0233】駆動用TFT11bは変換用TFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、駆動用TFT11bが飽和領域で動作していれば、駆動用TFT11bを流れる電流は(数2)式で与えられ、これがすなわちEL素子15に流れる駆動電流Iddとなる。駆動用TFT11bを飽和領域で動作させるには、EL素子

子 15 での電圧降下を考慮してもなお (数 3) 式が成立するよう、十分な電源電位を V_{dd} 電圧に与えれば良い。

【0234】なお、図 6 (b) などと同様に、インピーダンスを増大させることなどを目的として、図 20 に図示するように、TFT 11e、11f を付加しても良く、これによりより良好な電流駆動を実現できる。他の事項は図 6 で説明しているで省略する。

【0235】このようにして作製した図 6、図 19 などで説明した EL 表示素子に直流電圧を印加し、 $10\text{ mA}/\text{cm}^2$ の一定電流密度で連続駆動させた。EL 構造体においては、 7.0 V 、 $200\text{ cd}/\text{cm}^2$ の緑色 (発光極大波長 $\lambda_{\text{max}} = 460\text{ nm}$) の発光が確認できた。青色発光部では、輝度 $100\text{ cd}/\text{cm}^2$ で、色座標が $x = 0.129$ 、 $y = 0.105$ 、緑色発光部では、輝度 $200\text{ cd}/\text{cm}^2$ で、色座標が $x = 0.340$ 、 $y = 0.625$ 、赤色発光部では、輝度 $100\text{ cd}/\text{cm}^2$ で、色座標が $x = 0.649$ 、 $y = 0.338$ の発光色が得られた。

【0236】(実施の形態 7) 以下、図 6、図 19、図 20 などをを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0237】フルカラー有機 EL 表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機 EL 層からの光を遮る TFT の面積を小さくすればよい。低温多結晶 Si-TFT はアモルファスシリコンと比較して 10 ~ 100 倍の性能を持ち、その上、電流の供給能力が高いため、TFT のサイズを非常に小さくできる。したがって、有機 EL 表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0238】ゲートドライバ 12 あるいはソースドライバ 14 などの駆動回路をアレイ基板 49 上に形成することにより、電流駆動の有機 EL 表示パネルで特に問題になる抵抗を下げるができる。つまり、TCP の接続抵抗がなくなる上に、TCP 接続の場合に比べて電極からの引き出し線が 2 ~ 3 mm 短くなり、配線抵抗が小さくなる。さらに、TCP 接続のための工程がなくなる、材料コストが下がるという利点がある。

【0239】(実施の形態 8) 次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図 21 は EL 表示装置の回路を中心とした説明図である。画素 16 がマトリックス状に配置または形成されている。各画素 16 には各画素の電流プログラムを行う電流を出力するソースドライバ 14 が接続されている。ソースドライバ 14 の出力段には映像信号のビット数に対応した

カレントミラー回路が形成されている。例えば、64 階調であれば、63 個のカレントミラー回路が各ソース信号線ごとに形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線 18 に印加できるように構成されている。なお、1 個のカレントミラー回路の最小出力電流は 10 nA 以上 50 nA 以下、特に 15 nA 以上 35 nA 以下にすることがよい。これはソースドライバ 14 内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

10 【0240】また、ソース信号線 18 の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。この回路の電圧 (電流) 出力値は、EL 素子 15 の閾値が RGB で異なるので、R、G、B で独立して設定できるように構成することが好ましい。

【0241】以上、今までに説明してきた画素構成、アレイ構成、パネル構成などは、この後に説明する構成、方法、装置に適用されることは言うまでもない。

【0242】有機 EL 素子には大きな温度依存性特性 (温特) があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。この場合、選択する EL 材料で一義的に決定されるので、ソフト制御するマイコンなどを必要としない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよいということである。重要なのは発光色材料により温特が異なっている点であり、発光色 (R、G、B) ごとに最適な温特補償を行う必要がある点である。

【0243】R、G、B の EL 素子 15 の温特はない方が好ましいのは言うまでもないが、各 EL 素子の温特は一定範囲内にする必要がある。少なくとも R、G、B の温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色とも摂氏 10°C の変化で、2% 以上 8% 以下、中でも 3% 以上 6% 以下とすることが好ましい。

【0244】あるいは、温特補償をマイコンで行ってもよい。温度センサで EL 表示パネルの温度を測定し、測定した温度によりマイコン (図示せず) などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、特定のメニューを表示できるように制御してもよい。また、マウスなどを用いて切り替えたり、EL 表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0245】本発明において、ソースドライバ 14 は半導体シリコンチップで形成され、ガラスオンチップ (COG) 技術でアレイ基板 49 のソース信号線 18 の端子と接続されている。ソース信号線 18 などの信号線の配

線にはクロム、アルミニウム、銀などの金属配線が用いられる。これは細い配線幅で低抵抗の配線が得られるからである。金属配線は画素が反射型の場合は工程が簡略できるので、画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。

【0246】本発明はCOG技術に限定されるものではなく、チップオンフィルム(COF)技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ソースドライバ14は電源IC102を別途作製し、3チップ構成としてもよい。

【0247】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミド・フィルムと銅(Cu)箔を、接着剤を使わずに熱圧着することができ、また、TCPテープ向けフィルムにはこの他、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方法と、ポリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方法がある。これらのいずれでもよいが、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30 μ m以下のリード・ピッチには、接着剤を使わないCu貼り積層板で対応する。この接着剤を使わないCu貼り積層板の形成方法の中で、Cu層をメッキや蒸着で形成する方法がCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【0248】一方、ゲートドライバ12は低温ポリシリコン技術で、画素のTFTと同一のプロセスで形成されている。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術でも容易に形成することができ、また、狭領域化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いてアレイ基板49上に実装してもよい。また、画素TFTなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成されてもよく、有機材料で形成(有機TFT)されてもよい。

【0249】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号(CLKxP、CLKxN)と、スタートハルス(STx)で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル(ENABL)信号、シフト方向を上下逆転するアップダウン(UPDWM)信号を付加することが好ましい。またその他にも、スタートハルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC(図示せず)からの信号で制御される。また、外部データのレベ

ルシフトを行うレベルシフト回路と検査回路を内蔵する。

【0250】シフトレジスタ22のパッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

【0251】ソースドライバ14を低温ポリシリコンなどのポリシリコン技術でアレイ基板49上に直接形成する場合も同様であり、ソース信号線を駆動するトランスファークゲートなどのアナログスイッチのゲートとソースドライバのシフトレジスタ22間には複数のインバータ回路23が形成される。以下の事項(シフトレジスタの出力と、信号線を駆動する出力段(出力ゲートあるいはトランスファークゲートなどの出力段間に配置されるインバータ回路に関する事項)は、ソースドライバおよびゲートドライバ回路に共通の事項である。例えば、図21ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタ22の出力には多段のインバータ回路23が接続されて、インバータ回路の出力にはトランスファークゲートなど、アナログスイッチのゲートが接続されている。

【0252】インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したように、ゲートドライバ12のシフトレジスタ22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただしこの場合は、インバータ回路ではなく単なるゲート回路として構成してもよい。

【0253】各インバータ回路23を構成するPチャンネルまたはNチャンネルのTFTのチャンネル幅をW、チャンネル長をL(ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する)とし、シフトレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN(N段目)とする。

【0254】インバータ回路23の接続段数が多いと接続されているインバータ回路23の特性差が多重(積み重なり)され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる(遅延時間ばらつき)。例えば、極端な場合では、図21において出力ゲート24aは1.0 μ sec後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)のに、出力ゲート24bは1.5 μ sec後(シフトレジスタからパルスが出力されてから起算)にオンしている(出力電圧が切り替わっている)という状態が生じる。

【0255】したがって、シフトレジスタ22と出力ゲ

ート 24 間に作製するインバータ回路 23 数は少ない方がよいが、出力ゲート 24 を構成する TFT のチャンネルのゲート幅 W は非常に大きい方がよい。また、シフトレジスタ 22 の出力段のゲート駆動能力は小さいので、シフトレジスタを構成するゲート回路 (NAND 回路など) で直接、出力ゲート 24 を駆動することは不可能である。そのため、インバータを多段接続する必要があるが、例えば、図 21 のインバータ回路 23 d の W_4/L_4 (P チャンネルのチャンネル幅/P チャンネルのチャンネル長) のサイズと、インバータ回路 23 c の W_3/L_3 のサイズの比が大きいと遅延時間が長くなり、また、インバータの特性がばらつきをも大きくする。

【0256】図 22 に遅延時間ばらつき (点線) と遅延時間比 (実線) の関係を示す。横軸は $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ で示す。例えば、図 21 でインバータ回路 23 d とインバータ回路 23 c のチャンネル長 L が同一で $2W_3=W_4$ であれば、 $(W_3/L_3) / (W_4/L_4) = 0.5$ である。図 22 のグラフにおいて、遅延時間比は $(W_{n-1}/L_{n-1}) / (W_n/L_n) = 0.5$ のときを 1 とし、遅延同様に時間ばらつきも 1 としている。

【0257】図 22 では $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が大きくなるほどインバータ回路 23 の接続段数が多くなり、遅延時間ばらつきも大きくなることを示している。また、 $(W_{n-1}/L_{n-1}) / (W_n/L_n)$ が小さくなるほどインバータ回路 23 から次段のインバータ回路 23 への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間ばらつきを 2 以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0258】 $0.25 \leq (W_{n-1}/L_{n-1}) / (W_n/L_n) \leq 0.75$

また、各インバータ回路 23 の P チャンネルの W/L 比 (W_p/L_p) と N チャンネルの W/L 比 (W_s/L_s) とは以下の関係を満たす必要がある。

【0259】

$0.4 \leq (W_s/L_s) / (W_p/L_p) \leq 0.8$

さらに、シフトレジスタの出力端から出力ゲート (あるいはトランスファゲート) 間に形成されるインバータ回路 23 の段数 n は次式を満たすと遅延時間のばらつきも少なく良好である。

【0260】 $3 \leq n \leq 8$

モビリティ μ にも課題がある。N チャンネルトランジスタのモビリティ μ_n が小さいと TG およびインバータのサイズが大きくなり、消費電力等が大きくなる。また、ドライバの形成面積が大きくなり、パネルサイズも大きくなってしまう。一方、モビリティ μ_n が大きいとトランジスタの特性劣化を引き起こしやすいので、モビリティ μ_n は以下の範囲がよい

【0261】 $50 \leq \mu_n \leq 150$

また、シフトレジスタ 22 内のクロック信号のスルーレートは、 $500 \text{ V}/\mu\text{sec}$ 以下にする。スルーレートが高いと N チャンネルトランジスタの劣化が激しいからである。

【0262】なお、図 21 でシフトレジスタの出力にはインバータ回路 23 を多段に接続するとしたが、NAND 回路でもよい。NAND 回路でもインバータを構成することができるからである。つまり、インバータ回路 23 の接続段数とはゲートの接続段数と考えればよい。この場合も、今まで説明した W/L 比等の関係が適用される。また、以上の図 21、図 22 を用いて説明した事項は図 66、図 67、図 69 などにも適用される。

【0263】また、図 21 などにおいて画素のスイッチングトランジスタが P チャンネルの時は、最終段のインバータからの出力は、オン電圧 V_{gl} がゲート信号線 17 に印加され、オフ電圧 V_{gh} がゲート信号線 17 に印加される。逆に、画素のスイッチングトランジスタが N チャンネルの時は、最終段のインバータからの出力は、オフ電圧 V_{gl} がゲート信号線 17 に印加され、オン電圧 V_{gh} がゲート信号線 17 に印加される。

【0264】以上の実施例では、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで画素 16 と同時に作製するとしたが、これに限定されるものではない。例えば、図 23 に図示するように別途、半導体チップで作製したソースドライバ 14、ゲートドライバ 12 を表示パネル 82 に積載してもよい。

【0265】また、表示パネル 82 を携帯電話などの情報表示装置に使用する場合、ソースドライバ 14、ゲートドライバ 12 を図 23 に示すように、表示パネルの一边に実装することが好ましい (なお、このように一边にドライバ IC を実装する形態を 3 辺フリー構成 (構造) と呼ぶ。従来は、表示領域の X 辺にゲートドライバ 12 が実装され、Y 辺にソースドライバ 14 が実装されていた)。表示画面 21 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などを用いて 3 辺フリーの構成として作製してもよい (つまり、図 23 のソースドライバ 14 とゲートドライバ 12 のうち、少なくとも一方をポリシリコン技術でアレイ基板 49 に直接形成する)。

【0266】なお、3 辺フリー構成とは、アレイ基板 49 に直接 IC を積載あるいは形成した構成だけでなく、ソースドライバ 14、ゲートドライバ 12 などを取り付けたフィルム (TCP、TAB 技術など) をアレイ基板 49 の 1 辺 (もしくはほぼ 1 辺) に貼り付けた構成も含む。つまり、2 辺に IC が実装、あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0267】図 23 のように、ゲートドライバ 12 をソ

ースドライブ 14 の横に配置すると、ゲート信号線 17 は C 辺に沿って表示画面 21 まで形成される必要がある (図 24 等参照)。

【0268】なお、C 辺に形成するゲート信号線 17 のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまうからである。実験によれば、 $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生し、さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特に、ノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越え则表示パネルの額縁幅 D が大きくなりすぎて実用的でない。

【0269】前述の画像ノイズを低減するためには、ゲート信号線 17 を形成した部分の下層あるいは上層に、グラントパターン (一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン) を配置することにより低減できる。また、別途設けたシールド板 (シールド箔 (一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン)) をゲート信号線 17 上に配置すればよい。

【0270】図 24 の C 辺のゲート信号線 17 は ITO 電極で形成してもよいが、低抵抗化するため、ITO と金属薄膜とを積層して形成したり、金属膜で形成することが好ましい。ITO と積層する場合は、ITO 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは ITO 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0271】なお、図 24 などにおいて、ゲート信号線 17 などは表示領域の片側に配置するとしたがこれに限定されるものではなく、両方に配置してもよい。例えば、ゲート信号線 17 a を表示画面 21 の右側に配置 (形成) し、ゲート信号線 17 b を表示画面 21 の左側に配置 (形成) してもよい。以上の事項は他の実施例でも同様である。

【0272】図 25 ではソースドライブ 14 とゲートドライブ 12 とを 1 チップ化 (1 チップドライブ IC 14 c) している。1 チップ化すれば、表示パネル 82 への IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライブ IC 14 c 内で使用する各種電圧も同時に発生させることができる。

【0273】なお、ソースドライブ 14、ゲートドライブ 12、1 チップドライブ IC 14 c はシリコンなどの半導体ウェハで作製し、表示パネル 82 に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよい。

【0274】図 26 では、ソースドライブ 14 の両端に

ゲートドライブ 12 a、12 b を実装する (あるいは形成する) としたがこれに限定されるものではない。例えば、図 23 に示すように、ソースドライブ 14 に隣接した一方の側に 1 つのゲートドライブ 12 を配置してもよい。なお、図 26 などにおいて太い実線で図示した箇所はゲート信号線 17 が並列して形成した箇所を示している。したがって、b の部分 (画面下部) は走査信号線の本数分のゲート信号線 17 が並列して形成され、a の部分 (画面上部) はゲート信号線 17 が 1 本形成されている。

【0275】なお、図 26 のように、2 つのゲートドライブ 12 a、12 b を使用すると図 26 の C 辺に並列して形成するゲート信号線 17 a の本数が走査線数の $1/2$ となる (画面の左右にゲート信号線数を $1/2$ ずつ配置できるからである)。したがって、額縁が画面の左右で均等になるという特徴を持つようになる。

【0276】本発明はゲート信号線 17 の走査方向と、画面分割にも特徴がある。例えば、図 26 ではゲートドライブ 12 a が画面上部のゲート信号線 17 b と接続されている。また、ゲートドライブ 12 b が画面下部のゲート信号線 17 a と接続されている。ゲート信号線 17 の走査方向も矢印 A で示すように画面の上部から下部の方向である。なお、ソース信号線 18 は画面上部と画面下部で共通である。

【0277】図 27 ではゲートドライブ 12 a が画面上部の隣接したゲート信号線 17 と異なるように接続されている。ゲートドライブ 12 a は奇数番目のゲート信号線 17 b と接続されている。また、ゲートドライブ 12 b は偶数番目のゲート信号線 17 a と接続されている。

ゲート信号線の走査方向は、ゲート信号線 17 b は画面上部から下部の方向である (矢印 A)。ゲート信号線 17 a は画面下部から上部の方向である (矢印 B)。このように、ゲート信号線 17 をゲートドライブ 12 と接続することにより、また、ゲート信号線の走査方法を所定の方

向とすることにより、表示画面 21 に輝度傾斜が発生せず、フリッカの発生も抑制することができる。なお、ソース信号線 18 は画面上部と画面下部で共通である。ただし、画面の上下で分割してもよいことは言うまでもない。以上の事項は他の実施例にも適用される。

【0278】1 チップ化している図 25 でもゲートドライブ 12 a が画面上部のゲート信号線 17 b と接続されている。また、ゲートドライブ 12 b が画面下部のゲート信号線 17 a と接続されている。ゲート信号線 17 b の走査方向は矢印 A で示すように、画面の上部から下部の方向である。ゲート信号線 17 a の走査方向は矢印 B で示すように、画面の下部から上部の方向である。なお、ソース信号線 18 は画面上部と画面下部で共通である。このように、ゲート信号線 17 をゲートドライブ 12 と接続することにより、また、ゲート信号線の走査方法を所定の方

傾斜が発生せず、フリッカの発生も抑制することができる。

【0279】なお、1チップドライバIC14cはシリコンなどの半導体ウェハで作製し、表示パネル82に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよい。また、画面の上部を駆動するドライバICを表示画面の上辺に配置し、画面の下部を駆動するドライバICを表示画面の下辺に配置してもよい（つまり、実装ICは2チップとなる）。以上の事項は他の本発明の実施例にも適用される。

【0280】図25および図26では画面を中央部で分割するように表現したが、これに限定されるものではない。例えば、図26の場合は、表示画面21aを小さくし、表示画面21bを大きくしてもよい。この表示画面21aをパースシャル表示領域とし（図28参照）、主として時刻表示や日付表示を行い、低消費電力モードで使用する。図25および図26ではゲート信号線17bで表示画面21aを表示し、ゲート信号線17aで表示画面21bを表示している。

【0281】また、図28などでは、図29で図示するように、表示画面21aを3辺フリーの構成とし、表示画面21bを従来のソースドライバ14とゲートドライバ12を別個の辺に配置する構成としてもよい。つまり、ゲート信号線17aとソース信号線18aは1チップドライバIC14cから出力するということである。

【0282】また、図30に図示するように、表示画面21を21aと21bの2つの画面に分割し、それぞれの画面に対応するソースドライバ14、ゲートドライバ12を配置してもよい。図30では各ソースドライバ14から出力する映像信号の書き込み時間が他の実施例と比較して2倍になるので、十分に画素に信号を書き込むことができる。また、図31に図示するように、表示画面21は1つにして画面の上下に各1つずつソースドライバ14を配置してもよい。このことは、ゲートドライバ12に対しても同様に適用できる。

【0283】なお、以上の実施例はゲート信号線17を平行に形成し、画素領域まで配線する構成であったが、これに限定されるものではなく、図32に図示するようにソース信号線18を1辺に平行に配線するように構成してもよいことは言うまでもない。

【0284】図28、図29、図30などにおいて、表示画面21aと21bでフレームレート（駆動周波数または単位時間（1秒間）あたりの画面書き換え回数）を変化させたりすることも低消費電力化に有効な手段である。また、表示画面21aと21bで表示色数または表示色を変化させるのも低消費電力化に有効である。

【0285】図6で図示した構成では、EL素子15のカソードはV_s1電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題があ

る。例えば、単位平方センチメートルあたり0.01Aの電流を流した場合、青（B）ではEL素子の端子電圧は5Vであるが、緑（G）および赤（R）では9Vである。つまり、端子電圧が、B、GとRで異なる。したがって、B、GとRでは保持するTFT11c、11dのソースドレイン電圧（SD電圧）が異なり、各色でトランジスタのソースドレイン電圧（SD電圧）間のオフリーク電流も異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に関連してガンマ特性がずれるという複雑な表示状態となる。

【0286】この課題に対応するため、本発明では図33に図示するように、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には、図33ではBをカソード電極53aとし、GとRをカソード電極53bとしている。なお、図33はガラス面から光を取り出す下取り出しを想定しているが、上取り出しの場合もある。この場合、カソードとアノードは逆転した構成になる。

【0287】R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が6000K以上9000K以下の範囲で、R、G、BのEL素子の端子電圧は10V以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bのうち、各EL素子の最大の端子電圧と最小の端子電圧との差は、2.5V以内、さらに好ましくは1.5V以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定されるものではない。このことは後に説明する。

【0288】また、色むらの補正も必要である。この色むらは、各色のEL材料を塗り分けるため、膜厚のばらつき、特性のばらつきによって発生する。これを補正するため、30%～70%の輝度で白ラスタ表示を行い、表示画面21内の各色の面内分布を測定する。面内分布は少なくとも30画素に1ポイントずつ測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面21に表示するように構成する。

【0289】なお、画素は、R、G、Bの3原色としたがこれに限定されるものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよいし、もちろん単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよいし、R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し、良好な表示を実現できる。その他、R、G、B、白の4色でもよいし、R、G、B、シアン、イエロー、マゼンダ、黒、白の8色でもよい。また、白色発光の画素を表示画面21

全体に形成（作製）し、RGBなどのカラーフィルタで3原色表示とし、EL層に各色の発光材料を積層して形成してもよい。また、1画素をBとイエローのように塗り分けてもよい。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0290】また、図34に図示するように、3原色の他に、白色発光の画素16Wを形成してもよい。白色発光の画素16Wは、R、G、B発光の構造を積層することにより作製（形成または構成）され、1組の画素は、これらRGBの3原色と、白色発光の画素16Wからなる。このように、白色発光の画素を形成することで、白色のピーク輝度が表現しやすくなり、輝き感のある画像表示が実現できるようになる。

【0291】また、RGBの3原色を1組の画素とする場合であっても、図35に図示するように、各色の画素電極の面積を異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪い場合には、画素電極（発光面積）を調整することが好ましく、電流密度を基準に各色の電極面積を決定すればよい。つまり、色温度が6000K（ケルビン）以上9000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内、さらに好ましくは±15%以内となるようにすればよい。例えば、電流密度が100A/平方メートルとすれば、3原色をいずれも70A/平方メートル以上130A/平方メートル以下、さらに好ましくは85A/平方メートル以上115A/平方メートル以下となるようにする。

【0292】また、図36に図示するように、隣接した画素行で、3原色の配置を異なるように配置することが好ましい。例えば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。

【0293】カソード電極53aは、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機ELが水に弱くエッチングなどを行うことができないからである。メタルマスク（図示せず）を用いて、カソード電極53aを蒸着し、同時にコンタクトホール52aに接続する。そして、コンタクトホール52aによりBカソード配線51aと電気的接続を取ることができる。

【0294】カソード電極53bも同様に、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。

メタルマスク（図示せず）を用いて、カソード電極53bを蒸着し、同時にコンタクトホール52bに接続する。コンタクトホール52bによりRGカソード配線51bと電気的接続を取ることができる。なお、カソード電極のアルミ膜厚は70nm以上200nm以下となるように形成するとよい。

【0295】以上の構成により、カソード電極53aと53bには異なる電圧を印加することができるから、図6のVdd電圧が各色共通であっても、RGBのうち、少なくとも1色のEL素子に印加する電圧を変化させることができる。なお、図33において、RGは同一のカソード電極53bとしたがこれに限定されるものではなく、RとGで異なるカソード電極となるように構成してもよい。

【0296】以上のように構成することにより、各色でトランジスタのソースドレイン電圧（SD電圧）間でのオフリーク電流の発生、キック現象を防止することができる。したがって、フリッカが発生せず、発光色に相関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0297】また、図6のVs1をカソード電圧とし、このカソード電圧を各色で異なるようにするとしたがこれに限定されるものではなく、アノード電圧Vddを各色で異なるように構成してもよい。例えば、R画素のVdd電圧を8Vにし、Gを6V、Bを10Vとする構成としてもよい。これらのアノード電圧、カソード電圧は±1Vの範囲で調整できるように構成されることが好ましい。

【0298】パネルサイズが2インチ程度であっても、Vdd電圧と接続されるアノードからは100mA近く電流が出力される。そのため、アノード配線（電流供給線）20の低抵抗化は必須である。この課題に対応するため、本発明では図37で図示するように、アノード配線63を表示領域の上側と下側から供給している（両端給電）。以上のように両端給電することにより、画面の上下での輝度傾斜の発生がなくなる。

【0299】発光輝度を高めるためには画素電極48を粗面化するとよい。この構成を図5に示す。まず、画素電極48を形成する箇所にスタンプ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約200nmのアルミニウムの金属薄膜を形成して画素電極48を形成する。画素電極48が有機EL素子と接する箇所には凸部が設けられ、粗面化される。なお、単純マトリックス型表示パネルの場合は、画素電極48はストライプ状電極とする。また、凸部は凸状だけに限定されるものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0300】突起の大きさは直径4μm程度、隣接間距離の平均値を10μm、20μm、40μmにし、それぞれ突起の単位面積密度を1000～1200個/mm

、100～120個/mm²、600～800個/mm²として輝度測定を行ったところ、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、画素電極48上の突起の単位面積密度を変えることで、画素電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を100個/mm²以上800個/mm²以下とすることで良好な結果を得ることができた。

【0301】有機ELは自己発光素子である。この発光による光がスイッチング素子としてのTFTに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりTFTなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0302】この課題に対処するため、本発明では図38に示すように、ゲートドライバ12（場合によってはソースドライバ14）の下層、画素TFT11の下層に遮光膜91を形成している。遮光膜91はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のTFT11のパターニングが困難になるからである。

【0303】遮光膜91上に20nm以上100nm以下の無機材料からなる平滑化膜71aを形成する。あるいは、この遮光膜91のレイヤーを用いてコンデンサ19の一方の電極を形成してもよい。この場合、平滑化膜71aは極力薄く作り、コンデンサの容量値を大きくすることが好ましい。また、遮光膜91をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91の表面に形成し、この酸化シリコン膜をコンデンサ19の誘電体膜として用いてもよい。平滑化膜71b上にはハイパーチャ（HA）構造の画素電極が形成される。

【0304】ゲートドライバ12などは裏面だけでなく、表面からの光の進入も抑制するべきである。なぜなら、ホトコンの影響により誤動作するからである。したがって、本発明において、カソード電極が金属膜の場合は、ゲートドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0305】しかし、ゲートドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作、あるいはカソード電極とドライバ回路の電気的接触が発生する可能性がある。この課題に対処するため、本発明ではゲートドライバ12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。基本的に有機EL膜は絶縁物であるから、ゲートドライバ上に有機EL膜を形成することにより、カソードとゲートドライバ間が隔離され、前述の課題を解消することができる。

【0306】画素において、1つ以上のTFT11の端子間あるいはTFT11と信号線とが短絡すると、EL

素子15が常時点灯して輝点となる場合がある。この輝点は視覚的に目立つので黒点化（非点灯）する必要がある。この対処法として、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。すると、コンデンサ19には電荷を保持できなくなるので、TFT11が電流を流さなくなるのである。

【0307】なおこの際、レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。これはレーザー光照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0308】また、図39に図示する構造も例示される。図39は光をアレイ基板49側から取り出す下取り出し構造の例である。図39においても、ゲートドライバ12（場合によってはソースドライバ14）の下層、画素TFT11の下層に遮光膜を形成している。

【0309】しかし、ホトコンの影響により誤動作するので、ゲートドライバ12（あるいはソースドライバ14）などは裏面だけでなく、表面からの光の進入も抑制するべきである。このため、本発明では、カソード電極46を遮光膜として用いている。

【0310】一方、カソード（もしくはアノード）電極が透明電極の場合、つまり、画素電極を反射タイプとし共通電極を透明電極（ITO、IZOなど）にする光上取り出しの構造（アレイ基板49側から光を取り出すのは下取り出し、EL膜蒸着面から光を取り出すのが上取り出し）の場合は、透明電極のシート抵抗値が問題となる。なぜなら、透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要があるからである。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0311】この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線92を形成している。低抵抗化配線92は液晶表示パネルのブラックマトリックス（BM）と同様の構成（クロムまたはアルミ材料で50nm～200nmの膜厚）で、かつ同様の位置（画素電極間、ゲートドライバ12の上など）である。

ただし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線92は透明電極72の表面に限定されるものではなく、裏面（有機EL膜と接する面）に形成してもよい。また、BM状に形成した金属膜として、Mg・Ag、Mg・Li、Al・Liなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO₂などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0312】また、EL膜の蒸着面から光を取り出す（上取り出し）場合は、有機EL層47上にMg-A1膜を形成し、その上にITO、IZO膜を形成することが好ましい。または、有機EL層47上にMg-A1膜を形成し、その上にブラックマトリックス（液晶表示パネルのようなブラックマトリックス）を形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO₂、SiNxなどの無機絶縁膜や、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜1761を形成することが好ましい。さらに、この保護膜1761上には、反射防止膜（AIRコート）を形成することが好ましい。なお、保護膜1761の最小膜厚は1μm以上にする。

【0313】また、下取り出しの場合であっても、カソード電極の反射膜46の透過率を高くすることにも効果がある。これは、アレイ基板49側から表示画像を見る構成であっても、反射膜46の透過率が高いため、写り込みが減少し、円偏光板74が不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。なお、反射膜46の透過率は、60%以上90%以下、特に70%以上90%以下にすることが好ましい。なぜなら、60%以下であるとカソード電極のシート抵抗値が低くなる一方、写り込みが大きくなるからである。逆に、90%以上ではカソード電極のシート抵抗値が高くなり、表示画像の輝度傾斜が大きくなるからである。

【0314】反射膜46の透過率を高くするにはAl膜を厚み20nm以上100nm以下というように薄く形成する。その上にITO、IZO膜を形成することが好ましい。または、Al膜上にブラックマトリックスを形成することが好ましい。

【0315】図40に図示するように、画素電極48を円弧状にすることにより、有機EL層47の発光面積が広がる。したがって、電流密度が小さくなり、EL素子15の高寿命化を実現できる。また、EL素子15の端子電圧も低下するので電力効率も向上する。

【0316】図41は図40で説明したEL表示パネルの製造方法の説明図である。図41(a)で図示するように、アレイ基板49上にTFT11、ゲートドライバ12などを形成する。

【0317】次に、図41(b)に図示するように、アレイ基板49上にアクリル樹脂などの有機材料からなる平滑化膜71を塗布する。なお、平滑化膜71はSiO₂などの無機材料であってもよい。膜厚は1.5μm以上3μm以下にすることが好ましい。次に、前記平滑化膜71上にマスク1771を形成する。マスク1771は金属材料で形成し、形成位置は画素16に対応するようにする。次に、エッチングを行う。エッチングはウェットエッチング、O₂プラズマなどの乾式エッチングのいずれでもよい。マスク1771の間から、平滑化膜71

がエッチングされるので、図41(c)に図示するように、平滑化膜71は円弧状となる。

【0318】さらに、図41(d)に図示するように、平滑化膜71にマスク（図示せず）を形成して、コンタクトホール1772を形成する。もしくは、図41

(b)のエッチング工程でコンタクトホール1772も同時に形成する。

【0319】次に、図41(e)に図示するように、ITO、IZOなどの透明電極で画素電極48を形成する。画素電極48とTFT11とは、画素コンタクト部1751で接続をとる。このコンタクトホールでITOからなる画素電極48とドレイン端子とを電気的に接続する。

【0320】次に、画素電極48上に50nm以上150nm以下のカーボン膜を薄く蒸着し、この上に有機EL層を形成する。有機EL層47は単色の場合は全面に、RGBの場合はメタルマスクを用いて塗り分ける（図41(f)参照）。

【0321】有機EL層47の形成後、カソード電極となるAl膜（反射膜）46を形成する（図41(g)）。さらに、Al膜（反射膜）46上に保護膜1761を形成する（図41(h)）。

【0322】保護膜1761は、フィルムを用いた保護層であってもよい。例えば、保護層としては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿）ので、保護層1761として使用できる。また、保護層1761の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長以下となるようにするとよい。

【0323】なお、有機EL層47または画素電極48は、円弧状に限定されるものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わせられたり、もしくは、ランダムな凹凸が形成された構成であってもよい。また、図40では凸状の円弧状であるが、凹状の円弧状であっても上記と同様である。

【0324】図42はパネル化した構成図（断面図）である。なお、他の図面でも同様であるが、本明細書において各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小している。図42の表示パネルの断面図においても平滑化膜71などを十分に厚く図示している。しかし、アレイ基板49の板厚は、非常に薄く図示している。また、TFTなどは省略している。

【0325】図42において、封止フタ41と、アレイ基板49間にはスペーサ1781を配置し、保護膜1761または反射膜46もしくは有機EL層47と封止フタ41とが直接、接しないように構成されている。乾燥剤は表示領域の周辺部に配置または充填されている。スペーサは円筒状または球状のものをを用いる。高さは、 $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下にすることが好ましい。また、保護膜1761を加工することによりスペーサとすることもできる。つまり、保護膜1761の一部または全部を突起状あるいは柱状あるいはストライプ状に加工あるいは形成することによりスペーサの機能を持たせる。なお、スペーサ1781を乾燥剤とする構成でも好ましい。

【0326】図19に示す画素は駆動用TFT11bと変換用TFT11aとがカレントミラーの関係にあり、これらの特性(閾値 V_t 、S値、モビリティ μ など)が一致していなければならない。また、図6の画素においても、各TFTの特性が一致していることが好ましいことは言うまでもない。

【0327】画素16のTFT11を構成する半導体膜は、低温ポリシリコン技術において、レーザアニールにより形成するのが一般的である。このレーザアニールの条件のばらつきがTFT11特性のばらつきとなる。しかし、1画素16内のTFT11の特性が一致していれば、図6、図19などの電流プログラムを行う方式においては、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。

【0328】この課題に対して、本発明では図43に示すように、アニールの時のレーザ照射スポット230をソース信号線18と平行に照射する。また、1画素列に一致するようにレーザ照射スポット230を移動させる。もちろん、1画素列に限定されるものではなく、例えば、図43のRGBを1画素16という単位でレーザを照射してもよい(この場合は、3画素列ということになる)。特に、画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。そのため、画素16内に形成されるTFT11の配置は、図34に図示するように縦方向に配置される(変換用TFT11a、駆動用TFT11b)。したがって、レーザ照射スポット230を縦長にしてアニールすることにより、1画素内ではTFT11の特性ばらつきが発生しないようにすることができる。

【0329】一般的に、レーザ照射スポット230の長さは10インチというように固定値である。このレーザ照射スポット230を移動させるのであるから、1つのレーザ照射スポット230を移動できる範囲内におさめられるようにパネルを配置する必要がある(つまり、パネルの表示画面21の中央部でレーザ照射ス

ット230が重ならないようにする)。

【0330】図44の構成では、レーザ照射スポット230の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザ照射スポット230を照射するアニール装置はガラス基板241の位置決めマーク242a、242bを認識してレーザ照射スポット230を移動させる。位置決めマーク242の認識はパターン認識装置で行う。アニール装置(図示せず)は位置決めマーク242を認識し、画素列の位置を割り出す。そして、ちょうど画素列位置に重なるようにレーザ照射スポット230を照射してアニールを順次行う。

【0331】図43、図44で説明したレーザアニール方法(ソース信号線18と平行にライン状のレーザスポットを照射する方式)は、有機ELパネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線の平行方向とTFT11の特性が一致しているためである(縦方向に隣接した画素TFTの特性が近似している)。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい(例えば、白ラスタ表示の場合、隣接した各画素の変換用TFT11aに流す電流はほぼ同一のため、ソースドライバ14から出力する電流振幅の変化が少ない)。

【0332】また、図45、図46などで説明する複数の画素行を同時書き込みする方式では均一な画像表示を実現できる(主としてTFT特性のばらつきに起因する表示むらが発生しにくいからである)。図45などは複数画素行を同時に選択するので、隣接した画素のTFTが均一であれば、縦方向のTFT特性むらはソースドライバ14で吸収できるようになる。

【0333】図6に示すように、ゲート信号線17aは行選択期間に導通状態(ここでは図6のTFT11がPチャネルトランジスタであるためローレベルで導通となる)となり、ゲート信号線17bは非選択期間時に導通状態となる。

【0334】ソース信号線の状態が階調0表示状態であったときに、階調1に対する電流値を印加し、行選択期間を $75\mu\text{s}$ で動作させると、図47の実線aに示すように、ソース信号線18の寄生容量が増加すると、EL素子15に出力される電流値が減少する。

【0335】図47の点線bは実線aに比べて階調1に対する電流値を10倍流した場合であり、ソース信号線18の寄生容量の増加に対し、EL素子15に出力される電流値の減少割合は小さくなる。所定電流値に対し、10%程度のばらつきは人間の目にとって輝度の差として観測できないことから、10%程度の低下を認めるとすると許容されるソース容量は実線aでは 2pF 以下、点線bでは 25pF 以下となる。

【0336】ソース信号線18の電流値変化に要する時間 t は、浮遊容量の大きさを C 、ソース信号線の電圧を

10

20

30

40

50

V、ソース信号線に流れる電流を I とすると、 $t = C \cdot V / I$ であるため、電流値を 10 倍大きくできることは電流値変化に要する時間が $1 / 10$ 近くまで短くできる、またはソース容量が 10 倍になっても所定の電流値に変化できるということを示す。したがって、短い水平走査期間内に所定の電流値を書き込むためには電流値を増加させることが有効である。

【0337】入力電流を 10 倍にすると出力電流も 10 倍となり、EL 素子の輝度が 10 倍となるよう所定の輝度を得るために、図 6 のスイッチング用 TFT11d の導通期間を従来の $1 / 10$ とし、発光期間を $1 / 10$ とすることで、所定輝度を表示するようにした。つまり、ソース信号線 18 の寄生容量の充放電を十分に行い、所定の電流値を画素 16 の変換用 TFT11a に対してプログラムを行うためには、ソースドライバ 14 から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線 18 に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流が EL 素子 15 に流れる。例えば、10 倍の電流でプログラムすれば、当然 10 倍の電流が EL 素子 15 に流れ、EL 素子 15 は 10 倍の輝度で発光する。つまり、所定の発光輝度にするためには、EL 素子 15 に流れる時間を $1 / 10$ にすればよい。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0338】なお、10 倍の電流値を画素の変換用 TFT11a（正確にはコンデンサ 19 の端子電圧を設定している）に書き込み、EL 素子 15 のオン時間を $1 / 10$ にするとしたがこれは一例である。場合によっては、10 倍の電流値を画素の変換用 TFT11a に書き込み、EL 素子 15 のオン時間を $1 / 5$ にしてもよい。逆に、10 倍の電流値を画素の変換用 TFT11a に書き込み、EL 素子 15 のオン時間を 2 倍にする場合もあるであろう。本発明は、画素への書き込み電流を所定値以外の値にし、EL 素子 15 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N 倍の電流値を画素の TFT11 に書き込み、EL 素子 15 のオン時間を $1 / N$ 倍にするとして説明する。しかし、これに限定されるものではなく、N1 倍の電流値を画素の TFT11 に書き込み、EL 素子 15 のオン時間を $1 / N2$ 倍（N1 と N2 とは異なる）としてもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定されるものではない。

【0339】また、説明を容易にするため、1F（1 フィールドまたは 1 フレーム）を基準にしてこの 1F を $1 / N$ にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間（通常、1 水平走査期間（1H））があるし、また、走査状態によっては誤差も生じるので、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定される

ものではない。

【0340】有機（無機）EL 表示装置は、CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL 表示装置では、1F（1 フィールドあるいは 1 フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題を発生させる。

【0341】本発明では、1F/N の期間の間だけ、EL 素子 15 に電流を流し、他の期間（1F（N-1）/N）は電流を流さない。この駆動方法を実施し画面の一点を観測した場合を考える。この表示状態では 1F ごとに画像データ表示、黒表示（非点灯）が繰り返して表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRT に近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0342】液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持されており、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ 14 の動作クロックを高くし、画像データを黒表示データと交互にソース信号線 18 に印加しなければならないので、黒挿入表示（黒表示などの間欠表示）を実現しようとするためには回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0343】しかし、本発明の EL 表示パネルの画素構成では、図 6、図 159、図 162、図 184、図 81、図 85、図 86、図 72～図 76、図 83、図 67、図 79、図 80、図 182 などに示すように、画像データはコンデンサ 19 に保持されており、このコンデンサ 19 の端子電圧に対応する電流を EL 素子 15 に流している。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0344】本発明はスイッチング用 TFT11d、あるいは TFT11e などをオンオフさせるだけで EL 素子 15 に流す電流を制御する。つまり、EL 素子 15 に流れる電流 Iw をオフしても、画像データはそのままコンデンサ 19 に保持されている。したがって、次のタイミングでスイッチング素子などをオンさせ、EL 素子 15 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入表示（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため、画像メモリも不要である。また、有機 EL 素子 15 は電流を印加してから発光するま

での時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ELパネルなど）の問題である動画表示の問題を解決できる。

【0345】図48に示すように、ゲート信号線17bは従来導通期間が1F（電流プログラム時間を0とした時、通常プログラム時間は1Hであり、EL表示装置の画素行数は少なくとも100行以上であるので、1Fとしても誤差は1%以下である）とし、 $N=10$ とすれば、図47によると、最も変化に時間のかかる階調0から階調1へもソース容量が20pF程度であれば75μ秒程度で変化できる。これは、2型程度のEL表示装置であればフレーム周波数が60Hzで駆動できることを示している。

【0346】更に、大型の表示装置でソース容量が大きくなる場合は、ソース電流を10倍以上にしてやればよい。一般に、ソース電流値をN倍にした場合、ゲート信号線17b（TFT11d）の導通期間を $1F/N$ とすればよい。これにより、テレビ、モニター用の表示装置などにも適用が可能である。

【0347】以下、図面を参照しながら、さらに詳しく説明をする。まず、図6の寄生容量404は、ソース信号線間の結合容量、ソースドライバ14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量404は通常10pF以上となる。電圧駆動の場合、ソースドライバ14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量404が多少大きくとも駆動では問題とならない。

【0348】しかし、電流駆動において、特に黒レベルの画像表示では5nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量404が所定値以上の大きさで発生すると、1画素行にプログラムする時間（通常1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない）内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度が全く出ない。

【0349】図6の画素構成の場合、図18（a）に示すように、電流プログラム時は、プログラム電流I1がソース信号線18に流れる。この電流I1が変換用TFT11aを流れ、プログラム電流I1を流す電流が保持されるように、コンデンサ19のV1が設定（プログラム）される。このとき、スイッチング用TFT11dはオープン状態（オフ状態）である。

【0350】次に、EL素子15に電流を流す期間は図18（b）のようにTFT11が動作する。つまり、ゲート信号線17aにオフ電圧Vghが印加され、変換用TFT11a、取込用TFT11cがオフする。一方、ゲート信号線17bにオン電圧Vglが印加され、スイ

ッチング用TFT11dがオンする。

【0351】今、プログラム電流I1が本来流す電流（所定値）のN倍であるとする、図18（b）のEL素子15に流れる電流もI1となる。したがって、所定値のN倍の輝度でEL素子15は発光する。

【0352】そこで、スイッチング用TFT11dを本来オンする時間（約1F）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ をオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素）である）。

【0353】本発明では、この $1/N$ の画像表示領域が図49（a1）に示すように、表示画面21の上から下に移動する。本発明では、1F/N期間の間だけ、EL素子15に電流が流れ、他の期間 $(1F \cdot (N-1)/N)$ は電流が流れない。したがって、画像は間欠表示となるが、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0354】この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ぼけとなっていた（画像の輪郭ぼけ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができるのである。

【0355】また、EL表示装置では、黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のようなコントラスト低下もない。また、図18に示すように、スイッチング用TFT11dをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリされているためである。つまり、各画素16に、画像データは1Fの間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをスイッチング用TFT11dの制御により実現しているのである。

【0356】したがって、間欠表示を実現する場合としない場合では、1画素を構成するTFT11の個数に変化はない。つまり、画素構成はそのままで、ソース信号線18の寄生容量404の影響を除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

【0357】また、ゲートドライバ12の動作クロック

はソースドライバ14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

【0358】画像表示方向（画像書き込み方向）は図50に図示するように、第1フィールド目では画面の上から下方向とし（図50（a））、次の第2フィールド目では画面の下から上方向（図50（b））としてもよい。つまり、図50（a）と図50（b）とを交互に繰り返せばよいのである。

【0359】さらに、図51に図示するように、第1フィールド目では画面の上から下方向とし（図51（a））、一旦全画面を黒表示（非表示領域）312とした後（図51（b））、次の第2フィールド目では画面の下から上方向（図51（c））とし、また一旦全画面を黒表示（非表示領域）312としてもよい（図51（d））。つまり、図51（a）から図51（d）の状態を交互に繰り返せばよいのである。

【0360】なお、図50、図51などにおいて、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定されるものではない。以上の事項は他の本発明の実施例でも同様である。

【0361】図49（a）は画像表示領域311を $1/N$ とし、非表示領域312を $(N-1)/N$ としている（ただし、これは理想状態の場合である。現実にはコンデンサ19、変換用TFT11aのソースゲート（SG）容量による突き抜けがあるので異なる）。つまり、画像表示領域311を1つにした場合である。画像表示領域311は矢印に示すように、画面の上から下方向に移動する（図49（a1）→図49（a2）→図49（a3）→図49（a1）→）。ただし、この画像表示領域311の移動は画面の上から下方向に移動することには限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目（1フィールド目）は画面の上から下方向に移動させ、次の2フレーム目（2フィールド目）は画面の下から上方向に移動するように走査（操作）してもよいことは言うまでもない。また、画面の右から左、あるいは画面の左から右に走査（操作）してもよい。

【0362】図48は動作タイミング波形である。先にも記載したように、1Fの期間で1画面が表示されるとし、1Hの期間で電流プログラムされるとしている。図48（a）は図6（a）、（b）におけるゲート信号線17aのタイミング波形を示す。また、図48（b）は、ゲート信号線17bのタイミング波形を示す。基本的には、ゲート信号線17bがオン電圧 V_{gl} となった時にスイッチング用TFT11dが導通し（期間は $1F/N$ ）、EL素子15にピーク電流が所定電流 I_1 のN倍の電流が流れ、EL素子15は所定輝度BのN倍の輝度 $(N \cdot B)$ で発光する。 $1F/(N-1)/N$ の期間はスイッチング用TFT11dがオフ状態となる。この

ゲート信号線の制御は図21のように、ゲートドライバ12内の2つのシフトレジスタ（22a、22b）を制御することにより容易に実現できる。シフトレジスタ22aはゲート信号線17aの制御データを保持（走査）し、シフトレジスタ22bはゲート信号線17bの制御データを保持（走査）すればよいからである。

【0363】図52はゲート信号線17bの波形を示す。図52（a）を第1画素行目のゲート信号線17bの電圧波形とすると、図52（b）は第1画素行目に隣接した第2画素行目のゲート信号線17bの電圧波形を示す。同様に、図52（c）は次の第3画素行目のゲート信号線17bの電圧波形、図52（d）は第4画素行目のゲート信号線17bの電圧波形を示す。

【0364】以上のように、各画素行でゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を $1F/N$ に規定しながら、順次点灯する画素行をシフトさせることができるので、各画素行でゲート信号線17bの波形を同一にし、シフトさせることは容易である。図21のシフトレジスタ22a、22bに印加するデータであるST1、ST2を制御すればよいからである。例えば、入力ST2がLレベルの時、ゲート信号線17bにオン電圧 V_{gl} が出力され、入力ST2がHレベルの時、ゲート信号線17bにオフ電圧 V_{gh} が出力されるとすれば、ゲート信号線17bに印加するST2を $1F/N$ の期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【0365】同様に、図48（a）に示すゲート信号線17aの波形の作成も容易である。図21のシフトレジスタ22aの入力データであるST1を制御すればよいからである。例えば、入力ST1がLレベルの時、ゲート信号線17aにオン電圧 V_{gl} が出力され、入力ST1がHレベルの時、ゲート信号線17aにオフ電圧 V_{gh} が出力されるとすれば、ゲート信号線17aに印加するST1を1Hの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST1を1Hに同期したクロックCLK1でシフトしていくだけである。

【0366】図49（b）は画像表示領域311を $1/(2N)$ とし、2つの画像表示領域311a、311bを矢印に示すように、画面の上から下方向に移動した例である（図49（b1）→図49（b2）→図49（b3）→図49（b1）→）。ただし、この画像表示領域311a、311bの移動は画面の上から下方向に移動することには限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目（1フィールド目）は画面の上から下方向に移動させ、次の2フレーム目（2フィールド目）は画面の下から上方向に移動するように走査（操作）してもよいことは言うまで

もない。また、画面の右から左、あるいは画面の左から右に走査（操作）してもよい。

【0367】さらに、図49（c）は画像表示領域311を1／（3N）とし、3つの画像表示領域311a、311b、311cを矢印に示すように、画面の上から下方向に移動した例である（図49（c1）→図49（c2）→図49（c3）→図49（c1）→）。

【0368】図49（b）、（c）に示すように、画像表示領域311を複数に分割すればするほど、画像表示全体のフレームレート（1秒間に画面を書く回数、例えばフレームレート60とは、1秒間に60回画面を書き換えること）を低下させることができる。フレームレートを低下させれば、その分、回路の動作クロックを低下させることができるから消費電力を小さくできる。つまり、EL素子15の発光期間が短くなり、かつ見かけ上の瞬時輝度が高くなり、その上、画像表示領域311と非表示領域312とが高速に繰り返されるため、フリッカが低減する。したがって、フレームレートを低減することができる。

【0369】以上のように駆動させることで、1フレーム（1フィールド）内に点灯する回数を増やし、フリッカを低減させることができる。EL素子の点灯においては点灯回数を増やすことで周波数成分が高くなることから人間の目に観測されにくくなる。例えば、1回あたりの点灯期間を1／7にして1フレームに7回点灯させると、フレーム周波数が30Hzにおいてもフリッカのない表示が実現できた。

【0370】スイッチング用TFT11dのオンオフを制御することにより、画像の輝度を調整（可変）することができる。例えば、図49（a）の場合（画像表示領域311が1つの場合）は、非表示領域312の面積を変化させることにより、表示画面21の明るさが変化する（図53（a1）より図53（a2）の方が暗く、図53（a2）より図53（a3）の方が暗い）。

【0371】同様に、図49（b）の場合（画像表示領域311が2つの場合）は、図53（b1）より図53（b2）の方が暗く、図53（b2）より図53（b3）の方が表示画面21の表示輝度が暗くなる。また、図49（c）の場合（画像表示領域311が3つの場合、つまり3以上）も同様である（図53（c1）より図53（c2）の方が暗く、図53（c2）より図53（c3）の方が暗くなる）。

【0372】なお、図49では画像表示領域311は表示画面21上を走査するとしたが、これに限定されるものではなく、図53（c1）、（c2）に図示するように、1フレーム（1フィールド）目は全画面を非表示領域312とし、次の2フレーム（2フィールド）目は全画面を画像表示領域311としてもよい。つまり、全画面を画像表示状態と非点灯状態とを交互に繰り返す。ただし、画像表示時間と、非点灯時間とを等時間に限定す

るものではない。例えば、画像表示時間を1F／4とし、非点灯時間を3F／4としてもよい。このように、画像表示時間と、非点灯時間との割合を変化させることによって画像の表示輝度を変化（調整）することができる。

【0373】いずれにせよ、図54に示すように、Nの値を変化させることにより、画像の表示輝度Bはリニアに変化させることができる。また、Nの値を制御するだけで容易に画像の明るさを可変できる。

10 【0374】図55は、本発明の表示輝度を調整（制御）する回路のブロック図である。フレームメモリ（フィールドメモリ）354には、外部から入力された映像データが蓄積される。CPU353は蓄積された映像データを用いて演算をする。演算は、映像データの最大輝度、最適輝度、平均輝度、輝度分布のうち少なくとも1つ以上を用いる。また、連続する映像データの各フレームの最大輝度、最適輝度、平均輝度、輝度分布およびその変化割合も考慮する。

20 【0375】演算した結果は輝度メモリ352にストアされる。輝度メモリ352とは画像の明るさを補正したデータである。例えば、海岸などの明るい画面では画像の平均輝度を明るく補正し、その画像データ内で比較的暗い部分があるときは、実際値よりも暗い画像データに変換する。また、夜の画面などでは、画像が全体的に暗いため、比較的明るい部分をより明るく補正する。

30 【0376】カウンタ回路351は図54のN値をいくらにするかをカウントする回路である。ゲート信号線17bの波形においてN値をリアルタイムで変化させる。N値は時間であるから、カウンタでカウントすることにより容易に変化させることができ、画像の明るさを変更できる。

【0377】切り替え回路355は画素16のTFT11をオンさせる電圧V_{gl}とオフさせる電圧V_{gh}（画素TFT11がPチャンネルの場合であり、Nチャンネルではその逆である）を切り替える回路である。つまり、カウンタ回路351の出力に基づき、図48（b）に示す1F／Nの期間を変化させる。したがって、表示画面21の明るさをリアルタイムで容易に可変することができる。

40 【0378】映像信号データに応じて表示輝度をリアルタイムで制御する。このように制御することにより、明るさ表現のダイナミックレンジを実質上3倍以上に拡大することができる。また、EL表示装置は、EL素子に電流を流さない時は完全に黒表示（非点灯）となるから、画像表示の黒浮きも発生しない。つまり、コントラストも高くなる。特に電流プログラムの場合、黒表示では、画素にプログラムする電流値が10nAと小さいので、寄生容量404を十分充放電できず、完全な黒表示を実現することが難しい。また、ゲート信号線17に印加されたハルスによりソース信号線18に電力が供給さ

れ（突き抜け電圧）、黒浮きが発生する。

【0379】本発明は強制的にスイッチング用TFT11dをオフにし、EL素子15に電流を供給することを停止する。したがって、EL素子15は完全に非点灯状態となる。そのため、良好なコントラストを実現できる。また、ソース信号線18に印加するデータの出力タイミングと、ゲート信号線17a、17bのタイミングを調整する必要がある。特に、画素行を選択するゲート信号線17aのVgl（図6のTFT11b、11cをオンさせる電圧）の出力は、1Hよりも短くなるようにすることが好ましい。このことは図110などでも説明する。

【0380】なお、図55において、映像信号の映像データに基づき、リアルタイムで画像の明るさを変化させるとしたが、これに限定されるものではない。例えば、ユーザーが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりする時に、この変化を検出してカウンタ回路351のカウント値を可変して、表示画面21の輝度（あるいはコントラスト、もしくはダイナミックレンジ）を変化させてもよい。また、外光などの明るさをホトセンサで検出し、この検出したデータに基づき、表示画面21の明るさなどを自動的に変化させてもよい。また、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0381】明るさ調整は、EL素子15側のTFT（図6ではスイッチング用TFT11d）をオンオフさせることにより実現できる。この場合、ソースドライバ14から出力するプログラム電流（電圧：電圧プログラム方式の場合）は固定値である（プログラム電流は変化させない）ので、ソースドライバの回路構成を簡略化できる。つまり、表示画面の明るさに対応して出力電流（電圧）などを変化させる必要がないからである。例えば、従来の液晶表示パネルでは64階調表示のときは、最大明るさの64階調目を使用する。これよりも明るさ調整で輝度を下げる時は、例えば32階調目までを使用する。このように回路を構成すると、画面輝度が暗いときには階調表示数が少なくなる。

【0382】また、EL素子15側のTFT11をオンオフさせる（EL素子15に流れる電流を間欠表示させる）方式でも、オフ期間の調整により明るさを自由に調整できる。その際、本発明による明るさ調整は、ガンマ調整、リニアリティの明るさ変化においても保持できる。電源電圧Vddも固定値であるから構成上も有利である。

【0383】また、スイッチング用TFT11dを画面の上から下方向に、オンオフ状態を制御することにより容易に画面の輝度をガウス分布させることができる。制御するにもほとんど演算機能を必要としない。この方法については後ほど説明をする。

【0384】なお、EL素子15をオンオフする周期は

0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。あるいは、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上にすると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5msec以上100msec以下、さらには2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【0385】黒画面（非表示領域）312の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなるので、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ぼけが発生するので、分割数は1以上8以下とすべきである。さらには1以上5以下とすることが好ましい。

【0386】なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、N=4では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。75%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画の場合は分割数を多くし、動画の場合は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などを入力コンセントに対応させて切り替えるように構成すればよい。

【0387】例えば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。例えば、分割数なし、2、4、8などである。

【0388】また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすること、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。なぜなら、0.20以下であると動画表示での改善効果が低いからである。また、0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなるからである。

【0389】また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）、さらには12以上65以下（12Hz以上65Hz以下）が好ましい。なぜなら、フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多い

10

20

30

40

50

と、ソースドライバ 14 などからの書き込みが苦しくなり解像度が劣化するからである。

【0390】いずれにせよ、図 48、図 55 などを用いて先に説明したように、本発明では、ゲート信号線 17 の制御や、ソース信号線 18 に印加する電流（電圧）の変化により行ってもよいし、また、両者を組み合わせて行ってもよい。

【0391】なお、以上の事項は、図 85、図 87 などの電圧プログラムの画素構成でも適用できることは言うまでもない。例えば、図 85 では TFT 11e をオンオフ制御すればよい。

【0392】ゲート信号線 17b の $1F/N$ の期間だけ、オン電圧 V_{gl} にする時刻は図 56 に図示するように、 $1F$ （ $1F$ に限定されるものではなく、単位期間でよい）期間のうち、どの時刻でもよい。単位期間のうち、所定の期間だけ EL 素子 15 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、図 56（a）のプログラム期間（ $1H$ ）後、すぐにゲート信号線 17b をオン電圧 V_{gl} にして EL 素子 15 を発光させる方が、図 6 のコンデンサ 19 の保持率特性の影響を受けにくくなるのでよい。また、 $1F/N$ の期間は図 56（b）において、A、B の記号と矢印で示すように、位置を変化させるように構成してもよい。図 21 における ST に印加するデータのタイミング（ $1F$ のいつに L レベルにするか）を調整あるいは可変できるように構成しておけば、この変化も容易に実現できる。

【0393】また、図 57 に図示するように、ゲート信号線 17b をオン電圧 V_{gl} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）してもよい。つまり、オン電圧 V_{gl} にする期間は $1F/(K/N)$ の期間を K 回実施する。このように制御すれば、画像表示状態は図 49

(b)（ $K=2$ ）、図 49（c）（ $K=3$ ）となる。このように、点灯させる画像部（画像表示領域 311）を複数に分割することによりフリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。例えば、ユーザが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりすることで、この変化を検出して K の値を変更するというように、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0394】このように、図 21 における ST に印加するデータのタイミング（ $1F$ のいつに L レベルにするか）を調整あるいは可変できるように構成しておけば、 K の値（画像表示領域 311 の分割数）を変化させることも容易に実現できる。

【0395】なお、図 57 では、ゲート信号線 17b をオン電圧 V_{gl} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）し、オン電圧 V_{gl} にする期間は $1F/(K/N)$ 期間を K 回実施するとしたがこれに限定され

るものではない。 $1F/(K/N)$ 期間を L （ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL 素子 15 に流す期間（時間）を制御することにより表示画面 21 を表示するものであるので、 $1F/(K/N)$ の期間を L （ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、表示画面 21 の輝度をデジタル的に変更することができる。例えば、 $L=2$ と $L=3$ では 50% の輝度（コントラスト）変化をなす。これらの制御も図 21、図 55、図 66、図 67 などの回路構成で容易に実現できる。

【0396】また、画像表示領域 311 を分割する時、ゲート信号線 17b をオン電圧 V_{gl} にする期間は同一期間に限定されるものではない。例えば、図 58 に示すように、オン電圧 V_{gl} にする期間を t_1 と t_2 のように複数の期間としてもよい。

【0397】図 48 では隣接した画素行を順次点灯（表示）させるように図示したが、本発明はこれに限定されるものではない。図 59 に図示するように、インターレース走査してもよい。このインターレース走査とは、第 1 フィールドでは奇数画素行に画像を書き込み（図 49（a）書き込み画素行 391）、次の第 2 フィールドでは偶数画素行に画像を書き込む（図 48（b）書き込み画素行 391）画像表示方法である。書き込まない画素行は前のフィールドの画像データを保持している（保持画素行 392）。このように、EL 表示装置でインターレース走査をすることにより、フリッカを減少させ得ることができる。

【0398】この図 59 の駆動方法であれば、すべての（あるいは複数の）偶数画素行のゲート信号線 17b を共有でき、また、すべての（あるいは複数の）奇数画素行のゲート信号線 17b を共有できる。したがって、ゲート信号線 17 の引き回し数を大幅に削減できる。また、全画面を画像表示領域 311 と非表示領域 312 とを交互に表示する場合は、すべてのゲート信号線 17b を共有できる。これらの構成は図 24 などの 3 辺フリーの構成で特に有効である。

【0399】なお、インターレース走査は、第 1 フィールドでは奇数画素行に画像を書き込み、次の第 2 フィールドでは偶数画素行に画像を書き込むとしたが、これに限定されるものではない。例えば、第 1 フィールドでは 2 画素行とばして 2 画素行ずつ画像を書き込み、次の第 2 フィールドでは第 1 フィールドで書き込まなかった 2 画素行ごとに画像を書き込んでもよい。また、3 画素行ずつあるいは 4 画素行ずつでもよい。また、第 1 フィールドでは画面の 2 行目から 2 画素行ずつ画像を書き込み（図 60（a）を参照）、次の第 2 フィールドでは 1 行目から 2 画素行ごとに画像を書き込んでもよい（図 60（b）を参照）。また、図 60 に図示するように、書き込んでいる画素行あるいは書き込む画素行を非表示領域 312 となるように制御してもよい。また、第 1 フィー

ルドでは画面の上から下に向かって画像を書き込み、第2フィールドでは画面の下から上に向かって画像を書き込んでよい。これらもすべてインターレース走査の概念に含まれる。

【0400】インターレース走査も図48、図52で説明した方法を実施することで容易に実現できる。点灯させない非表示領域312に該当する画素行は図6(a)に示すスイッチング用TFT11dをオフさせればよいからである。

【0401】また、当然のことながら図61に図示するように、非表示領域312とインターレース走査とを組み合わせることができる。図61(a)では、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図61(a)では第1行目から画像を書き込んでいる。図61(b)でも同様に、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図61

(b)では第2行目から画像を書き込んでいる。

【0402】以上の実施例は主として図6の画素16の構成について説明した。しかし、本発明はこれに限定されるものではない。例えば、図19や図20の画素16でも実現できる。

【0403】図19の画素構成では、ゲート信号線17aにオン電圧Vg1を印加することにより、コンデンサ19にソース信号線18に印加した電流値がプログラムされる。図62に図示するように、ソース信号線18にはソースドライバ14内の電源切り替え手段403から映像信号に該当するデータが印加される。プログラムされた電流は、カレントミラー効率が1の時、前記電流が駆動用TFT11bに流れ、この電流がEL素子15に印加される。この関係(タイミング波形など)は図48に図示した事項を流用でき、あるいは類似するので説明を要さないであろう。ただし、電流プログラムを行う際、取込用TFT11cとスイッチング用TFT11dのオンあるいはオフタイミングを個別に制御しなければならない場合がある。この場合は、取込用TFT11cとスイッチング用TFT11dをオンオフさせるゲート端子を別のゲート信号線17としなければならない。

【0404】図49などの表示方法を実施するためには、EL素子15に流す電流を遮断する必要がある。この遮断を目的として図62に図示するように、TFT11eを付加する。TFT11eのゲート端子をオン電圧Vg1にすることによりEL素子15に電流が印加され、TFT11eのゲート端子をオフ電圧VghにすることによりEL素子15への電流が遮断される(非点灯状態)。

【0405】したがって、図48などで説明したゲート信号線17a、17bの信号波形を印加することにより、図49などで説明した画像表示を実現できる。

【0406】画像表示領域311と非表示領域312は

図63に図示するように、奇数画素行と偶数画素行とをフレーム(フィールド)ごとに切り替えてもよい。図63(a)で奇数画素行を表示し、偶数画素行を非表示とすれば、次のフレーム(フィールド)(図63(b)を参照)では奇数画素行を非表示にし、偶数画素行を表示する。

【0407】このように、1画素行ごとに非表示領域と表示領域とを繰り返すように表示すれば、フリッカの発生が大幅に抑制される。

10 【0408】なお、図63において、1画素行ごとに非表示画素行と表示画素行にするとしたがこれに限定されるものではなく、2画素行ごとあるいはそれ以上の画素行ごとに非表示画素行と表示画素行にするとしてもよい。

【0409】例えば、2行ごとであれば、第1フィールド(フレーム)では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。次の第2フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とすると、5画素行目と6画素行目は非表示画素行となる。また、次の第3フィールド(フレーム)では、第1フィールドと同様、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。

【0410】なお、本明細書でフィールドとフレームの文言は同義に使用したり、分離したりしている。一般的に、NTSCのインターレース駆動において、1フレームは2フィールドで構成される。しかし、プログレッシブ駆動において、1フレームは1フィールドである。このように、映像の信号の世界ではフィールドとフレームは使い分けられているが、本発明における表示パネルに表示する画像はプログレッシブでもインターレースでもどちらでも適用できる。そのため、どちらでもよいという表現としている。フィールドでもフレームでも概念的には一連の画面を書き終える時間の単位である。

【0411】図64の表示方法も有効である。ここで説明を容易にするため、図64(a)を第1フィールド(第1フレーム)、図64(b)を第2フィールド(第2フレーム)、図64(c)を第3フィールド(第3フレーム)、図64(d)を第4フィールド(第4フレーム)とする。

【0412】第1フィールド(フレーム)では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行、5画素行目と6画素行目を表示画素行とする。第2フィールド(フレーム)では、奇数画素行目を表示画素行とし、偶数画素行目を非表示画素行とする。第3フィールド(フレーム)では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素

行目を非表示画素行とする。第4フィールド(フレーム)では、奇数画素行目を非表示画素行とし、偶数画素行目を表示画素行とする。以後、第1フィールド(第1フレーム)の表示状態から順次繰り返す。

【0413】図64の駆動方法では、4フィールド(フレーム)で1ループとしている。このように、複数フィールド(複数フレーム)で画像表示を行うことにより、図63よりもフリッカの発生は抑制されることが多い。

【0414】なお、図64の実施例では、第1フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第2フィールド(フレーム)では、1画素行目ずつ非表示画素行としたがこれに限定されるものではない。また、第1フィールド(フレーム)では、4画素行目ずつ非表示画素行とし、第2フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第3フィールド(フレーム)では、1画素行目ずつ非表示画素行とし、第4フィールド(フレーム)では、4画素行目ずつ非表示画素行とし、第5フィールド(フレーム)では、2画素行目ずつ非表示画素行とし、第6フィールド(フレーム)では、1画素行目ずつ非表示画素行としてもよい。

【0415】本発明の駆動方法は、表示効果(アニメーション効果など)を実現することも容易である。図65は表示領域が図65(a)→図65(b)→図65(c)→図65(d)と順次現れる表示方法である。ゆっくりと非表示領域312をスクロールしていくことによりアニメーション効果を実現できる。これらの制御は図21、図66、図67などの回路構成でも容易に実現できる。これは、映像として黒表示状態を書き込まず、ゲート信号線17bなどの制御によりアニメーション効果を容易に実現している。

【0416】液晶表示パネルなどの画素に1フィールド(1フレーム)期間データを保持する表示パネルは動画ぼけが発生するという課題がある。ただし、CRTなどは電子銃により一瞬表示されるだけなので動画ぼけの問題は発生しない。

【0417】この課題を解決するのに有効な手段が黒挿入である。本発明は動画表示を極めたCRTに近い黒挿入方式を容易に実現できる。

【0418】図68は画面の上から下にFという文字が移動するところを示している。図68に図示するように、画像表示(図68(a)、(c)、(e))の間に非表示状態(図68(b)、(d)、(f))を挿入している。したがって、画像は飛び飛びの表示となる。そのため、動画ぼけが発生せず、良好な動画表示を実現できる。

【0419】このように、全画面を非表示領域とするには図66の回路構成を採用すればよい。図21との差異は、ENBL端子601を具備する点である。ENBL端子601はゲート信号線17が形成されたOR回路602の一端に接続されている。ENBL端子をLレベ

ルとすることにより、すべてのゲート信号線17bにはVghレベルが出力され、EL素子15に電流を供給するスイッチング用TFT11dまたはTFT11eがオフ状態となり、全画面が非表示領域312となる。また、ENBL端子がHレベルの時は、通常動作が実施される。

【0420】なお、図21、図66、図67、図69では、ST端子に入力されたデータをクロックで順次シフトしていく(シリアル動作)として説明したが、これに限定されるものではない。例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい(すべてのゲート信号線のオンオフロジックがコントローラまたはゲート信号線17の本数分、一度に出力され決定される構成など)。

【0421】図68の実施例は、動画表示であったが、R、G、Bごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である(図70参照)。図70において、図70(a)は赤色表示311Rの画像、図70(c)は緑色表示311Gの画像、図70(e)は青色表示311Bの画像である。図70(a)、(c)、(e)の各画像の間に非表示状態(図70(b)、(d)、(f))を挿入している。この動作を図70(a)から図70(f)までの動作をゆっくりと実施すれば、R、G、Bの画像がフラッシュイングしているように表示することができる。

【0422】また、図71のように、異なる画像ごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である。図71において、図71(a)は第1画像311a、図71(c)は第2画像311b、図71(e)は第3画像311cである。図71(a)、(c)、(e)のそれぞれの画像の間に非表示状態(図71(b)、(d)、(f))を挿入している。図71(a)から図71(f)までの動作をゆっくりと実施すれば、第1、第2、第3の画像がフラッシュイングしているように表示することができる。

【0423】以上の実施例は、概念的にはソース信号線18の所定値に対してN倍の電流を流し、EL素子15には1/Nの期間だけN倍の電流を流して所望の輝度を得る方法(構成)である。この方法(構成)により、寄生容量404の存在による書き込み不足の課題を解決した。

【0424】なお、N倍する駆動方法は、1倍(従来の駆動方法)の時よりも発光効率が向上する。これは、図6の駆動用TFT11b(コンデンサ19側)の突き抜け電圧の影響であり、N倍にする方が、この突き抜け電圧の影響を軽減できる。N倍数は1.5倍以上8倍以下が適切である。これ以上であると、EL素子の発光効率が低下し、全体としての効率も低下するので、N倍数は2倍以上6倍以下が好ましい。ここで、N倍するとは、発光期間を1/Nにするということである。したがっ

て、N倍数を2倍以上6倍以下にすると、発光期間を $1/2$ 以上 $1/6$ 以下にする（通常の明るさの時）ということになる。

【0425】なお、本発明はスイッチング用TFT11dをオフさせ、EL素子15への電流を遮断した後、再び、スイッチング用TFT11dをオンさせることにより、EL素子15に先と同様に電流を流すことができる。本発明はこの原理をうまく応用して、 $1/N$ の期間に電流を流し、所定の輝度を得ている。このように駆動できるのは、流す電流値が画素16ごとにコンデンサ19に保持されているからである。つまり、本発明は、EL素子15に流す電流値を保持しながらEL表示パネル特有の画素構成をうまく応用していると言うことができる。

【0426】（実施の形態9）図72の構成は、駆動用TFT11aに対し、駆動能力がN-1倍の駆動用TFT11anを形成することにより、寄生容量404の存在による書き込み不足の課題を解決する方法である。

【0427】図72と図6（a）との差異は、駆動用TFT11aの他に、N-1倍の駆動用TFT11an-1とスイッチング用TFT11fを追加した点である。図6と図72との差異を中心に説明する。駆動用TFT11an-1としたのは、駆動用TFT11an-1と駆動用TFT11aとの電流が加算されればN倍になるように構成したためである。つまり、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aのチャンネル幅W1のN-1倍にしているということである。例えば、N=10であって、駆動用TFT11aのチャンネル幅W1が1とすれば、駆動用TFT11an-1のチャンネル幅W2は9倍である。したがって、理論的には、駆動用TFT11aが1の電流を流せば駆動用TFT11an-1は9倍の電流を流す能力があるということになる。

【0428】なお、図72で駆動用TFT11an-1の駆動電流をN-1としたのは、図72の構成では、N倍の電流をソース信号線18に流す時、EL素子15に電流を流す駆動用TFT11aの1倍の電流が加算されるからである。図73の構成では、EL素子15に電流を流す駆動用TFT11bの電流はソース信号線18に流れることはないからTFT11nの駆動電流をN倍にする必要がある。

【0429】ここで説明を容易にするため、駆動用TFT11aはI1なる電流を流すとし、駆動用TFT11an-1はI1n-1の電流を流すとする、 $I1 + I1n - 1 = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）という式が成り立つ。

【0430】電流プログラム期間にはゲート信号線17aがオン電圧Vglに印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオン状態となる。また、ゲート信号線17bにはオフ電圧

Vghが印加され、スイッチング用TFT11dはオフ状態となる。したがって、プログラム電流Iwに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I1 + I1n - 1 = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。

【0431】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧Vghが印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオフ状態となる。したがって、ソース信号線18と画素16とは切り離される。また、ゲート信号線17bにはオン電圧Vglが印加され、スイッチング用TFT11dはオン状態となる。したがって、プログラム電流Iwの $1/N$ に対応する電流I1がEL素子15に流れる。

【0432】以上のように駆動することにより、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0433】図72ではN-1の電流能力がある駆動用TFT11an-1を1つ画素に作製するとしたがこれに限定されるものではない。図74に示すように、複数個のTFT（図74ではTFT11n1～TFT11n6）を作製してもよい。動作は図72と同様であるので説明を省略する。

【0434】また、図21に図示したカレントミラー方式においても図72の構成を展開することができる。図73に図示するように、N倍の駆動能力を有するTFT11nを形成すればよい。ただし、カレントミラー構成ではスイッチング用のTFT11fは必要がない。

【0435】図73において、TFT11nのチャンネル幅W2と駆動用TFT11bのチャンネル幅W1との比は、N:1としている。ここで説明を容易にするため、駆動用TFT11bはI1なる電流を流すとし、TFT11nはI1nの電流を流すとする、 $I1n = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）となる。

【0436】電流プログラム期間にはゲート信号線17aにオン電圧Vglが印加され、取込用TFT11c、スイッチング用TFT11dがオン状態となる。したがって、プログラム電流Iwに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I1n = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。なお、取込用TFT11cとスイッチング用TFT11dとは少しタイミングをずらせてオンオフ状態を制御することが好ましい。この場合、取込用TFT11cを制御するゲート信号線とスイッチング用TFT11dを制御するゲート信

号線とを別個にし、独立制御をする必要がある。

【0437】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧 V_{gh} が印加され、取込用TFT11c、スイッチング用TFT11dがオフ状態となる。したがって、ソース信号線18と画素16とは切り離され、プログラム電流 I_w の $1/N$ に対応する電流 I_1 がEL素子15に流れる。

【0438】以上のように駆動することで、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0439】なお、ゲート信号線17bとTFT11eは図62で説明したように、図25などの非画像表示あるいは $1/N$ 期間だけEL素子15に電流を流すように制御するために設けたものである。したがって、図73の構成において、さらにN倍の電流を流し、EL素子15に流す電流を $1/N$ 期間のパルス駆動することにより、寄生容量404による書き込み不足の問題は全くなくなる。また、黒挿入表示を容易に実現でき、良好な動画表示を実現できる。

【0440】また、図73の構成は非常に有効である。例えば、図6のみの構成で、 $N=10$ を実現しようとすると、所望値よりも10倍高いパルス状の電流をEL素子15に印加する必要がある。この場合、EL素子15の端子電圧が高くなることから、 V_{dd} 電圧を高く設計する必要があり、また、EL素子15が劣化する可能性もある。

【0441】しかし、図73の構成では、TFT11nのチャンネル幅 W_2 を駆動用TFT11bの5倍とし、2倍高い電流でプログラムすれば、 $5 \times 2 = 10$ となるので、EL素子15には2倍の電流を $1/2$ の期間だけ印加すれば実現できる。したがって、EL素子15が劣化する問題もなくなるし、 V_{dd} 電圧をほとんど高くする必要がない。

【0442】逆に、TFT11nだけで $N=10$ を実現しようとすると、図73の構成では、TFT11nのチャンネル幅 W_2 を駆動用TFT11bの10倍とする必要がある。10倍にするとTFT11nの形成面積が、画素の面積のほとんどを占有する。したがって、画素開口率が極めて小さくなるか、もしくは実現不可能になる。しかし、図73の構成では、TFT11nのチャンネル幅 W_2 を駆動用TFT11bの5倍とするだけで済むので十分な画素開口率を実現することができる。

【0443】 $N=10$ の実現方法は数多くある。例えば、TFT11nのチャンネル幅 W_2 を駆動用TFT11bの2倍とし、5倍高い電流をEL素子15に $1/5$ の期間印加する方法や、TFT11nのチャンネル幅 W_2 を駆動用TFT11bの4倍とし、2.5倍高い電流

をEL素子15に $1/2.5$ の期間印加する方法などである。つまり、TFT11nの設計（チャンネル幅 W_2 ）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0444】なお、図73ではNの電流能力があるTFT11nを1つ画素に作製するとしたがこれに限定されるものではない。図75に示すように、複数個のTFT（図75ではTFT11n1～TFT11n5）を作製してもよい。動作は図73と同様であるので説明を省略する。

【0445】 $N=10$ の実現方法が数多くあるのは、図72の構成でも同様である。駆動用TFT11a \cdots 1のチャンネル幅 W_2 を駆動用TFT11aの4倍とし、2倍高い電流をEL素子15に $1/2$ の期間印加する方法や、駆動用TFT11a \cdots 1のチャンネル幅 W_2 を駆動用TFT11aの2倍とし、5倍高い電流をEL素子15に $1/5$ の期間印加する方法などである。つまり、駆動用TFT11a \cdots 1の設計（チャンネル幅 W_2 ）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0446】以上に説明した事項は、図72、図74、図76～図78においても適用できることは明らかである。つまり、本発明はチャンネル幅が大きい駆動用TFTを各画素に形成し、ソース信号線18を駆動する電流を増大させる。かつ、図49などで説明したようにEL素子15に流す電流を増大するとともに、EL素子15に流す電流を所定の期間とする方法あるいは構成であ

る。

【0447】また、スイッチング用TFT11dあるいはTFT11eのオンオフを制御することにより、図25、図49などで説明した表示を実現できる。この表示により、動画表示を改善でき、また、明るさを調整することができる。したがって、本発明ではEL素子にN倍あるいはNに比例した電流をEL素子15に印加するとしたが、これに限定されるものではない。所定の1倍あるいはそれ以下の電流をEL素子15に流す構成でもよい。この場合でも、動画表示を改善でき、また、明るさを容易に調整することができるという効果を発揮できるからである。

【0448】図6および図72も同様であるが、スイッチング用TFT11dをオン状態にする際、抵抗値を高くすることにより駆動用TFT11aのキック現象による特性ばらつきを抑制できる。このことは図6(b)の構成で説明をした。図6(b)のTFT11eを配置し、TFT11eのゲート端子に V_{bb} 電圧（ $V_{gl} < V_{bb} < V_{gh}$ ）を印加することにより、駆動用TFT11aに流れる電流のばらつきが減少するのである。

【0449】したがって、図6および図72の画素構成

においても、ゲート信号線 17b に Vbb 電圧を印加してスイッチング用 TFT 11d をオンさせることが好ましい。つまり、スイッチング用 TFT 11d はオフ状態ではオフ電圧 Vgh が印加され、オン状態では Vbb 電圧を印加するのである。

【0450】図 67 のように回路構成すればこの制御は容易である。シフトレジスタ 22b の出力段のインバータはオフ電圧 Vgh と Vbb 電圧を電源とすれば、オフ状態ではゲート信号線 17b にオフ電圧 Vgh が印加され、オン状態ではゲート信号線 17b に Vbb 電圧が印加できるからである。

【0451】なお、ゲート信号線 17 のオンオフ制御は、シフトレジスタ 22 が保持するデータに基づくとしたがこれに限定されるものではなく、シフトレジスタ 22 を設けずに、各ゲート信号線 17 を独自に制御する方式でもよい。例えば、オン電圧を出力する任意のゲート信号線 17 をマルチプレクサ回路で選択してもよい。また、すべてのゲート信号線をパラレルで引き出し、それぞれのゲート信号線に自由にオン電圧またはオフ電圧を印加できるように構成してもよい。このように、シフトレジスタ 22 の保持データによらず、任意のゲート信号線 17 を選択できるように構成することにより、図 49、図 53、図 45、図 46、図 210、図 213、図 218、図 221、図 223、図 248 などの表示画面 21 のオンオフあるいは輝度分布の強弱処理が容易となる。

【0452】なお、図 6 (b) と同様に図 76 に図示するように、別途 Vbb 電圧を印加する TFT 11e を形成または配置してもよい。この事項はカレントミラー構成でも同様である。例えば、図 79、図 80 に図示するように、Vbb 電圧を印加するスイッチング用 TFT 11f を別途形成または配置してもよい。図 70 の画素構成でも同様である。

【0453】なお、図 82 においては、駆動用 TFT 11a を TFT 11a1 と TFT 11a2 に分離し、ゲート端子をカスケードに接続することにより、キック現象を抑制でき、また、特性ばらつきも抑制できる。このことは図 6 の駆動用 TFT 11a、図 19 の駆動用 TFT 11b、図 72 の駆動用 TFT 11a、図 73 の駆動用 TFT 11b などについても同様である（駆動用 TFT の構成として採用することが好ましい）。

【0454】図 74 および図 75 において TFT 11n など複数に分割するとしたが、また他の構成として、図 83 に図示するように分割した TFT 11n1、TFT 11n2 を駆動電流向上用として動作させるか否かをゲート信号線 17c に印加する電位（Vgh または Vgl）で制御すればよい。TFT 11f2 をオフ状態にすれば、ソース信号線 18 に流れる電流は TFT 11n1、TFT 11n2 が動作している場合の 1/2 となる。これらの制御は表示パネルの画像表示データおよび

消費電力の観点から決定すると良い。

【0455】図 76 と図 77 の差異は、スイッチング用 TFT 11f のゲート端子をゲート信号線 17c に接続した点である。つまり、スイッチング用 TFT 11f のオンオフ状態をゲート信号線 17a の電位状態に影響されず、独自制御を実現できる点にある。スイッチング用 TFT 11f が絶えずオフ状態である時は、TFT 11n は画素から切り離された状態であり、図 6 (a) の画素構成となる。ゲート信号線 17c とゲート信号線 17a とをロジック的にショートして使用すれば図 76 の構成となる。

【0456】ここでの図 76 の問題点は、TFT 11n と駆動用 TFT 11a の閾値 Vt などの特性ずれが画素ごとに発生していると、画素ごとに EL 素子 15 に流れる電流にばらつきが出るという点である。電流にばらつきが発生すると、白ラスタなどの均一表示でも表示画像にざらつき感が出てしまう。その点、図 6 の構成ではこの問題は発生しない。

【0457】したがって、表示パネルの画面サイズが小さく、寄生容量 404 の影響が少ない時はスイッチング用 TFT 11f を絶えずオフ状態で使用する。また、表示パネルの画面サイズが大きく、寄生容量 404 の影響が駆動用 TFT 11a の動作のみでは解消できない時は、ゲート信号線 17c をゲート信号線 17a のロジックとショートさせ、図 76 の画素構成を実現して駆動を行うとよい。

【0458】図 69 に図 77 の画素構成を駆動する回路ブロックを示す。ゲート信号線 17c を駆動するシフトレジスタ 22c を形成し、ゲート信号線 17c を駆動する。図 6 の画素構成で駆動する時は、ST3 のデータを絶えず L とし、ゲート信号線 17c には絶えず、Vgh のオフ電圧が出力されるように制御する。図 77 の構成で使用する場合は、シフトレジスタ 22c と 22a のデータ入力状態（タイミング、ロジックなど）を同一にすればよい。

【0459】この図 77 の構成は、カレントミラーの構成でも実現できる。図 78 にその画素構成を示す。図 78 に図示するように、分割した駆動用 TFT 11a、TFT 11n を駆動電流向上用として動作させるか否かをゲート信号線 17c に印加する電位（Vgh または Vgl）で制御すればよい。スイッチング用 TFT 11f をオフ状態にすれば、ソース信号線 18 に流れる電流により駆動用 TFT 11a のみが動作する。

【0460】したがって、図 77 の画素構成と同様に、表示パネルの画面サイズが小さく、寄生容量 404 の影響が少ない時はスイッチング用 TFT 11f を絶えずオフ状態で使用する。表示パネルの画面サイズが大きく、寄生容量 404 の影響が駆動用 TFT 11a の動作のみでは解消できない時は、ゲート信号線 17c をゲート信号線 17a のロジックとショートさせ、駆動電流を増大

させて駆動する。このように、図 78 の画素構成においても、図 69 の回路ブロックを適用することができる。

【0461】なお、図 69 の構成ではゲート信号線 17c を制御するシフトレジスタ 22c を新規に形成し、動作させた。しかし、この構成に限定されるものではない。スイッチング用 TFT 11f のゲート端子に Vg1 または Vgh 電圧を印加するだけであるので、ゲート信号線 17c の制御ロジックは容易である。TFT 11n を動作させない時は、表示画面 21 内の全スイッチング用 TFT 11f のゲート端子にオフ電圧 Vgh を印加すればよい。TFT 11n を動作させる場合は、ゲート信号線 17a の電位をゲート信号線 17c に印加すればよい。したがって、図 69 のように別途シフトレジスタ 22c を使用する必要はない。つまり、シフトレジスタ 22a のデータをそのままゲート信号線 17c に出力するか、すべてのゲート信号線 17c の電位がオフ電圧 Vgh となるようにゲート回路を付加すればよいからである。

【0462】(実施の形態 10) 以下に本発明の駆動方法について説明をする。ソース信号線 18 に流す電流を N 倍することにより、寄生容量 404 の影響がなくなり、解像度のある良好な画像表示を実現できる。図 45 はソース信号線に流れる電流を増大させる他の実施例の説明図である。図 45 における本発明の駆動方法とは、基本的に複数の画素行を同時に選択し、それら複数の画素行をあわせた電流でソース信号線の寄生容量などを充放電し、電流書き込み不足を大幅に改善する方法である。この駆動方法ならば、複数の画素行を同時に選択するため、1 画素あたりの駆動する電流を減少させることができ、EL 素子 15 に流れる電流をも減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線に流す電流を 10 倍にする)。

【0463】図 45 などで説明する本発明において、画素行は同時に K 画素行を選択する。ソースドライバ IC からは所定電流の N 倍電流をソース信号線 18 に印加する。各画素には EL 素子に流す電流の N/K 倍の電流がプログラムされる。EL 素子を所定発光輝度とするために、EL 素子に流れる時間を 1 フレームの K/N 時間にする。このように駆動することにより、ソース信号線 18 の寄生容量を十分に充放電でき、良好な解像度と所定の発光輝度を得ることができる。

【0464】つまり、1 フレームの K/N の期間の間だけ、EL 素子に電流を流し、他の期間 ($1F(N-1)K/N$) は電流を流さないということである。この表示状態では 1 F ごとに画像データ表示、黒表示(非点灯)が繰り返し表示され、画像データ表示が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 18 には N 倍の電流で駆動するため、寄生

容量の影響を受けず、高精細表示パネルにも対応できる。

【0465】まず、理解を容易にするため、先に説明したように 1 画素行を選択し、N 倍の電流をプログラムする方式について、駆動波形などを参照しながら説明をする。図 84 はその説明図である。なお、図 84 では画面を横長に図示しているがこれに限定されるものではなく、縦長でもよいし、円形などの他の形状でもよい。

【0466】図 84 (a) は表示画面 21 への書き込み状態を図示している。図 84 (a) において、871 は書き込み画素行である。なお、図 84 (a) では 1 H 期間に書き込む画素行は 1 行である。また、以下の実施例では図 6 の画素構成を例にあげて説明するがこれに限定されるものではなく、図 19 などのカレントミラーの画素構成であってもよい。また、図 85、図 86、図 87 などの電圧プログラム方式の画素構成にも適用できることは言うまでもない。

【0467】図 84 (a) において、ゲート信号線 17a が選択されるとソース信号線 18 に流れる電流が変換用 TFT 11a にプログラムされる。この時、ゲート信号線 17b にはオフ電圧が印加され、EL 素子 15 には電流が流れない。これは、EL 素子 15 側のスイッチング用 TFT 11d がオン状態であると、ソース信号線 18 から EL 素子 15 の容量成分が見え、この容量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、図 84 (b) で示すように、電流を書き込まれている画素行は非表示領域 312 となる。他の画素行のスイッチング用 TFT 11d はオン状態となっているので、画像表示領域 311 となる。なお、図 19 などに示すカレントミラーの画素構成では電流プログラムを行う変換用 TFT 11a に電流が流れる状態であっても、ソース信号線 18 からは EL 素子 15 は見えない。したがって、図 84 (b) のように非点灯状態とする必要がない。つまり、図 84

(b) のように、書き込み画素行を非表示領域 312 とすることは発明の必須条件ではない。

【0468】図 88 はゲート信号線 17 に印加する電圧波形である。電圧波形はオフ電圧を Vgh (H レベル) とし、オン電圧を Vg1 (L レベル) としている。図 88 の下段には選択している画素行の番号を記載している。また、図中の (1)、(2) とは選択している画素行番号を示している。

【0469】図 88 において、ゲート信号線 17a (1) が選択され (Vg1 電圧)、選択された画素行の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などではない限り固定値ではない)である。したがって、コンデ

ンサ 19 には 10 倍の電流が変換用 T F T 11 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、図 6 の画素構成におけるゲート信号線 17 b (1) にはオフ電圧 V_{gh} が印加され、E L 素子 15 には電流が流れない。

【0470】1H 後には、ゲート信号線 17 a (2) が選択され (V_{gl} 電圧)、選択された画素行の変換用 T F T 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する) である。したがって、コンデンサ 19 には 10 倍の電流が変換用 T F T 11 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 6 の画素構成ではゲート信号線 17 b (2) にはオフ電圧 V_{gh} が印加され、E L 素子 15 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 17 a (1) にはオフ電圧 V_{gh} が印加され、ゲート信号線 17 b (1) にはオン電圧 V_{gl} が印加されるため、点灯状態となっている。

【0471】次の 1H 後には、ゲート信号線 17 a (3) が選択され (V_{gl} 電圧)、ゲート信号線 17 b (3) にはオフ電圧 V_{gh} が印加され、画素行 (3) の E L 素子 15 には電流が流れない。しかし、先の画素行 (1)、(2) のゲート信号線 17 a (1)、(2) にはオフ電圧 V_{gh} が印加され、ゲート信号線 17 b (1)、(2) にはオン電圧 V_{gl} が印加されるため、点灯状態となっている。

【0472】以上の動作を 1H の同期信号に同期して画像を表示していく。しかし、図 88 の駆動方法では、E L 素子 15 には 10 倍の電流が流れる。したがって、表示画面 21 は約 10 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であると寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非表示領域 312 の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

【0473】しかし、図 84 の方法も本発明の範疇である。つまり、所定電流よりも高い電流が E L 素子 15 に流れるようにし、ソース信号線 18 の寄生容量を十分に充放電するという概念である。これによれば、E L 素子 15 に N 倍の電流を流さなくともよくなる。例えば、E L 素子 15 に並列に電流経路を形成し (ダミーの E L 素子を形成し、この E L 素子は遮光膜を形成して発光させない等)、ダミー E L 素子と E L 素子 15 に分流して電流を流しても良い。つまり、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、変換用 T F T 11 a には $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ を E L 素子 15 に流して、 $2\mu A$ をダミーの E L 素子に流すというものである。

【0474】以上のように構成することにより、ソース信号線 18 に流す電流を N 倍に増加させることにより、変換用 T F T 11 a に N 倍の電流が流れるようにプログラムすることができ、かつ、電流 E L 素子 15 には、N 倍よりも十分小さい電流を流すことができることになる。以上の方法では、図 89 などに図示するように、非表示領域 312 を設けることなく、図 84 のようにほぼあるいは完全に全表示画面 21 を画像表示領域 311 とすることができる。

10 【0475】しかし、ダミー E L 素子などを形成するというような細工をしなければ、プログラムされた電流は理論的にはすべて E L 素子 15 に流れる。したがって、図 84 では表示画面は N 倍の輝度で発光する。これを所定輝度で発光させるには、図 89 に図示するように非表示領域 312 を設ければよい。図 89 はその方式の説明図である。

【0476】図 89 (a) は表示画面 21 への書き込み状態を図示している。図 89 (a) において、871 a は書き込み画素行である。ソースドライバ 14 から各ソース信号線 18 にプログラム電流が供給される。なお、図 89 などでは 1H 期間に書き込む画素行は 1 行である。しかし、何ら 1H に限定されるものではなく、0.5H 期間でも、2H 期間でもよい。また、ソース信号線 18 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定されるものではなく、ソース信号線 18 に電圧を書き込むという電圧プログラム方式でもよい。

【0477】図 89 (a) において、図 84 と同様に、ゲート信号線 17 a が選択されるとソース信号線 18 に流れる電流が変換用 T F T 11 a にプログラムされる。この時、ゲート信号線 17 b はオフ電圧が印加され、E L 素子 15 には電流が流れない。これは、E L 素子 15 側のスイッチング用 T F T 11 d がオン状態であると、ソース信号線 18 から E L 素子 15 の容量成分が見え、この容量に影響されてコンデンサ 19 に十分に正確な電流プログラムができなくなるためである。したがって、図 6 の構成を例にすれば、図 89 (b) で示すように電流を書き込まれている画素行は非表示領域 312 となる。

40 【0478】今、N 倍 (ここでは、先に述べたように $N=10$ とする) の電流でプログラムしたとすれば、画面の輝度は 10 倍になるので、表示画面 21 の 90% の範囲を非表示領域 312 とすればよい。したがって、画像表示領域の水平走査線が Q C I F の 220 本 ($S=220$) とすれば、22 本を画像表示領域 311 とし、 $220-22=198$ 本を非表示領域 312 とすればよい。一般的に述べれば、水平走査線 (画素行数) を S とすれば、 S/N の領域を画像表示領域 311 とし、この画像表示領域 311 を N 倍の輝度で発光させ、画面の上下方向に走査させると、 $S(N-1)/N$ の領域は非表示領

域 312 となる。この非表示領域は黒表示（非発光）である。また、この非表示領域 312 はスイッチング用 TFT 11d をオフさせることにより実現する。なお、N 倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整により N 倍の値を調整しなければならない。

【0479】また、先の実施例で、10 倍の電流でプログラムすれば、画面の輝度は 10 倍になり、表示画面 21 の 90% の範囲を非表示領域 312 とすればよいとした。しかし、これは、RGB の画素を共通に非表示領域 312 とすることに限定されるものではない。例えば、R の画素は、1/8 を非表示領域 312 とし、G の画素は、1/6 を非表示領域 312 とし、B の画素は、1/10 を非表示領域 312 とするように、それぞれの色により変化させてもよい。また、RGB の色で個別に非表示領域 312（あるいは画像表示領域 311）を調整できるようにしてもよいが、これらを実現するためには、R、G、B で個別のゲート信号線 17b が必要になる。しかし、以上の RGB の個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。

【0480】図 89（b）に図示するように、書き込み画素行 871a を含む画素行を非表示領域 312 とし、書き込み画素行 871a よりも上画面の S/N の範囲を画像表示領域 311 とする（書き込み走査が画面の上から下方向の場合であり、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、画像表示領域 311 が帯状になって、画面の上から下に移動する。

【0481】図 90 はゲート信号線 17 に印加する電圧波形である。電圧波形はオフ電圧を V_{gh}（H レベル）とし、オン電圧を V_{gl}（L レベル）としている。図 90 の下段には選択している画素行の番号を記載している。また、図中の（1）、（2）、（3）、（4）とは選択している画素行番号を示している。

【0482】図 90 において、ゲート信号線 17a（1）が選択され（V_{gl} 電圧）、選択された画素行の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍（説明を容易にするため、N = 10 として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。したがって、コンデンサ 19 には 10 倍の電流が変換用 TFT 11a に流れるようにプログラムされる。画素行（1）が選択されている時は、図 6 の画素構成におけるゲート信号線 17b（1）にはオフ電圧 V_{gh} が印加され、EL 素子 15 には電流が流れない。

【0483】1H（説明を容易にするためであって、1H に限定されるものではない）後には、ゲート信号線 17a（2）が選択され（V_{gl} 電圧）、選択された画素

行の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このプログラム電流は所定値の N 倍（説明を容易にするため、N = 10 として説明する）である。したがって、コンデンサ 19 には 10 倍の電流が変換用 TFT 11a に流れるようにプログラムされる。この時には、ゲート信号線 17b（1）にはオン電圧 V_{gl} が印加される。このオン電圧が印加される期間は、図 89 の実施例によれば、S/N の期間である。その後、ゲート信号線 17b（1）にはオフ電圧 V_{gh} が印加されて、画素行（1）の EL 素子 15 には電流が流れない。

【0484】画素行（2）が選択されている時は、図 6 の画素構成におけるゲート信号線 17b（2）にはオフ電圧 V_{gh} が印加され、EL 素子 15 には電流が流れない。しかし、先の画素行（1）のゲート信号線 17a（1）にはオフ電圧 V_{gh} が印加され、ゲート信号線 17b（1）にはオン電圧 V_{gl} が印加されるため、点灯状態となっている。このオン電圧が印加される期間は、図 89 の実施例によれば、S/N の期間である。その後、ゲート信号線 17b（2）はオフ電圧 V_{gh} が印加されて、画素行（2）の EL 素子 15 には電流が流れない。

【0485】次の 1H 後には、ゲート信号線 17a（3）が選択され、ゲート信号線 17b（3）はオフ電圧 V_{gh} が印加され、画素行（3）の EL 素子 15 には電流が流れない。しかし、先の画素行（1）、（2）のゲート信号線 17a（1）、（2）にはオフ電圧 V_{gh} が印加され、ゲート信号線 17b（1）、（2）にはオン電圧 V_{gl} が印加されるため、点灯状態となっている。以上の動作が繰り返されて、図 89 の表示状態が実現される。

【0486】図 89 の表示では、1 つの画像表示領域 311 が画面の上から下方向に移動する。フレームレートが低いと、画像表示領域 311 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0487】この課題に対しては、図 91 に図示するように、画像表示領域 311 を複数に分割するとよい。図 91（b）は、非表示領域 312 を 5 つに分割している。この 5 つを加えた部分が S（N - 1）/N の面積となれば、図 89 の明るさと同等になる。逆に、画像表示領域 311 から見れば、画像表示領域（点灯領域）311 は 6 つに分割されているが、この 6 つに分割された領域を加えた部分が S/N と略一致するように構成（駆動）すれば、図 89 の表示輝度と同等となる。

【0488】なお、図 91（b）にも図示するように、分割された画像表示領域 311 を等しくする必要はない。また、分割された非表示領域 312 も等しくする必要はない。

【0489】以上のように、画像表示領域 311 を複数

に分割することにより画面のちらつきが減少し、フリッカの発生がなく、良好な画像表示を実現できるようになる。なお、分割はもっと細かくしてもよいが、分割すればするほど動画表示性能は低下する。

【0490】図92はゲート信号線17に印加する電圧波形である。図92と図90の差異は、ゲート信号線17bの動作であり、このゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（Vg1とVgh）動作する。他の点は図90と同一であるので説明を省略する。

【0491】以上の実施例では、同時に選択する画素行は1画素行であった。図46は複数画素行を同時に選択する方法である。図46では説明を容易にするために、5画素行と同時に選択するとして説明するが、これに限定されるものではなく、2画素行以上であればよい。ただし、同時に選択する画素行が増加すると、変換用TF T 1 1 aのばらつき吸収効果が低減する。

【0492】なお、以下の実施例においても図6の電流プログラムの画素構成を例示して説明をするがこれに限定されるものではない。図19のカレントミラーでも有効であることは言うまでもない。同時に選択される画素行が多くなることにより、ソース信号線の寄生容量404などの充放電が容易になるからである。また、図86、図87などの電圧プログラムの画素構成でも有効である。同時に選択される画素行が増加することにより、隣接した画素行を予備充電でき、高精細表示パネルにも対応できるようになるからである。

【0493】なお、ここでも説明を容易にするために、ソースドライバ14からソース信号線18に流す電流（もしくは、ソースドライバ14がソース信号線18から吸い込む電流、変換用TF T 1 1 aがソース信号線18に流し込む電流）は所定値の10倍（ $N=10$ ）として説明をする。したがって、同時に選択する画素行が5画素行（ $K=5$ ）であれば、5つの変換用TF T 1 1 aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流が変換用TF T 1 1 aに流れる。同時に選択する画素行が2画素行であれば、2つの変換用TF T 1 1 aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流が変換用TF T 1 1 aに流れるということになる。

【0494】また、同時に選択する画素行が5画素行（ $K=5$ ）であれば、5つの変換用TF T 1 1 aのプログラム電流を加えたものとなる。例えば、書き込み画素行871aに、本来、書き込む電流を1dとし、 $N=10$ とすれば、ソース信号線18には、 $1d \times 10$ の電流を流すことになる。書き込み画素行871aと隣接した書き込み画素行871b（871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素（行）が871aであり、871aに書き込むために補助的に用いるのが画素（行）871bである）。

【0495】理想的には、5画素の変換用TF T 1 1 aが、それぞれ $1d \times 2$ の電流をソース信号線18に流し、各画素16のコンデンサ19には、2倍の電流がプログラムされるようになる。しかし、現実には、5画素の各TF T 1 1 aは特性がずれているから、各画素のコンデンサ19にプログラムされる電流にばらつきが発生する。例えば、書き込み画素行871aには、1.8倍、4つの書き込み画素行871bには各々、2.2倍、2.0倍、1.6倍、2.4倍の電流がプログラムされる。この例では、書き込み画素行871aには1.8倍の電流がプログラムされており、 $(2.0-1.8)/2.0=10\%$ の誤差が出る。しかし、これらを加算した電流は10倍という規定値に保たれる。

【0496】つまり、ソース信号線18にはソースドライバ14からプログラムされた電流が規定通り流れるのに対し、選択された画素には特性ばらつきに応じた電流が流れる。したがって、各画素の変換用TF T 1 1 aの特性ばらつきが大きいほど、目標とするプログラム電流が設定値からはずれてしまう。しかし、隣接した変換用TF T 1 1 aはほぼ特性が一致しているから、図46などのように同時に選択する画素行を増加させても均一表示を実現できる。

【0497】なお、図45、図46などの実施例は、低温ポリシリコン技術でTF T 1 1を形成した表示パネルよりも、アモルファスシリコン技術でTF T 1 1を形成した表示パネルに有効である。なぜなら、アモルファスシリコンのTF T 1 1では、隣接したTF Tの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のTF Tの駆動電流はほぼ目標値となっている。

【0498】図46において、書き込み画素行871aの画像データでK行（ $K=5$ ）を同時に書き込むと、K行の範囲（871a、871b）は同一表示となる。このように同一表示にすると、当然のことながら解像度が低下する。これに対処するために、図46（b）に図示するように書き込み画素行871の部分为非表示領域312とするのである。そうすると、解像度低下は発生しない。

【0499】次の1H後には、1画素行シフトした位置を書き込み画素行871aとして同一動作を行い、非表示領域312も1画素（行）シフトすると、先の1Hで電流プログラムされた画素（行）が表示される。

【0500】以上のように駆動すると、本来の表示データと異なる電流データを書き込まれた書き込み画素行871bは表示されず、上記の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている書き込み画素行871bの効果で、寄生容量404の充放電も十分1H期間内に実現できる。

【0501】図93は、図46の駆動方法を実現するための駆動波形の説明図である。図88と同様に、電圧波

形はオフ電圧を V_{gh} (Hレベル) とし、オン電圧を V_{gl} (Lレベル) としている。また、図 93 の下段には選択している画素行の番号を記載している。また、

(1)、(2)、(3)・・・(6)とは選択している画素行番号を示している。なお、行数は QCIF 表示パネルの場合では 220 本であり、VGA パネルの場合では 480 本である。

【0502】図 93 において、ゲート信号線 17a

(1) が選択され (V_{gl} 電圧)、選択された画素行の変換用 TFT11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 871a が画素行 (1) 番目であるとして説明する。

【0503】また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。また、5 画素行を同時選択 ($K=5$) として説明をする。したがって、理想的には 1 つの画素のコンデンサ 19 には 2 倍の電流が変換用 TFT11a に流れるようにプログラムされる。

【0504】書き込み画素行が (1) 画素行目である時、図 93 で図示したように、ゲート信号線 17a には (1)、(2)、(3)、(4)、(5) が選択されている。つまり、画素行 (1)、(2)、(3)、(4)、(5) の駆動用 TFT11b、取込用 TFT11c がオン状態である。また、ゲート信号線 17b はゲート信号線 17a の逆位相となっているので、画素行 (1)、(2)、(3)、(4)、(5) のスイッチング用 TFT11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0505】理想的には、5 画素の変換用 TFT11a が、それぞれ $I_d \times 2$ の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは理解を容易にするため、各変換用 TFT11a は特性 (V_t 、 S 値) が一致しているとして説明をする。

【0506】同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの変換用 TFT11a が動作する。つまり、1 画素あたり、 $10/5=2$ 倍の電流が変換用 TFT11a に流れる。ソース信号線 18 には、5 つの変換用 TFT11a のプログラム電流を加えた電流が流れる。例えば、書き込み画素行 871a に、本来、書き込む電流を I_d とし、ソース信号線 18 には、 $I_d \times 10$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 871b はソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 871b は後に正規の画像データが書き込まれるので問題はない

【0507】したがって、書き込み画素行 871b は、1H 期間の間は書き込み画素行 871a と同一表示であるので、書き込み画素行 871a と電流を増加させるために選択した書き込み画素行 871b を少なくとも非表示領域 312 とするのである。ただし、図 19 のようなカレントミラーの画素構成、図 86 などの電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

【0508】次の 1H 後には、ゲート信号線 17a

(1) は非選択となり、ゲート信号線 17b (1) にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線 17a (6) が選択され (V_{gl} 電圧)、選択された画素行 (6) の変換用 TFT11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

【0509】次の 1H 後には、ゲート信号線 17a

(2) は非選択となり、ゲート信号線 17b (2) にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線 17a (7) が選択され (V_{gl} 電圧)、選択された画素行 (7) の変換用 TFT11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

【0510】図 84 と同様であるが、図 93 の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。

【0511】これを所定の輝度とするためには、図 45 に図示するように、書き込み画素行 871 を含み、かつ表示画面 21 の $1/2$ の範囲を非表示領域 312 とすればよい。このことは図 90 などを用いて説明したので省略する。

【0512】表示画面 21 に占める黒表示領域 (非表示領域) 312 の面積を大きくするほど動画表示性能が向上する。したがって、図 94 に図示するように画像表示領域 311 を少なくし、非表示領域 312 の面積を大きくすればよい。

【0513】図 45 のように、各画素にプログラムする電流が 2 倍で画像表示領域 311 の面積が表示画面 21 の $1/2$ であれば、所定の表示輝度を得ることができる。しかし、図 94 のように画像表示領域 311 が表示画面 21 の $1/2$ よりも小さい場合、画面は暗くなる。そこで、所定輝度を得るためには、各画素にプログラムする電流を大きくすればよい。例えば、画像表示領域 (点灯領域) 311 が表示画面 21 の面積の $1/5$ であれば、同時に選択する画素行が 5 本 ($K=5$) であれば、

1画素行にプログラムする電流（電圧）は所定値の5倍にすればよい。ソース信号線18に流れる電流は 5×5 画素行 $\times 2.5$ 倍となる。

【0514】いずれにせよ、本発明の実施例ではソース信号線18に流す電流（電圧）を変化させることによりプログラム電流（電圧）を調整することができる。つまり、ソースドライバ14の基準電流（電圧）を調整するだけでソース信号線18に流れる電流を調整できるということである。2画素行を同時にオンさせるか、5画素行を同時にオンさせるか、または1画素行のみを選択するかは、図21などに図示するゲートドライバ12のシフトレジスタ22に印加するST*端子へのデータで設定できる。したがって、ソースドライバ14の仕様は、選択する画素数には左右されない。また、画面の明るさもゲート信号線17bのオンオフで調整することができるから、表示画面21の明るさ調整でソースドライバ14からの出力電流を変化させることはない。したがって、EL素子15のガンマ特性は1つの電流に対して決定すればよい。そのため、ソースドライバ14の構成は極めて容易であり、汎用性の高いものとなる。以上の事項は、他の本発明の実施例にも適用できる。

【0515】以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であったが、本発明はこれに限定されるものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

【0516】図95はその実施例である。なお、説明を容易にするため、画素構成は図6の場合を主に例示して説明をする。図95では画素行の選択ゲート信号線17aが3つの画素（16R、16G、16B）を同時に選択し、各画素をデータ書き込み状態とする。なお、Rの記号は赤色の画素関連、Gの記号は緑色の画素関連、Bの記号は青色の画素関連を意味するものとする。

【0517】画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込み、画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

【0518】画素16RのTFT11dはゲート信号線17bRに接続され、画素16GのTFT11dはゲート信号線17bGに接続され、画素16BのTFT11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能となるのである。

【0519】この動作を実現するためには、図21の構成において、ゲート信号線17aを走査するシフトレジ

スタ22と、ゲート信号線17bRを走査するシフトレジスタ22と、ゲート信号線17bGを走査するシフトレジスタ22と、ゲート信号線17bBを走査するシフトレジスタ22の4つを形成（配置）することが適切である。

【0520】図96は画素16の配置を図示している。図96において、画素は横ストライプ状に形成されている（なお、従来の構成では、一般的に縦ストライプ状である）。横ストライプ状に画素を配置することにより、ゲート信号線17とスイッチング素子との接続が容易になり、また、画素レイアウトも容易になる。また、高分子材料のEL素子では、インクジェットによる作製も容易になる。

【0521】なお、図95、図96で、画素は横ストライプ状に形成するとしたが、従来と同様に縦ストライプ状であってもよい。また、本明細書で説明している逆バイアス電圧印加方式、ブロック駆動方式、Vbb電圧での制御方式、RGBそれぞれの電圧を別個にする構成、TFT11bの突き抜け電圧を利用する方式、図264の方式、ダミー画素行を付加する構成などを、本明細書中の他の実施例などと組み合わせることが適切であることは言うまでもない。

【0522】図97は、図95の画素構成の動作波形である。なお、説明を容易にするため、1画素行（もちろん、RGBでカウントするのであれば、3画素行ということになる）を選択するとして説明をする。ただし、図45、図46、図116などで説明しているように、複数の画素行を同時に選択する駆動方法も実現できることは言うまでもない。また、図110で説明しているように、1H期間の範囲であってもゲート信号線のタイミング制御を行う必要があるが、ここでは説明を容易にするため、ゲート信号線17aによる画素行の選択は1H期間であるとして説明をする。以上の事項は、本明細書で説明した他の駆動方法、パネル構成においても適用される。

【0523】図97において、書き込み画素行が（1）画素行目である時、ゲート信号線17aは画素16ブロック（これを1画素行と考える方が理解は容易になる）を選択している（図95もあわせて参照のこと）。つまり、画素16R、画素16G、画素16Bが選択され、画素行（1）の16R、画素行（1）の16Gおよび画素行（1）の16BのスイッチングTFT11b、TFT11cがオン状態となる。

【0524】画素行（1）の画素16Rはソース信号線18Rからの画像データをコンデンサ19Rに書き込み、画素行（1）の画素16Gはソース信号線18Gからの画像データをコンデンサ19Gに書き込み、画素行（1）の画素16Bはソース信号線18Bからの画像データをコンデンサ19Bに書き込む。

【0525】なお、説明を容易にするため、図97で

は、各画素には1フレーム(1フィールド)の $1/N$ の期間に N 倍($N=2$)の電流がEL素子15に流れるようにプログラムされるとして説明をする。なお、本明細書で説明している通り、他の実施例にも適用できる。また、 N 値を大きくすることにより、ソース信号線18の寄生容量404の影響を無視できるようになり、画素16に画像データを書き込みやすくなることは言うまでもない。つまり、 $N=2$ に限定されるものではない。また、 N は整数に限定されるものではなく、2.5などのような値でも実現できる。また、ゲート信号線17aの選択時間も1Hに限定されるものではなく、2H以上でもよい。

【0526】画素行(1)のゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBは、ゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)の画素16R、画素16Gおよび画素16BのスイッチングTFT11dがオフ状態であり、対応する画素行のEL素子(15R、15G、15B)には電流が流れておらず、非表示領域312となる。

【0527】次の1H後には、ゲート信号線17a

(1)は非選択となり、ゲート信号線17bにはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線17a(2)が選択され(V_{gl} 電圧)、選択された画素行(2)の画素16R、画素16Gおよび画素16BのTFT11aからソースドライバ14に向かってソース信号線18(それぞれ、18R、18G、18B)にプログラム電流が流れる。このように動作することにより、画素行(1)の画素16R、画素16Gおよび画素16Bには画像データが保持される。

【0528】さらに次の1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17b(2)にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線17a(3)が選択され(V_{gl} 電圧)、選択された画素行(3)のTFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)に画像データが保持される。以上の動作を1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0529】次に、図97のゲート信号線17bの動作を主に説明をする。画素16Rにはゲート信号線17bRが接続されている。画素16Gにはゲート信号線17bGが接続されている。また、画素16Bにはゲート信号線17bBが接続されている。したがって、画素16Rはゲート信号線17bRでEL素子15Rに流れる電流をオンオフ制御することができる。同様に、画素16Gはゲート信号線17bGでEL素子15Gに流れる電流をオンオフ制御することができ、画素16Bはゲート信号線17bBでEL素子15Bに流れる電流をオンオ

フ制御することができる。

【0530】図97では、ゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBを各画素行において、同一波形にしている。したがって、EL素子15R、15Gおよび15Bは同時にオンオフ(点灯、非点灯)される。なお、図97は4HごとにEL素子15をオンオフさせているがこれに限定されるものではない。1Hごとや、それ以上でもよい。また、原理的には1H以下の周期でEL素子15をオンオフさせてもよい。

【0531】ただし、オンオフ周期をあまりにも速くすると動画表示で動画ボケが発生する。したがって、EL素子15がオンし、消灯して次にオンするまでの間隔は0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上にすると、点滅状態に見えるので、EL素子のオンオフ周期は0.5 μ sec以上100msec以下、さらには、2msec以上30msec以下にすべきである。さらに好ましくは、3msec以上20msec以下にすべきである。

【0532】以上の関係から、1フレーム(1フィールド)に要する時間と、ゲート信号線17bに印加する信号(V_{gh} 、 V_{gl})の周期あるいは回数から画面をオンオフさせる非表示領域312の挿入数が決定される。非表示領域312を1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなるので、非表示領域312挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生するので、分割数は1以上8以下、さらには1以上5以下とすることが好ましい。

【0533】なお、本発明は、TFT11dをオフすることで、EL素子15に流れる電流を遮断しても、再びTFT11dをオンすると、先に流れていた電流と同一の電流をEL素子15に流すことができる。これは、流す電流値が、画素のコンデンサ19にメモリ(アナログメモリ)されているからである。この事項は、本発明の大きな特徴である。つまり、EL素子15に流す電流をオンオフさせる制御を自由にできることを意味している。

【0534】図97では、ゲート信号線17bR、ゲート信号線17bGおよびゲート信号線17bBを各画素行において同一波形とし、また、画素行の選択は1Hごとに選択画素行を順次シフトさせているので、EL素子15R、15Gおよび15Bの発光位置は、表示画面21の上から下へと高速に移動していく。また、このオンオフ制御と非表示領域312の挿入割合および非表示領域312の挿入個数は、図21などで説明したシフトレ

ジスタ 22 への ST データを制御することにより容易に実現できる。もちろん、ゲート信号線 17b に印加する Vgh データの制御をパラレル制御してもよいことは言うまでもない。

【0535】また、ゲート信号線 17 に印加する信号は周期的な信号としたが、これに限定されるものではなく、非周期的な信号でもよい。ただし、EL 素子 15 をオンまたはオフする時間の総和が異なると画面の明るさが変化したり、色バランスのずれが発生するので、1 フレーム (1 フィールド) の期間において、EL 素子 15 をオンまたはオフする時間の総和を一定値にする必要がある。なお、特殊な場合として、2 フレーム (2 フィールド) 以上の期間で EL 素子 15 をオンまたはオフする時間の総和を一定値にしても良い場合がある。1 フレーム (フィールド) が非常に高速である場合と、FSC (フレームシーケンシャルコントロール) 駆動の場合である。

【0536】図 98 では、ゲート信号線 17bR に印加する波形は 2H 周期で変化させ、ゲート信号線 17bG に印加する波形は 3H 周期で変化させ、ゲート信号線 17bB に印加する波形は 4H 周期で変化させている。他の事項は、図 97 と同様であるので説明を省略する。

【0537】なお、図 98 での同期変化パターンは作図を容易にするためであって、2H、3H などに限定されるものではない。少なくとも、画素 16R に接続されたゲート信号線 16bR と、画素 16G に接続されたゲート信号線 16bG と、画素 16B に接続されたゲート信号線 16bB のうち 1 つ以上のゲート信号線 17b に印加する信号波形を他のゲート信号線 17b と異ならせたものである。

【0538】図 98 のように駆動すると、EL 素子 15R、15G および 15B の発光位置は、表示画面 21 の上から下へと高速に移動していく。この際、EL 素子 15R のオンオフ (点灯、非点灯) 周期と、EL 素子 15G のオンオフ (点灯、非点灯) 周期と、EL 素子 15B のオンオフ (点灯、非点灯) 周期とが異なる。このように、EL 素子 15 の点灯周期を異ならせることにより、フリッカの発生が目立ちにくくなる。

【0539】また、このオンオフ制御と非表示領域 312 の挿入割合および非表示領域 312 の挿入個数は、図 21 など で説明したシフトレジスタ 22 への ST データを制御することにより容易に実現できる。もちろん、ゲート信号線 17b に印加する信号 (Vgh、Vgl) データの制御をパラレル制御してもよいことは言うまでもない。

【0540】図 99 では、ゲート信号線 17bR に印加する Vgl 期間を他のゲート信号線 17b よりも短くしている。したがって、ゲート信号線 17bR に接続された EL 素子 15R の点灯時間は長くなる (画素 16R の TFT11d がオンする期間が長くなる)。したがっ

て、表示画面 21 の R の発光輝度が強くなる。

【0541】以上のように、ゲート信号線 17bR、ゲート信号線 17bG、ゲート信号線 17bB に印加する信号を個別に制御すること、つまり、EL 素子 15 をオンさせる時間、タイミング、周期を制御することにより、表示画面 21 の色バランス、フリッカの発生を抑制できる。

【0542】なお、図 99 では、ゲート信号線 17bG に印加する波形は 3H 周期で変化させ、ゲート信号線 17bB に印加する波形は 4H 周期で変化させるとしたが、これは作図を容易にするためであって、2H、3H などに限定されるものではない。少なくとも、画素 16R に接続されたゲート信号線 16bR と、画素 16G に接続されたゲート信号線 16bG と、画素 16B に接続されたゲート信号線 16bB の中で、1 つ以上のゲート信号線 17b に印加する信号波形のうち、TFT11d をオンさせる (もしくはオフさせる) 信号の印加時間を他のゲート信号線 17b と異ならせたものである。

【0543】図 99 のように駆動すると、EL 素子 15R、15G および 15B の発光位置は、表示画面 21 の上から下へと高速に移動していく。この際、EL 素子 15R のオン (点灯) 時間と、EL 素子 15G のオン (点灯) 時間と、EL 素子 15B のオン (点灯) 時間を異ならせることができるので、画面の色バランス調整が可能となり、また、フリッカの発生が目立ちにくくなる。このような色バランス調整は、ユーザーが表示画面 21 をみながら、調整できるように構成しておくことが好ましい。図 21 などのシフトレジスタ 22 に入力する ST データのオン個数を増加あるいは減少させればよいので、この調整は容易である。また、このオンオフ制御と非表示領域 312 の挿入割合および肥料寺領域 312 の挿入個数は、図 21 など で説明したシフトレジスタ 22 への ST データを制御することにより容易に実現できる。もちろん、ゲート信号線 17b に印加する信号 (Vgh、Vgl) データの制御をパラレル制御してもよいことは言うまでもない。

【0544】なお、図 95 ~ 図 99 は画素構成が図 6 の場合を例示して説明をした。しかし、以上の実施例は、他の画素構成であっても適用できることは言うまでもない。例えば、図 19、図 20、図 86、図 87 などである。つまり、図 95 ~ 図 99 で説明した技術的思想は他の構成においても適用できる。

【0545】図 46、図 45、図 93 など で説明した駆動方法は、同時に複数画素行を選択する方法であった。この駆動方法では以下の点で注意が必要である。結論から言えば、表示に寄与しない画素 (行) (ダミー画素 (行)) を設ける (形成する) ことが好ましいことである。この理由などについて以下に説明をする。

【0546】図 100 は、同時に 2 画素行を選択する駆動方法の説明図である。図 100 において、画素 16

a、16bが選択されている状態を図示している。画素16aのTFT11aと画素16bのTFT11aはそれぞれ、電流1ddをソース信号線18に流す。

【0547】ここで説明を容易にするため、各画素のTFT11aが流す電流はばらつきがないとし、 $2 \times I_{dd} = I_w$ とする。つまり、ソースドライバ14はソース信号線18からの電流Iwを吸収し、この電流Iwを2等分した電流が各画素のコンデンサ19にプログラムされる。例えば、 $I_{dd} = 15 \text{ nA}$ であれば、 $I_w = 30 \text{ nA}$ である。

【0548】図1(a)に図示するように、2本の書き込み画素行871(871a、871b)が選択され、表示画面21の上辺から下辺に順次選択されていく。しかし、図1(b)のように、画面の下辺までくると書き込み画素行871aは存在するが、871bはなくなる。つまり、選択する画素行が1本しかなくなる。そのため、ソース信号線18に印加された電流Iwは、すべて書き込み画素行871aに書き込まれる。したがって、 $I_w = I_{dd}$ となり、図1(a)の書き込み画素行871aに比較して、2倍の電流が画素にプログラムされてしまう。

【0549】この課題に対して、本発明は、図1(b)に図示するように表示画面21の下辺にダミー画素行2471を形成(配置)しているので、選択画素行が表示画面21の下辺まで選択された場合は、表示画面21の最終画素行とダミー画素行2471が選択される。そのため、図1(b)の書き込み画素行には、規定通りの $I_{dd} = I_w / 2$ の電流が書き込まれる。

【0550】図101は図1(b)の状態を示している。図101で明らかなように、選択画素行が表示画面21の下辺の画素16b行まで選択された場合は、表示画面21の最終画素行とダミー画素行2471が選択される。また、図102に図示するように、ダミー画素行2471を表示画面21外に形成(配置)する。つまり、ダミー画素行2471は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。

【0551】なお、図101、図102のようにダミー画素行2471を形成(配置)する構成であっても、図187で説明するように点灯制御線1791でゲート信号線17bなどを共通にし、ブロック点灯駆動を実施できる。また、逆バイアス駆動とも組み合わせることができる(図103を参照のこと)。

【0552】図1では、表示画面21の下辺にダミー画素行2471を設けるとしたが、これに限定されるものではない。例えば、図104(a)に図示するように、画面の下辺から上辺に走査する(上下逆転走査)する場合は、図104(b)に図示するように、表示画面21の上辺にもダミー画素行2471を形成すべきである。つまり、画面21の上辺と下辺のそれぞれにダミー画素

行2471を形成(配置)する(図105を参照のこと)。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。

【0553】以上の実施例は、2画素行を同時選択する場合であった。本発明はこれに限定されるものではなく、例えば、5画素行を同時選択する方法でもよい。

【0554】図106は5画素行を同時に選択する駆動方法の説明図である。図106に図示するように、画面の上下辺に4画素分のダミー画素行2471を形成して

【0555】図107は図106の表示パネルの駆動方法の説明図である。ソースドライバ14からは $I_w = 5 \times I_{dd}$ の電流が出力(あるいは吸収)されるとして説明する。なお、電流Iddは各画素に書き込まれる電流(プログラムされる電流)であり、表示画像によって異なるのは言うまでもない。

【0556】5画素行を同時に選択する駆動方法では、ソースドライバ14は画素に書き込む電流Iddの5倍の電流を出力する。図107(a)では、表示画面21の1番上の画素のみが選択されている。しかし、この状態では $I_w = 5 \times I_{dd}$ であるから、所定値の5倍の電流が書き込み画素行871に書き込まれてしまう。

【0557】この課題に対して、本発明では、図107(a)に図示するように、4画素分のダミー画素行2471aを同時に選択する。つまり、4本のダミー画素行2471aと1本の表示領域の書き込み画素行871が同時選択される。したがって、 $I_w = 5 \times I_{dd}$ となるから、図107(a)で選択した書き込み画素行871には所定の電流Iddがプログラムされるようになる。

【0558】図107(b)では、表示画面21の2本の書き込み画素行871が選択され、ダミー画素行2471aは1本が選択されず、3本が選択される。したがって、選択された画素行は計5本となる。そのため、 $I_w = 5 \times I_{dd}$ となるから、図107(b)で選択した2本の書き込み画素行871には所定の電流Iddがプログラムされる。

【0559】同様に、図107(c)では、表示画面21の3本の書き込み画素行871が選択され、ダミー画素行2471aは2本が選択されず、2本が選択される。したがって、選択された画素行は計5本となる。そのため、 $I_w = 5 \times I_{dd}$ となるから、図107(c)で選択した2本の書き込み画素行871には所定の電流Iddがプログラムされる。

【0560】また同様に、図107(d)では、表示画面21の4本の書き込み画素行871が選択され、ダミー画素行2471aは3本が選択されず、1本が選択される。また、図107(e)では、表示画面21の5本の書き込み画素行871が選択され、ダミー画素行2471aは選択されない。以下、5本の画素行は順次選択されていく(図107(f)、(g)、(h))。表示

画面 21 の下辺に到達すると、ダミー画素行 2471b の選択本数が 1H ごとに増加する。

【0561】このように駆動することにより、同時選択する画素行が増加しても、表示画面 21 の上辺あるいは下辺を選択する際、ダミー画素行 2471 を含めた画素行を一定値とすることができる。そのため、ソースドライバ 14 が出力する電流値は画像データの同時選択画素行倍に固定することができるので、ソースドライバ 14 の構成が容易になり、また、各画素には目標の所定電流（電圧）が書き込まれる。

【0562】以上のように、5 画素行を同時に選択する駆動方法では、画面の 1 辺に $5 - 1 = 4$ 本のダミー画素行を形成すればよい。つまり、同時に選択する（画素行数 - 1）本以上のダミー画素行を形成あるいは配置すればよいのである。

【0563】また、以上の実施例は、2 画素行を同時選択する実施例と、5 画素行を同時選択する実施例であったが、本発明はこれに限定されるものではなく、3 画素行あるいはそれ以上の画素行を同時に選択してもよい。また、隣接した画素行を同時選択するとして説明したがこれに限定されるものではない。例えば、1 画素行おきに選択してもよいし、ランダムに選択してもよい。

【0564】以上の実施例では、複数の画素行を選択する際、表示画面 21 の走査の最初あるいは最後の部分でダミー画素行 2471 を選択し、ソースドライバ 14 に流れる電流 I_w を一定値とするものであるが、本発明はダミー画素行を形成あるいは配置するものであって、ソースドライバ 14 に流れる電流を一定値にすることに限定されるものではない。

【0565】図 108 は、書き込み画素行 871a が選択されていない期間に、ダミー画素行 2471a をオンさせる駆動方法である。また、書き込み画素行 871a は 1 画素行としているがこれに限定されるものではなく、図 107 などのように複数画素行であってもよいことは言うまでもない。このような駆動を行う場合として、アレイ基板 49 に直接ゲートドライバ 12 を形成（ゲートドライバ内蔵構成）する場合が例示される。

【0566】ゲートドライバ内蔵構成では、複雑な回路を形成することが歩留まりあるいは形成面積の観点から困難である。そのため、極力簡略化した回路構成で、ゲートドライバ 12 を形成するのだが、その動作に制約がある場合がある。

【0567】例えば、ゲートドライバ 12 のシフトレジスタ 22 にデータ（ST）を入れても、2～3 クロック（クロックは 1H とする）後でないと、ゲート信号線 17a にオン信号 V_g が出力しないことが例示される。ただし、ゲート信号線 17a（1）にオンデータが出力された後は、以後、1H のクロックに同期してオンデータ位置は順次シフトされる。

【0568】以上のように、2～3 クロック後でない

と、ゲート信号線 17a（1）が選択されないとなると、2～3 クロックの間、いずれの画素行も選択されないことになる。この期間は、ソースドライバ 14 の出力は 0 状態（電流の入出力はない）とすることが好ましい。しかし、ソースドライバ 14 の出力段は定電流回路で構成されているので、流れる電流を完全に 0 とすることが困難である。ソース信号線 18 に電流が流れると（ソース信号線 18 の電荷をソースドライバ 14 が吸収する）、ソース信号線 18 の電位を低下させてしまう。ソース信号線 18 の電位が低下すると、各画素 16 のコンデンサ 19 の電位も低下する場合がある。コンデンサ 19 の電位が低下すると、TFT 11a のゲート端子の電位を低下させる方向になるため、TFT 11a が電流をより流す方向となる。この状態が顕著に現れるのが、画面が黒表示状態の場合である。各画素の TFT 11a が電流を流すことにより、黒浮きが発生するからである。

【0569】この課題に対しては、表示画面 21 のいずれのゲート信号線 17 も選択されていない場合（状態）、ダミー画素行 2471 を選択し、電流がソース信号線に流れるように駆動する。つまり、ダミー画素行 2471 のスイッチング TFT 11 をオンさせ、また、駆動用 TFT 11a のインピーダンスを低下させる。したがって、ソースドライバ 14 に流れ込む電流は、ダミー画素行 2471 の TFT 11a から供給されるように構成しておく。

【0570】また、重要なのは、表示画面 21 のいずれの画素行も選択されない状態では、ソースドライバ 14 の出力段回路は、極力、電流オフの状態とすることである。

【0571】図 108（a1）では、ゲートドライバ 12 内蔵のシフトレジスタ 22 にスタート信号が印加されたことを想定している。図 108（a2）は、図 108（a1）に比較して 1H 後である。同様に、図 108（a3）はさらに 1H 後であり、図 108（a4）はさらに 1H 後である。つまり、図 108（a1）、（a2）では、最初の 2H 期間は表示画面 21 のいずれのゲート信号線も選択されず、3H 後の、図 108（a3）で初めて画素行（1）が選択され、以降、図 108（a4）で 1 画素行シフトされ、画素行（2）が選択されたところを示している。

【0572】このように、図 108（a1）、（a2）では、いずれの画素行も選択されていない。その対策として、ダミー画素行 2471a を選択し、ソース信号線 18 の電位を変化させないように、ダミー画素行 2471a に TFT 11a からの電流を供給している。

【0573】以上のように、ダミー画素行 2471a は電流を供給することにより黒浮きがなく、良好な画像表示を実現できる。また、画面のホワイトバランスなどの変化も発生しない。

【0574】なお、図108(a)では、ソースドライバ14に近い側のダミー画素行2471aを選択するとしたがこれに限定されるものではない。例えば、図108(b)のように、ソースドライバ14から遠い側のダミー画素行2471bを選択してもよい。また、ダミー画素行2471aと2471bの両方を選択してもよい。

【0575】また、図108(b)の駆動方法は、図108(a)と同様の動作である。図108(b1)で、ゲートドライバ12内蔵のシフトレジスタ22にスタート信号が印加され、図108(b2)は、図108(b1)に比較して1H後である。同様に、図108(b3)はさらに1H後であり、図108(b4)はさらに1H後である。

【0576】図108(b)も図108(a)と同様に、最初の2H期間は表示画面21のいずれのゲート信号線も選択されず、3H後の、図108(b3)で初めて画素行(1)が選択され、以降、図108(b4)で1画素行シフトされ、画素行(2)が選択されたところを示している。図108(b)のように、ソースドライバ14から遠い方のダミー画素行2471bを選択する方が、ソース信号線18の電位が安定化しやすい。この状態を図109に示している。

【0577】なお、図108の実施例では、選択する画素行は1本であったが、これに限定されるものではない。例えば、図107のように複数の画素行を選択する駆動方法にも適用することができる。なお、複数の画素行を選択する駆動方法において、表示画面21の画素行が全く選択されていないときに発生する黒浮きあるいは画質変化問題を解決することを目的とするのであれば、図107のように複数のダミー画素行2471を形成する必要はない。図108に図示するように、1本のダミー画素行2471であってもよい。この1本のダミー画素行でソース信号線18の電位などを安定化することが可能であるからである。

【0578】また、ダミー画素行2471aと2471bとは、表示画面21の走査方向(例えば、図1と図104)によって、選択するダミー画素行2471を変化させてもよい。

【0579】図108では、1フレーム(もしくは1フィールド)の期間のうち、表示画面21のいずれの画素行も選択されていない状態において、ダミー画素行2471を選択するというものであった。しかし、実駆動状態において、1水平走査期間に画素行が選択されていない場合がある。

【0580】図110はこの状態を説明するための動作波形図である。本発明の表示装置では、1H(1水平走査期間)のクロックで画素行が選択され、かつ選択された画素行が順次シフトしていく。しかし、1Hの期間においても、所定の期間に画素行が選択されている

【0581】基本的に、選択される画素行のゲート信号線17bは1Hの全期間の間、オフ電圧V_{gh}が印加されている。図110では画素行番号1の時、画素行

(1)のゲート信号線17bにオフ電圧V_{gh}が印加される。また、画素行番号2の時、画素行(2)のゲート信号線17bにオフ電圧V_{gh}が印加される。

【0582】一方、ゲート信号線17aは1Hよりも短い期間にオン電圧V_{gl}が印加されている。したがって、画素行番号1の時、aの期間およびbの期間での画素行(1)は非選択である。以上のように非選択の期間を発生させるのは、ゲート信号線17bが変化するタイミングとゲート信号線17aが変化するタイミングが一致すると、突き抜け電圧が発生しやすいためである。突き抜け電圧が発生すると、コンデンサ19に所望の電圧(電流)が保持されなくなり、EL素子15の発光輝度にばらつきが発生するからである。

【0583】少なくとも、図110に示すaの期間は確保することが好ましい。bの期間は場合によっては0でもよい。これは、EL素子15をオンオフ制御するタイミングを考慮して決定すればよい。基本的には、ゲート信号線17bがオン電圧V_{gl}からオフ電圧V_{gh}(つまり、非選択状態)に変化したタイミングから、少なくとも、1Hの1/64の時間以上1Hの1/8の時間以下経過してから、さらには、1Hの1/32の時間以上1Hの1/8の時間以下経過してから、ゲート信号線17aを選択することが好ましい。もしくは、ゲート信号線17bがオン電圧V_{gl}からオフ電圧V_{gh}(つまり、非選択状態)に変化したタイミングから、少なくとも、0.5μsec以上20μsec以下経過してから、さらには、1μsec以上10μsec以下経過してから、ゲート信号線17aを選択することが好ましい。また、このaの期間またはbの期間に図163などで説明するプリチャージ(ディスチャージ)電圧を印加するように構成するとさらに好ましい。

【0584】ゲート信号線17aが選択されている期間は、図110に図示する切り替え信号CSWがオフ電圧V_{gh}となる。この切り替え信号CSWのオン電圧V_{gl}で、ソースドライバ14の出力段はオフ状態となるように制御される。また、この切り替え信号CSWのオン電圧V_{gl}で、図108で説明したダミー画素行2471が選択されるように制御される。以上のように構成あるいは動作させることにより、黒浮きがなく、良好な画像表示を実現できる。また、画面のホワイトバランスなどの変化も発生しないようにすることができる。

【0585】なお、図109において、ダミー画素行2471はEL素子15、TFT11dを形成しているように図示したが、基本的にダミー画素行2471はソース信号線18に流す電流を供給する(画素構成によっては、ソース信号線18から電流を吸収する)ものである。逆で、EL素子15は必要がない。逆に、EL素子15

などが形成されていると、EL素子15が点灯して問題となる。

【0586】本発明は、ダミー画素行2471は図111に図示するように、EL素子15などを形成していない。突き抜け電圧発生用のコンデンサ19bは付加してもしなくともよい。ただし、表示画面21の画素に突き抜け電圧発生用のコンデンサ19bが形成されている場合は、ダミー画素行2471にも形成しておくことが好ましい。これは、ダミー画素行2471のTFT11aが流す電流を表示画面21の画素16のTFT11aが流す電流と等しくするためである。

【0587】図111は図6の画素構成の場合である。図19のカレントミラーの画素構成では、図112に図示するように、ダミー画素行2471では、駆動用TFT11b、EL素子15を削除する。図85、図87などの電圧プログラムの画素構成の場合は、図113に図示するように、スイッチング用のTFT11bとコンデンサ19aで構成する。なぜなら、電圧プログラム方式では、画素の駆動用TFTからソース信号線18に電流を供給することがないからである。

【0588】図111、図112などに図示するダミー画素行2471は、発光する必要がないため、図114に図示するように、ダミー画素行2471の画素電極48にはEL膜を形成しない。図114に図示するように、画素電極48には絶縁膜2561を形成して、絶縁状態とする。もしくは、図115に図示するように、ダミー画素行2471の画素電極48とカソードの反射膜46とを電氣的に短絡状態にする。このように構成することにより、画素電極48の電位が安定する。

【0589】図89と同様に、図94のように1つの画像表示領域311が画面の上から下方向に移動する際、フレームレートが低いと、画像表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0590】この課題に対しては、図116に図示するように、画像表示領域311を複数に分割するとよい。図116(b)は、非表示領域312を3つに分割している。この3つを加えた部分が $S(N-1)/N$ の面積となれば、図94の明るさと同等になる。

【0591】図117はゲート信号線17に印加する電圧波形である。図93と図117の差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(V_{gl} と V_{gh})動作する。他の点は図93とほぼ同一あるいは類推できるので説明を省略する。

【0592】なお、図116(b)にも図示するように、非表示領域312の走査方向は画面の上から下方向のみに限定されるものではなく、画面の下から上方向に走査してもよい。また、上から下への走査方向と、下か

ら上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0593】以上のように、画像表示領域311を複数に分割することにより画面のちらつきは減少し、フリッカの発生がなく、良好な画像表示を実現できるようになる。なお、分割はもっと細かくしてもよく、分割すればするほどフリッカが軽減する。特に、EL素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0594】本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できるので、クロック周波数はkHzオーダーの低周波数で制御が可能である。また、黒画面挿入(非表示領域312挿入)を実現する際、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【0595】図118は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の変換用TFT11aの特性が極めて一致しているためと推定される。また、レーザアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

【0596】図118において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)、(2)が選択されている(図119を参照のこと)。この時、画素行(1)、(2)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっているので、少なくとも画素行(1)、(2)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非表示領域312となる。なお、図118では、フリッカの発生を低減するため、画像表示領域311を5分割している。

【0597】理想的には、2画素(行)の変換用TFT11aが、それぞれ $1d \times 5$ ($N=10$ の場合)の電流をソース信号線18に流し、各画素16のコンデンサ19には、5倍の電流がプログラムされるようになる。

【0598】同時に選択する画素行が2画素行($K=2$)であるから、2つの変換用TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流が変換用TFT11aに流れ、ソース信号線18には、2つの変換用TFT11aのプログラム電流を加えた電流が流れる。

【0599】例えば、書き込み画素行871aに、本来、書き込む電流を $1d$ とし、ソース信号線18には、

1 d × 10 の電流を流す。書き込み画素行 871 b は後に正規の画像データが書き込まれるので問題はない。書き込み画素行 871 b は、1 H 期間の間は書き込み画素行 871 a と同一表示であるので、書き込み画素行 871 a と電流を増加させるために選択した書き込み画素行 871 b とを少なくとも非表示領域 312 とするのである。

【0600】次の 1 H 後には、ゲート信号線 17 a

(1) は非選択となり、ゲート信号線 17 b (1) にはオン電圧 V_{g1} が印加される。また、同時に、ゲート信号線 17 a (3) が選択され (V_{g1} 電圧)、選択された画素行 (3) の変換用 TFT 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

【0601】次の 1 H 後には、ゲート信号線 17 a

(2) は非選択となり、ゲート信号線 17 b (2) にはオン電圧 V_{g1} が印加される。また、同時に、ゲート信号線 17 a (4) が選択され (V_{g1} 電圧)、選択された画素行 (4) の変換用 TFT 11 a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

【0602】図 62 と同様であるが、図 120 の駆動方法では、各画素には 5 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 5 倍となる。したがって、画像表示領域 311 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、図 45 に図示するように、書き込み画素行 871 を含み、かつ表示画面 21 の $1/5$ の範囲を非表示領域 312 とすればよい。このことは図 90 などを用いて説明したので省略する。

【0603】複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、変換用 TFT 11 a の特性ばらつきを吸収することが困難になる。しかし、選択本数が低下すると、1 画素にプログラムする電流が大きくなり、EL 素子 15 に大きな電流を流すことになり、EL 素子 15 に流す電流が大きいと EL 素子 15 が劣化しやすくなる。

【0604】図 121 はこの課題を解決するものである。図 121 の基本概念は、 $1/2H$ (水平走査期間の $1/2$) では図 46 で説明したように、複数の画素行を同時に選択し、その後の $1/2H$ (水平走査期間の $1/2$) では図 84 で説明したように、1 画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、変換用 TFT 11 a の特性ばらつきを吸収し、より高座にかつ面内均一性を良好にすることができる。

【0605】図 121 において、説明を容易にするため、第 1 の期間では 5 画素行を同時に選択し、第 2 の期間では 1 画素行を選択するとして説明をする。

【0606】まず、第 1 の期間では、図 121 (a1) に図示するように、5 画素行を同時に選択する。この動作は図 46 を用いて説明した。ソース信号線に流す電流は所定値の 2.5 倍とする。したがって、各画素 16 の変換用 TFT 11 a には 5 倍の電流がプログラムされる。そして、2.5 倍の電流であるから、寄生容量 404 は極めて短時間に充放電される。したがって、ソース信号線の電位は、短時間で目標の電位となり、各画素 16 のコンデンサ 19 の端子電圧も 5 倍の電流を流すようにプログラムされる。この 2.5 倍電流の印加時間は $1/2H$ (1 水平走査期間の $1/2$) とする。

【0607】当然のことながら、書き込み画素行 871 の 5 画素行は同一画像データが書き込まれるから、表示しないようにするため TFT 11 はオフ状態とされる。したがって、表示状態は図 121 (a2) となる。

【0608】次の $1/2H$ 期間は、1 画素行を選択し、電流 (電圧) プログラムを行う。この状態を図 121 (b1) に図示している。書き込み画素行 871 a は先と同様に 5 倍の電流を流すように電流 (電圧) プログラムされる。ここで、図 121 (a1) と図 121 (b1) とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ 19 の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0609】つまり、図 121 (a1) で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第 1 の段階では、複数の変換用 TFT 11 a でプログラムしているため、目標値に対して TFT のばらつきによる誤差が発生しているが、次の第 2 の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0610】なお、非表示領域 312 を画面の上から下方向に走査し、また、書き込み画素行 871 a を画面の上から下方向に走査することは図 45、図 46、図 84 などの実施例と同様であるので説明を省略する。

【0611】図 122 は図 121 の駆動方法を実現するための駆動波形である。図 121 でわかるように、 $1H$ (1 水平走査期間) は 2 つのフェーズで構成されており、1 SEL 信号で切り替える。1 SEL 信号については図 123 に図示している。

【0612】まず、1 SEL 信号について説明をしておく。図 123 において、電流出力回路 1222 は 1222 a と 1222 b の 2 つから構成されている。それぞれの電流出力回路 1222 は、8 ビットの階調データを D/A 変換する D/A 回路 1226 とオペアンプ 1224 などから構成される。この電流出力回路 1222 の回路動作

については先に説明したので省略する。図 121 の実施例では、電流出力回路 1222a は 2.5 倍の電流を出力するように構成されている。一方、電流出力回路 1222b は 5 倍の電流を出力するように構成されている。電流出力回路 1222a と 1222b の出力は ISEL 信号によりスイッチ回路 1223 が制御され、ソース信号線 18 に印加される。

【0613】 ISEL 信号は、L レベルの時、2.5 倍電流を出力する電流出力回路 1222a が選択されてソース信号線 18 からの電流をソースドライバ 14 が吸収する。H レベルの時、5 倍電流を出力する電流出力回路 1222b が選択されてソース信号線 18 からの電流をソースドライバ 14 が吸収する。このように、抵抗 1228 の値を変化させるだけで済むので、2.5 倍、5 倍などの電流の大きさ変更は容易である。また、抵抗 1228 をボリウムとすること、あるいは複数の抵抗とアナログスイッチに接続しておき選択することにより容易に変更することができる。

【0614】 図 122 に示すように、書き込み画素行が (1) 画素行目である時 (図 122 の画素行番号 1 の欄を参照)、ゲート信号線 17a は (1)、(2)、(3)、(4)、(5) が選択されている。つまり、画素行 (1)、(2)、(3)、(4)、(5) の駆動用 TFT 11b、取込用 TFT 11c がオン状態である。また、ISEL が L レベルであるから、2.5 倍電流を出力する電流出力回路 1222a が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2)、(3)、(4)、(5) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0615】 理想的には、5 画素の変換用 TFT 11a が、それぞれ $1d \times 2$ の電流をソース信号線 18 に流す。そして、各画素 16 のコンデンサ 19 には、5 倍の電流がプログラムされる。ここでは、理解を容易にするため、各変換用 TFT 11a は特性 (V_t 、S 値) が一致しているとして説明をする。

【0616】 同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの変換用 TFT 11a が動作する。つまり、1 画素あたり、 $2.5/5=0.5$ 倍の電流が変換用 TFT 11a に流れる。ソース信号線 18 には、5 つの変換用 TFT 11a のプログラム電流を加えた電流が流れる。例えば、書き込み画素行 871a に、本来、書き込む電流を $1d$ とし、ソース信号線 18 には、 $1d \times 2.5$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 871b はソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 871b は後に正規の画像データが書き込まれるので問題はない。

【0617】 したがって、書き込み画素行 871b は、1H 期間の間は書き込み画素行 871a と同一表示である。そのため、書き込み画素行 871a と電流を増加させるために選択した書き込み画素行 871b を少なくとも非表示領域 312 とするのである。

【0618】 次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 871a のみ、つまり、(1) 画素行目のみを選択する。図 122 で明らかなように、ゲート信号線 17a (1) のみに、オン電圧 V_{gl} が印加され、ゲート信号線 17a (2)、(3)、(4)、

(5) にはオフ電圧 V_{gh} が印加されている。したがって、画素行 (1) の変換用 TFT 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画素行 (2)、(3)、(4)、(5) の駆動用 TFT 11b、取込用 TFT 11c がオフ状態、つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 1222b が選択され、この電流出力回路 1222b とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2)、(3)、(4)、(5) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0619】 以上のことから、画素行 (1) の変換用 TFT 11a が、それぞれ $1d \times 5$ の電流をソース信号線 18 に流し、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

【0620】 次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) の時である。最初の $1/2H$ の期間では、図 122 に示すように書き込み画素行が (2) 画素行目である時、ゲート信号線 17a は (2)、(3)、(4)、(5)、(6) が選択されている。つまり、画素行 (2)、(3)、(4)、(5)、(6) の駆動用 TFT 11b、取込用 TFT 11c がオン状態である。また、ISEL が L レベルであるから、2.5 倍電流を出力する電流出力回路 1222a が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b (2)、(3)、(4)、(5)、(6) には、オフ電圧 V_{gh} が印加されている。したがって、画素行 (2)、(3)、(4)、(5)、(6) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。一方、画素行 (1) のゲート信号線 17b (1) は V_{gl} 電圧が印加されているから、スイッチング用 TFT 11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。

【0621】 同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの変換用 TFT 11a が動作す

る。つまり、1画素あたり、 $2.5/5 = 0.5$ 倍の電流が変換用 T F T 11 a に流れる。ソース信号線 18 には、5 つの変換用 T F T 11 a のプログラム電流を加えた電流が流れる。

【0622】次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 871 a のみを選択する。つまり、(2) 画素行目のみを選択する。図 122 で明らかなように、ゲート信号線 17 a (2) のみに、オン電圧 V_{gl} が印加され、ゲート信号線 17 a (3)、(4)、(5)、(6) にはオフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2) の変換用 T F T 11 a は動作状態 (画素行 (1) は E L 素子 15 に電流を流し、画素行 (2) はソース信号線 18 に電流を供給している状態) であるが、画素行 (3)、(4)、(5)、(6) の駆動用 T F T 11 b、取込用 T F T 11 c がオフ状態、つまり、非選択状態である。また、I S E L が H レベルであるから、5 倍電流を出力する電流出力回路 1222 b が選択され、この電流出力回路 1222 b とソース信号線 18 とが接続されている。また、ゲート信号線 17 b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 V_{gh} が印加されている。したがって、画素行 (2)、(3)、(4)、(5)、(6) のスイッチング用 T F T 11 d がオフ状態であり、対応する画素行の E L 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0623】以上のことから、画素行 (2) の変換用 T F T 11 a が、それぞれ $1d \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次実施することにより、1 画面を表示することができる。

【0624】図 121 で説明した駆動方法は、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式である。

【0625】しかし、他の方策もある。第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。例えば、図 121 (a1) において、5 画素行を同時に選択し、各画素の変換用 T F T 11 a に 2 倍の電流を流すと、ソース信号線 18 には $5 \times 2 \text{倍} = 10 \text{倍}$ の電流が流れる。次の第 2 の期間では図 121 (b1) において、1 画素行を選択し、この 1 画素の変換用 T F T 11 a には 10 倍の電流を流す。

【0626】この方式であれば、図 123 のように複数の電流出力回路 1222 は必要でなくなり、ソースドライバ 14 は各ソース信号線に、1 つの電流出力回路 1222 で構成できる。つまり、この方式では、ソース信号線 18 の電流を流すソースドライバ 14 の出力電流は一定値 (当然、画像データにより、この一定値は変化する。この場合は、1 H 期間の間、選択画素数によらず、一定という意味である) である。したがって、ソースドライバ 14 の構成は容易になる。

10 【0627】なお、図 121 において、複数の画素行を同時に選択する期間を $1/2H$ とし、1 画素行を選択する期間を $1/2H$ としたがこれに限定されるものではない。例えば、複数の画素行を同時に選択する期間を $1/4H$ とし、1 画素行を選択する期間を $3/4H$ としてもよい。また、複数の画素行を同時に選択する期間と、1 画素行を選択する期間とを加えた期間は 1 H としたがこれに限定されるものではない。例えば、2 H 期間でも、1.5 H 期間であっても良い。

20 【0628】また、図 121 において、5 画素行を同時に選択する期間を $1/2H$ とし、次の第 2 の期間では 2 画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0629】また、図 121 において、5 画素行を同時に選択する第 1 の期間を $1/2H$ とし、1 画素行を選択する第 2 の期間を $1/2H$ とする 2 段階としたがこれに限定されるものではない。例えば、第 1 の段階は、5 画素行を同時に選択し、第 2 の期間は前記 5 画素行のうち、2 画素行を選択し、最後に、1 画素行を選択する 3 つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

30 【0630】図 123 では、各ソース信号線 18 に 2 つの電流出力回路 1222 を設けるとしたが、これは図 121 の第 1 の実施例である、第 1 の期間に 2.5 倍の電流を出力するためと、第 2 の期間に 5 倍の電流を出力するためである。これを 1 つの電流出力回路 1222 で実現するには、図 120 の回路構成を採用するとよい。D A 回路 1226 はリファレンス電圧 (I_{ref}) の大きさを最大値としてデジタル-アナログ変換をする。例えば、 I_{ref} 電圧が 5 V であれば、5 V を $2^{5.6}$ 分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は $5V - 1 \text{ビット}$ のアナログ値であり、最小値は 0 V であり、最小分解能は $5V/2^{5.6}$ である (入力が 8 ビット仕様の時)。 I_{ref} 電圧が 2.5 V であれば、2.5 V を $2^{5.6}$ 分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は $2.5V - 1 \text{ビット}$ のアナログ値であり、最小値は 0 V であり、最小分解能は $2.5V/2^{5.6}$ である (入力が 8 ビット仕様の時)。

50 【0631】つまり、 I_{ref} 電圧をダイナミックに切り替えることにより 1 つの電流出力回路 1222 で出力

電流値を変更することができる。図 120 はその実現回路である。

【0632】図 120 において、 V_i 電圧を 4 分割する抵抗 R_1 が設けられている。この分圧された電圧がスイッチ回路 1223 に入力され、1 つの電圧が選択されて I_{ref} 電圧となる。この I_{ref} 電圧がオペアンプ 1224 に入力されている。したがって、前半の $1/2H$ の期間の I_{ref} 電圧と、後半の $1/2H$ の期間の I_{ref} 電圧とをすべてのソース信号線 18 に接続された電流出力回路 1222 で切り替えることにより、出力電流の倍率を変更することができる。もちろん、図 124 に図示するように、 I_{ref} 電圧を複数のオペアンプ 1224 の選択により発生させてもよい。

【0633】図 123 の場合も画像表示領域 311 は図 125 に図示するように 1 つとしてもよい。また、図 126 に図示するように、複数の画像表示領域 311 に分割してもよい。

【0634】図 127 に図示するように、書き込み画素行が (1) 画素行目である時、ゲート信号線 17a は (1)、(2)、(3)、(4)、(5) が選択されている。つまり、画素行 (1)、(2)、(3)、

(4)、(5) の駆動用 TFT11b、取込用 TFT11c がオン状態である。また、ISEL が L レベルであるから、2.5 倍電流を出力する電流出力回路 1222a が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b (1)、(2)、(3)、(4)、(5) には、オフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2)、(3)、(4)、(5) のスイッチング用 TFT11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0635】同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの変換用 TFT11a が動作する。つまり、1 画素あたり、 $2.5/5=5$ 倍の電流が変換用 TFT11a に流れる。ソース信号線 18 には、5 つの変換用 TFT11a のプログラム電流を加えた電流が流れる。例えば、書き込み画素行 871a に、本来、書き込む電流を I_d とし、ソース信号線 18 には、 $I_d \times 2.5$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 871b はソース信号線 18 への電流量を増加させるため、補助的に用いる画素行であるが、書き込み画素行 871b は後に正規の画像データが書き込まれるので問題はない。

【0636】したがって、書き込み画素行 871b は、1H 期間の間は書き込み画素行 871a と同一表示である。そのため、書き込み画素行 871a と電流を増加させるために選択した書き込み画素行 871b を少なくとも非表示領域 312 とするのである。

【0637】次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 871a のみを選択する。つまり、

(1) 画素行目のみを選択する。ゲート信号線 17a

(1) のみに、オン電圧 V_{gl} が印加され、ゲート信号線 17a (2)、(3)、(4)、(5) にはオフ電圧 V_{gh} が印加されている。したがって、画素行 (1) の変換用 TFT11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画素行 (2)、

(3)、(4)、(5) の駆動用 TFT11b、取込用 TFT11c はオフ状態、つまり、非選択状態である。

また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 1222b が選択され、この電流出力回路 1222b とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の $1/2H$ の状態と変化がなく、オフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2)、(3)、(4)、(5) のスイッチング用 TFT11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0638】以上のことから、画素行 (1) の変換用 TFT11a が、それぞれ $I_d \times 5$ の電流をソース信号線 18 に流し、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

【0639】次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) の時である。最初の $1/2H$ の期間では、ゲート信号線 17a は (2)、(3)、(4)、(5)、

(6) が選択されている。つまり、画素行 (2)、

(3)、(4)、(5)、(6) の駆動用 TFT11b、取込用 TFT11c がオン状態である。また、ISEL が L レベルであるから、2.5 倍電流を出力する電流

出力回路 1222a が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b (2)、(3)、(4)、(5)、(6) には、オフ電圧 V_{gh} が印加されている。したがって、画素行 (2)、

(3)、(4)、(5)、(6) のスイッチング用 TFT11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

一方、画素行 (1) のゲート信号線 17b (1) には V_{gl} 電圧が印加されているから、スイッチング用 TFT11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。

【0640】同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの変換用 TFT11a が動作する。つまり、1 画素あたり、 $2.5/5=5$ 倍の電流が変換用 TFT11a に流れ、ソース信号線 18 には、5 つの変換用 TFT11a のプログラム電流を加えた電流が流れる。

【0641】次の $1/2H$ (水平走査期間の $1/2$) では、書き込み画素行 871a のみを選択する。つまり、

(2) 画素行目のみを選択する。ゲート信号線 17a

(2) のみに、オン電圧 V_{gl} が印加され、ゲート信号

線 17a (3)、(4)、(5)、(6) にはオフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、(2) の変換用 TFT 11a は動作状態 (画素行 (1) は EL 素子 15 に電流を流し、画素行 (2) はソース信号線 18 に電流を供給している状態) であるが、画素行 (3)、(4)、(5)、(6) の駆動用 TFT 11b、取込用 TFT 11c がオフ状態、つまり、非選択状態である。また、1SEL が H レベルであるから、5 倍電流を出力する電流出力回路 1222b が選択され、この電流出力回路 1222b とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の 1/2H の状態と変化がなく、オフ電圧 V_{gh} が印加されている。したがって、画素行 (2)、(3)、(4)、(5)、(6) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0642】以上のことから、画素行 (2) の変換用 TFT 11a が、それぞれ $1d \times 5$ の電流をソース信号線 18 に流し、各画素行 (2) のコンデンサ 19 には、5 倍の電流がプログラムされる。以上の動作を順次実施することにより、1 画面を表示することができる。

【0643】以上の説明でも明らかであるが、上記の動作は、図 122 と同一である。差異は、ゲート信号線 17b の動作であり、ゲート信号線 17b は画面を分割する個数に対応して、その個数分だけオンオフ (V_{gl} と V_{gh}) 動作する。

【0644】なお、図 126 にも図示するように、非表示領域 312 の走査方向は画面の上から下方向のみに限定されるものではない。画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面 21 の所定位置で変化させてもよいことは言うまでもない。

【0645】以上のように、画像表示領域 311 を複数に分割することにより画面のちらつきが減少する。したがって、フリッカの発生がなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよく、分割すればするほどフリッカは軽減する。特に、EL 素子 15 の応答性は速いため、 $5 \mu sec$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0646】図 127 の実施例も、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行には N 倍の電流を流すようにプログラムし、第 1 の期間後の第 2 の期間では B 画素行 (B は G よりも小さく、1 以上) を選択し、画素には N 倍の電流を流すようにプログラムする方式とした。しかし、図 122 と同様に、他の方策もある。つまり、第 1 の期間で G 画素行 (G は 2 以上) を選択し、各画素行の総和電流が N 倍の電流となるようにプログラムする。第 1 の期間後の第 2 の期間では B 画素行 (B は

G よりも小さく、1 以上) を選択し、選択された画素行の総和の電流 (ただし、選択画素行が 1 の時は、1 画素行の電流) が N 倍となるようにプログラムする方式である。

【0647】以上の実施例は順次走査で画像を表示する方法であった。つまり、テレビ信号で言えば、ノンインターレース駆動 (プログレッシブ駆動) である。本発明はインターレース駆動にも有効である。図 128 はインターレース駆動の説明図である。

10 【0648】なお、インターレース駆動は通常 2 フィールドで 1 フレームである。図 128 も 2 フィールドで 1 フレーム (1 画面) として説明した。しかし、これは NTSC のテレビ信号の場合であって、携帯電話などの画像表示では必ずしも 2 フィールド = 1 フレームの原則を守る必要はない。

20 【0649】例えば、4 フィールドで 1 フレームとしてもよい。第 1 フィールドは $4Y-3$ (Y は、0 以上の整数) 画素行を書き込み、第 2 フィールドは $4Y-2$ (Y は、0 以上の整数) 画素行を書き込む。第 3 フィールドは $4Y-1$ (Y は、0 以上の整数) 画素行を書き込み、第 4 フィールドは $4Y$ (Y は、0 以上の整数) 画素行を書き込む方式である。つまり、インターレース駆動とは、複数のフィールドで 1 フレーム (1 画面) を構成する方法である。

30 【0650】図 128 (a) は第 1 フィールドであり、偶数画素行を書き込む。図 128 (b) は第 2 フィールドであり、奇数画素行を書き込む。図 129 は図 128 の駆動方法を実現するための駆動波形である。なお、奇数フィールドと偶数フィールドは便宜上のものである。図 128 ではまず、奇数画素行から画像を書き込むとして説明する。

【0651】図 128 において、ゲート信号線 17a (1) が選択され (V_{gl} 電圧)、選択された画素行の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 871a が画素行 (1) 番目であるとして説明する。

40 【0652】また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍 (説明を容易にするため、今までの実施例と同様に $N=10$ として説明する。なお、 $N=10$ に限定されるものではない。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。

50 【0653】図 129 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 17a (1) には V_{gl} 電圧が印加され、駆動用 TFT 11b、取込用 TFT 11c がオン状態となる。また、ゲート信号線 17b (1) には、 V_{gh} 電圧が印加されている。したがって、画素行 (1) のスイッチング用 TFT 11d はオフ状態であり、対応する画素行の EL 素子 15 には電流

が流れておらず、非表示領域 312 となる。

【0654】次の 1H には、書き込み画素行は (3) 画素行目である。ゲート信号線 17a (3) には Vg1 電圧が印加され、駆動用 TFT11b、取込用 TFT11c がオン状態となる。また、ゲート信号線 17b (3) には、Vgh 電圧が印加されている。したがって、画素行 (3) のスイッチング用 TFT11d はオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。また、ゲート信号線 17b (1) には Vg1 電圧が印加され、スイッチング用 TFT11d がオン状態である。したがって、画素行 (1) のスイッチング用 TFT11d もオン状態であり、対応する画素行の EL 素子 15 が発光する。

【0655】次の 1H には、書き込み画素行は (5) 画素行目である。ゲート信号線 17a (5) には Vg1 電圧が印加され、駆動用 TFT11b、取込用 TFT11c がオン状態である。また、ゲート信号線 17b (5) には、Vgh 電圧が印加され、画素行 (5) のスイッチング用 TFT11d がオフ状態となり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。また、ゲート信号線 17b (3) には Vg1 電圧が印加され、スイッチング用 TFT11d がオン状態である。したがって、画素行 (3) のスイッチング用 TFT11d もオン状態であり、対応する画素行の EL 素子 15 が発光する。

【0656】以上のように、第 1 フィールドでは、奇数画素行が順次選択されて、画像データが書き込まれていく。

【0657】第 2 フィールドでは、(2) 画素行目から、順次画像データが書き込まれる。ゲート信号線 17a (2) には Vg1 電圧が印加され、駆動用 TFT11b、取込用 TFT11c がオン状態となる。また、ゲート信号線 17b (2) には、Vgh 電圧が印加され、画素行 (2) のスイッチング用 TFT11d がオフ状態となり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0658】次の 1H には、書き込み画素行は (4) 画素行目である。ゲート信号線 17a (4) には Vg1 電圧が印加され、駆動用 TFT11b、取込用 TFT11c がオン状態となる。また、ゲート信号線 17b (4) には、Vgh 電圧が印加され、画素行 (4) のスイッチング用 TFT11d がオフ状態となり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。また、ゲート信号線 17b (3) には Vg1 電圧が印加され、スイッチング用 TFT11d がオン状態である。したがって、画素行 (3) のスイッチング用 TFT11d もオン状態であり、対応する画素行の EL 素子 15 が発光する。

【0659】次の 1H には、書き込み画素行は (6) 画素行目である。ゲート信号線 17a (6) には Vg1 電

圧が印加され、駆動用 TFT11b、取込用 TFT11c がオン状態となる。また、ゲート信号線 17b (6) には、Vgh 電圧が印加され、画素行 (6) のスイッチング用 TFT11d がオフ状態となり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。また、ゲート信号線 17b (4) には Vg1 電圧が印加され、スイッチング用 TFT11d はオン状態である。したがって、画素行 (4) のスイッチング用 TFT11d もオン状態であり、対応する画素行の EL 素子 15 が発光する。

【0660】以上のように、第 2 フィールドでは、偶数画素行が順次選択されて、画像データが書き込まれていく。この第 1 フィールドと第 2 フィールドで 1 枚の画像表示が完成する。また、第 2 フィールドにおいて、偶数画素行を書く時は、奇数画素行はすべて非表示領域 312 としている。第 1 フィールドでは、奇数画素行を書く時は、偶数画素行はすべて非表示領域 312 としている。

【0661】しかし、図 128 の駆動方法で、ソース信号線 18 に 10 倍の電流 ($N=10$) を流し、変換用 TFT11a に電流プログラムをすると、奇数画素行あるいは偶数画素行を交互に表示するという処理を実施しても、表示輝度は所定輝度の $10/2=5$ 倍の輝度となる。したがって、表示輝度を 1 倍とするには、 $N=2$ で駆動する必要がある。しかし、 $N=2$ で駆動するとソース信号線 18 に書き込む電流値が小さく寄生容量 404 を十分に充放電できないため、コンデンサ 19 に書き込み不足が発生し、解像度が低下する。

【0662】これを解決するためには図 130 に図示するように、奇数画素行あるいは偶数画素行だけでなく、表示画面 21 の一部を非表示領域 312a とすればよい。図 130 では図 130 (a) → 図 130 (b) → 図 130 (c) → 図 130 (a) と走査される。図 130 (b) でわかるように、書き込み画素行 871a の上側 (画面の上から下方向に走査しているとき) に所定の範囲で表示領域を形成する。ただし、表示領域は奇数画素行あるいは偶数画素行であるため、1 画素行ごととなる。また、非表示領域 312a は連続した非表示領域にする。

【0663】しかし、図 130 の駆動方法のように、表示領域を表示画面の一部に固めて走査すると、フリッカが発生しやすくなる。ただし、フレームレートが 80 Hz 以上の場合には、図 130 の表示状態 (画像表示領域 311 を 1 つにした場合) であってもフリッカが発生しないことに注意を要する。つまり、フレームレートを 80 Hz 以上にすれば、画像表示領域 311 を分割する必要がなくなるのである。

【0664】フレームレートが低い場合は図 131 に図示するように分割すればよい。このことは先に説明したので、図 131 はあえて説明を要さないであろう。ただ

し、図 131 は作図を容易にするため、分割した領域として、非表示領域 312b と画像表示領域 311 のペアで作図したが、これに限定されるものではなく、分割した領域に複数の非表示領域 312b と複数の画像表示領域 311 が存在しても問題ない。

【0665】駆動方式には多種多様な構成が考えられる。図 132 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 17a は (1)、(G) が選択されている。つまり、画素行 (1)、(G) の駆動用 TFT 11b、取込用 TFT 11c がオン状態である。また、ゲート信号線 17b には V_{gl} 電圧が印加されている。したがって、少なくとも画素行 (1)、(G) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0666】同時に選択する画素行が 2 画素行 (K = 2) であるから、2 つの変換用 TFT 11a が動作する。つまり、1 画素あたり、 $10/2 = 5$ 倍の電流が変換用 TFT 11a に流れる。ソース信号線 18 には、2 つの変換用 TFT 11a のプログラム電流を加えた電流が流れる。

【0667】次の 1H 後には、ゲート信号線 17a (G) は非選択となり、ゲート信号線 17b (G) にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線 17a (2) が選択され (V_{gl} 電圧)、選択された画素行 (2) の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (G) には正規の画像データが保持される。

【0668】次の 1H 後には、ゲート信号線 17a (1) は非選択となり、ゲート信号線 17b (1) にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線 17a (3) が選択され (V_{gl} 電圧)、選択された画素行 (3) の変換用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

【0669】フリッカが発生しやすい場合は、図 133 に図示するように非表示領域 312 あるいは画像表示領域 311 を複数の分割すればよい。このことは先に説明したので、図 133 はあえて説明を要さないであろう。

【0670】図 134、図 135 は擬似インターレース駆動である。擬似インターレース駆動とは、第 1 F (第 1 フィールド) は奇数画素行と偶数画素行の 2 画素 (複数画素) 行を同時に選択して、選択した画素行が重なることなく画像データを書き込む。次の第 2 F は第 1 画素行を除いて、偶数画素行と奇数画素行の 2 画素 (複数画素) 行を同時に選択して、選択した画素行が重なること

なく画像データを書き込む方式である。

【0671】図 135 (a1)、(a2)、(a3) は第 1 フィールドであり、図 135 (b1)、(b2)、(b3) は第 2 フィールドである。第 1 フィールドは図 135 (a1) → 図 135 (a2) → 図 135 (a3) → と順次書き込み画素行 871 を 2 画素行ペアで映像データを書き込む。したがって、2 画素行は同一画像表示であり、この表示状態が 1 フィールドの期間保持される。また、第 1 フィールドでは奇数画素行の画像データを該当奇数画素行と次の偶数画素行に表示する。つまり、第 1 行目の画像データは第 1 画素行と第 2 画素行に表示し、第 3 行目の画像データは第 3 画素行と第 4 画素行に表示し、第 5 行目の画像データは第 5 画素行と第 6 画素行に表示し、第 7 行目の画像データは第 7 画素行と第 8 画素行に表示する。

【0672】第 2 フィールドは図 135 (b1) → 図 135 (b2) → 図 135 (b3) → と順次書き込み画素行 871 を 2 画素行ペアで映像データを書き込む。したがって、2 画素行は同一画像表示であり、この表示状態が 1 フィールドの期間保持される。また、第 2 フィールドでは偶数画素行の画像データを該当偶数画素行と次の奇数画素行に表示する。つまり、第 2 行目の画像データは第 2 画素行と第 3 画素行に表示し、第 4 行目の画像データは第 4 画素行と第 5 画素行に表示し、第 6 行目の画像データは第 6 画素行と第 7 画素行に表示し、第 8 行目の画像データは第 8 画素行と第 9 画素行に表示する。

【0673】なお、図 135 (a1) の第 1 画素行は第 1 フィールドの状態が保持されたままにする。また、第 1 フィールドでは奇数画像データを書き込み、第 2 フィールドでは偶数画像データを書き込むとしたがこれに限定されるものでなく、逆でもよい。

【0674】以上のように画像表示をすれば、人間の目によって 2 フィールドの表示画像が残像で加え合わさって見えるとした場合、1 フレーム (2 フィールド) が終了した時点で、第 1 画素行は、第 1 フィールドの表示画像である。また、第 2 画素行は、第 1 フィールドの第 1 画素行の画像データと第 2 フィールドの第 2 画素行の画像データとが加えられたものになる。第 3 画素行は、第 1 フィールドの第 3 画素行の画像データと第 2 フィールドの第 2 画素行の画像データとが加えられたものになる。また、第 4 画素行は、第 1 フィールドの第 3 画素行の画像データと第 2 フィールドの第 4 画素行の画像データとが加えられたものになる。第 5 画素行は、第 1 フィールドの第 5 画素行の画像データと第 2 フィールドの第 4 画素行の画像データとが加えられたものになる。

【0675】以上のように、各画素行は、2 つのフィールドの画像が重ね合わさったものとなるため、表示画像の輪郭が滑らかになる。特に、動画表示では若干の動画ぼけが発生するが、ほぼ静止画では良好な解像度が得られる (ように認識される)。

【0676】図136は図135の表示方法を実現するための駆動波形である、図面の上位置は第1フィールド(1F)の駆動波形であり、図面の下位置は第2フィールド(2F)の駆動波形である。

【0677】第1フィールド(1F)において、まず、第1画素行と第2画素行のゲート信号線17a(1)、(2)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れるので、画素行(1)、(2)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第1画素行と第2画素行のゲート信号線17b(1)、(2)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第1画素行と第2画素行のEL素子15は点灯しない。

【0678】2H後(偶数画素行または奇数画素行ずつ画像データを書き込むから、2Hとなる)、第3画素行と第4画素行のゲート信号線17a(3)、(4)が選択され、ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(3)、(4)の変換用TFT11aはそれぞれ5倍の電流でプログラムされる。この時、第3画素行と第4画素行のゲート信号線17b(3)、(4)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第3画素行と第4画素行のEL素子15は点灯しない。

【0679】一方、ゲート信号線17b(1)、(2)には、オン電圧Vglが印加されるので、第1画素行と第2画素行のスイッチング用TFT11dはオンし、EL素子15が点灯する。

【0680】さらに、2H後、第5画素行と第6画素行のゲート信号線17a(5)、(6)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れるので、画素行(5)、(6)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第5画素行と第6画素行のゲート信号線17b(5)、(6)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第5画素行と第6画素行のEL素子15は点灯しない。

【0681】一方、ゲート信号線17b(1)、(2)、(3)、(4)には、オン電圧Vglが印加されるので、第1画素行、第2画素行、第3画素行および第4画素行のスイッチング用TFT11dがオンし、EL素子15が点灯する。以上の動作を画面の最終奇数画素行まで実施し、1画面を表示する。

【0682】第2フィールド(2F)においては、第1画素行は選択せず、第1フィールドの状態を保持させる。次に、第2画素行と第3画素行のゲート信号線17a(2)、(3)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(2)、(3)の変換用TFT11aにはそれぞれ

れ5倍の電流でプログラムされる。この時、第2画素行と第3画素行のゲート信号線17b(2)、(3)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第2画素行と第3画素行のEL素子15は点灯しない。

【0683】2H後、第4画素行と第5画素行のゲート信号線17a(4)、(5)が選択され、ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(4)、(5)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第4画素行と第5画素行のゲート信号線17b(4)、(5)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第4画素行と第5画素行のEL素子15は点灯しない。

【0684】一方、ゲート信号線17b(2)、(3)には、オン電圧Vglが印加されるので、第1画素行、第2画素行と第3画素行のスイッチング用TFT11dはオンし、EL素子15は点灯する。

【0685】さらに、2H後、第6画素行と第7画素行のゲート信号線17a(6)、(7)が選択され、ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(6)、(7)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第6画素行と第7画素行のゲート信号線17b(6)、(7)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第6画素行と第7画素行のEL素子15は点灯しない。

【0686】一方、ゲート信号線17b(1)、(2)、(3)、(4)、(5)には、オン電圧Vglが印加されるので、第1画素行、第2画素行、第3画素行、第4画素行および第5画素行のスイッチング用TFT11dはオンし、EL素子15は点灯する。以上の動作を画面の最終偶数画素行まで実施し、1画面を表示する。

【0687】以上の実施例は、2フィールドで1画面を表示するものであった。図137は2フィールド以上で1画面を表示するものである。図137(a)が第1フィールド、図137(b)が第2フィールド、図137(c)が第3フィールドである。

【0688】第1フィールドでは、 $4Y-3$ (Y は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。第3フィールドでは、 $4Y+2$ 画素行と $4Y+1$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。以上のように3Fで書き込むことにより、各画素データは複数のフィールドの画像データで補完される。

【0689】図137は3フィールドで1画面の実施例

であったが、それ以上のフィールドを用いて画像表示を実現してもよい。例えば、4フィールドの場合、第1フィールドでは、 $4Y-3$ (Y は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。第3フィールドでは、 $4Y-2$ 画素行と $4Y-1$ 画素行とが書き込み画素行871である。先と同様に2画素行ずつ画像データを書き込む。第4フィールドでは、 $4Y-3$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。以上のように4フィールドで書き込むことにより、各画素データは複数のフィールドの画像データで補完される。

【0690】以上の実施例は、主として図6の画素構成を例示して説明したが、本発明の駆動方法は、図19、図79などの他の電流プログラム画素構成に対しても有効である。

【0691】図138は図79の画素構成の駆動方法の説明図である。なお、ここでも、説明を容易にするために、ソースドライバ14からソース信号線18に流す電流（もしくは、ソースドライバ14がソース信号線18から吸い込む電流、駆動用TFT11aがソース信号線18に流し込む電流）は所定値の10倍 ($N=10$) として説明をする。また、駆動用TFT11aとTFT11bのカレント倍率は1:1（カレント倍率1）であるとして説明をする。

【0692】したがって、同時に選択する画素行が5画素行 ($K=5$) であれば、5つの駆動用TFT11aが動作する。カレント倍率=1であるから、駆動用TFT11bにもTFT11aと同一の電流が流れる。つまり、1画素あたり、 $10/5=2$ 倍の電流が駆動用TFT11aに流れる。画素16の駆動用TFT11aにプログラムされる電流は所定値の2倍であるから、EL素子に流れる電流も2倍である。したがって、図45のように10倍の電流を流す場合に比較してEL素子15の劣化は少なくなる。一方、ソース信号線18に流れる電流は10倍であるから、図45と同様の寄生容量404の充放電が可能である。このことは、図46においても同様である。

【0693】カレント倍率が2であれば、駆動用TFT11bがEL素子15に流す電流は1倍となる。したがって、所定輝度を得られるように所定電流をEL素子15に流すことができる。つまり、図19、図79の画素構成では、カレント倍率（TFT11aとTFT11bとの電流比率）と、ソース信号線18に流す電流（プログラム電流）とを、設計（調整）することにより、汎用度の高い表示パネルの駆動設計が可能である。

【0694】同時に選択する画素行が5画素行 ($K=5$) であれば、5つの駆動用TFT11aのプログラム

電流を加えたものとなる。例えば、書き込み画素行871aに、本来、書き込む電流を I_d とし、 $N=10$ とすれば、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871aと隣接した書き込み画素行871b（871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素（行）が871aであり、871aに書き込むために補助的に用いるのが書き込み画素（行）871bである）。

10 【0695】図138において、書き込み画素行871aの画像データでK行 ($K=5$) 同時に書き込む。したがって、K行の範囲（871a、871b）は同一表示となる。このように、同一表示にすると当然のことながら解像度が低下する。これに対処するために、図46（b）に図示するように書き込み画素行871bの部分を非表示領域312とするのである。したがって、解像度低下は発生しない。

20 【0696】図138（a）に図示する書き込み画素行871aは表示状態にしているが、この画素はプログラム中であるため、画素への電流書き込み状態で変化する。したがって、非表示領域312としてもよい。

【0697】次の1H後は、1画素行シフトした画素行を書き込み画素行871aとして同一動作を行う。非表示領域312も1画素（行）シフトされる。以上のように、本来の表示データと異なる電流データを書き込まれた書き込み画素行871bは表示されず、上記の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている書き込み画素行871bの効果で、寄生容量404の充放電も十分1H期間内に実現できる。

30 【0698】図139は、図138の駆動方法を実現するための駆動波形の説明図である。電圧波形はオフ電圧を V_{gh} （Hレベル）とし、オン電圧を V_{gl} （Lレベル）としている。また、図139の下段には選択している画素行の番号を記載している。また、図中の（1）、（2）、（3）・・・（11）とは選択している画素行番号を示している。なお、画素行数はVGAパネルでは480本であり、XGAパネルでは768本である。

40 【0699】図139において、ゲート信号線17a（1）とゲート信号線17b（1）が選択され（ V_{gl} 電圧）、選択された画素行の駆動用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。また、ソース信号線18に流れるプログラム電流は所定値のN倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などではない限り固定値ではない。）である。また、5画素行を同時選択 ($K=5$) として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍の電流が駆動用TFT11aに流れるようにプログラムされる

【0700】基本的には、ゲート信号線 17a と 17b とは同一位相であるから、共通化することが可能である。しかし、厳密には、画素行を選択、非選択とする際、まず、スイッチング用 TFT 11d がオフし、次に取込用 TFT 11c がオフするように制御されることが好ましいので、ゲート信号線 17a とゲート信号線 17b とは分離しておいた方がよい。

【0701】書き込み画素行が (1) 画素行目である時、図 139 で図示したように、ゲート信号線 17a、17b にはオン電圧 Vgl が印加されている。したがって、画素行 (1)、(2)、(3)、(4)、(5) が選択されている。つまり、画素行 (1)、(2)、

(3)、(4)、(5) の取込用 TFT 11c、スイッチング用 TFT 11d がオン状態である。また、ゲート信号線 17b はゲート信号線 17a の逆位相となっている。したがって、画素行 (1)、(2)、(3)、

(4)、(5) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。

【0702】理想的には、5 画素の駆動用 TFT 11a が、それぞれ $I_d \times 2$ の電流をソース信号線 18 に流し、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは理解を容易にするため、各駆動用 TFT 11a は特性 (Vt、S 値) が一致しているとして説明をする。

【0703】同時に選択する画素行が 5 画素行 (K=5) であるから、5 つの駆動用 TFT 11a が動作する。つまり、1 画素あたり、 $10/5 = 2$ 倍の電流が駆動用 TFT 11a に流れる。ソース信号線 18 には、5 つの駆動用 TFT 11a のプログラム電流を加えた電流が流れる。例えば、書き込み画素行 871a に、本来、書き込む電流を I_d とし、ソース信号線 18 には、 $I_d \times 10$ の電流を流す。

【0704】書き込み画素行 (1) より以降に画像データを書き込む 4 つの書き込み画素行 871b は、ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 871b は後に正規の画像データが書き込まれるので問題はない。したがって、書き込み画素行 871b は、1H 期間の間は書き込み画素行 871a と同一表示である。そのため、電流を増加させるために選択した書き込み画素行 871b を少なくとも非表示領域 312 とするのである。

【0705】次の 1H 後には (画素行番号 6 の位置)、ゲート信号線 17a (1)、17b (1) は非選択となり、画素に書き込むデータが確定する。また、同時に、ゲート信号線 17a (6) が選択され (画素番号 2 の位置)、選択された画素行 (6) の駆動用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (1) には正規の画像データが保持される。

【0706】次の 1H 後には、ゲート信号線 17a

(2)、17b (2) は非選択となる。また、ゲート信号線 17a (7) が選択され (Vgl 電圧)、選択された画素行 (7) の駆動用 TFT 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。このように動作することにより、画素行 (2) には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

10 【0707】図 84 と同様であるが、図 93 の駆動方法では、各画素には 2 倍の電流 (電圧) でプログラムを行うため、各画素の EL 素子 15 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。

【0708】これを所定の輝度とするためには、図 45 に図示するように、書き込み画素行 871 を含み、かつ表示画面 21 の $1/2$ の範囲を非表示領域 312 とすればよい。このことは図 90 などを用いて説明したので省略する。なお、図 121 の駆動方法も図 138、図 7

20 9、図 81、図 86、図 87 などにも適用できることは言うまでもない。説明は先に行っているので省略する。

【0709】表示画面 21 に占める黒表示領域 (非表示領域) 312 の面積を大きくするほど動画表示性能が向上する。したがって、図 94 に図示するように画像表示領域 311 を少なくし、非表示領域 312 の面積を大きくすればよい。

【0710】本発明の実施例ではソース信号線 18 に流す電流 (電圧) を変化させることによりプログラム電流 (電圧) を調整することができる。つまり、ソースドライバ 14 の基準電流 (電圧) を調整するだけでソース信号線 18 に流れる電流を調整できるということである。2 画素行を同時にオンさせるか、5 画素行を同時にオンさせるか、または 1 画素行のみを選択するかは、図 21 などに図示するゲートドライバ 12 のシフトレジスタ 22 に印加する ST* 端子へのデータで設定できる。したがって、ソースドライバ 14 の仕様は、選択する画素数には左右されない。また、画面の明るさもゲート信号線 17c のオンオフで調整することができるから、表示画面 21 の明るさ調整でソースドライバ 14 からの出力電流を変化させることはない。したがって、EL 素子 15 のガンマ特性は 1 つの電流に対して決定すればよい。そのため、ソースドライバ 14 の構成は極めて容易であり、汎用性の高いものとなる。以上の事項は、他の本発明の実施例にも適用できる。

【0711】図 89 と同様に、図 94 のように 1 つの画像表示領域 311 が画面の上から下方向に移動する際、フレームレートが低いと、画像表示領域 311 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。この課題に対しては、図 116 に図示するよう

に、画像表示領域 311 を複数に分割するとよい。

【0712】なお、図 116 (b) にも図示するように、非表示領域 312 の走査方向は画面の上から下方向のみに限定されるものではなく、画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面 21 の所定位置で変化させてもよいことは言うまでもない。

【0713】以上のように、画像表示領域 311 を複数に分割することにより画面のちらつきは減少し、フリッカの発生がなく、良好な画像表示を実現できるようになる。なお、分割はもっと細かくしてもよく、分割すればするほどフリッカが軽減する。特に、EL 素子 15 の応答性は速いため、5 μ sec よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0714】図 45、図 46 は図 6、図 79、図 19 のような電流プログラム方式の画素構成を例示して説明したが、これに限定されるものではない。例えば、図 81、図 86、図 87 などの電圧プログラム方式の画素構成でも有効である。複数画素行に同時に電圧を印加する方式とすることにより、画素を予備充電することができ、SXGA 以上の高精細表示パネルにも対応できるようになる。また、電駆動回路、信号処理回路が簡略化され、良好な黒表示を実現できるからである。

【0715】電圧プログラムの適用例として図 81 の画素構成を例示して説明をする。なお、図 140、図 141 はその駆動波形である。図 140、図 141 において 5 画素行を非表示領域 312 にすると説明をするが、これに限定されるものではなく、単に説明を容易にするためである。例えば、2 画素行を同時選択してもよく、10 画素行でもよい。また、1 画素行を非表示領域 312 としてもよい。このことは図 85、図 86、図 87 などに対しても同様である。

【0716】また、図 81、図 85、図 86、図 87 などで図示した電圧プログラムの画素構成に対して、図 118、図 121、図 125、図 126、図 128、図 137 などでも説明した駆動方法を適用することができる。また、N 倍の電流が EL 素子 15 に流れるように駆動し、非表示領域 312 を形成するという駆動方法も適用することができることは言うまでもない。しかし、図 140、図 141 では説明が複雑になるのであえて説明しない。

【0717】図 141 に示すように、書き込み画素行が (1) 画素行目である時 (画素行番号 5 の位置)、ゲート信号線 17a には (1)、(2)、(3)、(4)、(5) が選択されている。つまり、画素行 (1)、(2)、(3)、(4)、(5) の駆動用 TFT 11b がオン状態であり、ゲート信号線 17b には、オフ電圧 V_{gh} が印加されている。したがって、画素行 (1)、

(2)、(3)、(4)、(5) のスイッチング用 TFT 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れておらず、非表示領域 312 となる。したがって、画素行 (1) には 5H の期間、電圧が予備充電されていることになる。

【0718】予備充電されている画素行は、5H 期間の間は他の 4 画素行と同一表示である。そのため、書き込みを行っている画素行を少なくとも非表示領域 312 とするのである。特に、映像信号では隣接した画素では映像データが近似しているので、予備充電を行えば、正規の画像データの書き込みが楽になる。

【0719】したがって、本発明は、複数の画素行に画像データを書き込み、正規の画像データが書き込まれるまでは非表示領域 312 とする方法である。ただし、1 画素行の選択であっても、この画素行の画像データを書き込んでいるときは表示が不安定であるので、非表示とすることも本発明の概念である。また、EL 素子 15 に流れる電流を所定値よりも大きくし、非表示領域 312 を形成することにより所定輝度にする。この表示方法で良好な動画を実現するのも本発明の効果である。

【0720】次の 1H では、(2) 画素行目の画像データを確定させる。図 141 で明らかなように、ゲート信号線 17a (1) とゲート信号線 17b (1) にオフ電圧 (V_{gl} : TFT 11b が N チャンネルのため) が印加される (画素行番号 6)。ゲート信号線 17a (6) とゲート信号線 17b (6) にはオン電圧 (V_{gh} : TFT 11b が N チャンネルのため) が印加される。したがって、画素行 (2) の変換用 TFT 11a への画像データは保持される。

【0721】以上のように水平走査期間に同期して、1 画素行、書き込み画素行がシフトし、上記の動作を順次実施することにより、1 画面を表示することができる。

【0722】図 140 は図 81 の画素構成において、ゲート信号線 17b のタイミングを 1H シフトした方法である。図 140 で明らかなように、確定する画素を表示状態とするものである。

【0723】例えば、画素行 (1) は 5H の期間、画像データが書き込まれている (画素行番号 1 ~ 5 の期間)。つまり、画素行 (1) のゲート信号線 17a は選択状態である (TFT 11b が N チャンネルのため、オン電圧 V_{gh} が印加されている)。5H の時には、ゲート信号線 17b (1) にはオン電圧 (V_{gl} : TFT 11d が P チャンネルのため) が印加されているため、EL 素子 15 には電流が流れている。したがって、EL 素子 15 は点灯状態である。この点が図 141 と異なっている。図 141 では非表示領域 312 としていたが、他の点では図 141 と同様であるので説明を省略する。

【0724】なお、以上の複数の画素行を同時にオンさせて画像データを書き込む本発明の実施例において、表示画面 21 の最上辺あるいは最下辺、あるいはその両方

の画素行は同時にオンさせるための隣接した画素行がない。この課題に対しては、表示画面 21 の最上辺あるいは最下辺、あるいはその両方に、ダミーの画素行を形成あるいは配置すればよい。

【0725】例えば、図 92 で説明した 5 画素行を同時に選択する駆動方法では、画面の下辺に 4 本の画素行を形成する。もちろん上下反転駆動を実施する場合は、画面の上辺にも 4 本のダミー画素行を設ける。このダミー画素行は、EL 素子 15 を形成しないので、発光はしない。もちろん、EL 素子 15 を形成しても発光しないようにするか、遮光して表示されないようにする。その他、図 6 では 1 画素のスイッチング用 TFT 11 d 以外を形成しておいてもよい。なお、ダミー画素行は 1 画素行以上形成する。

【0726】また、隣接した画素行を同時にオンさせるとしたが、これに限定されるものではない。例えば、複数の画素行をオンさせるタイミングが異なっても良い。また、1 行目を 3 行目の 2 画素行というように離れていてもその効果は発揮される。極端には、2 画素行を選択する場合、1 画素行を固定して（例えば、画面の一番下の画素行あるいは、ダミー画素行）オンさせ、他の 1 画素行を走査して順次オンさせてもよい。

【0727】図 6、図 19、図 62、図 72、図 74、図 73 などの電流プログラム方式で共通の事項であるが、電流プログラム方式での黒表示が困難という問題点がある（もちろん図 45、図 46 などの本発明を実施すれば大幅に改善できる。しかし、さらに以下の実施例と組み合わせることも有効である。もちろん、図 45、図 46 の実施例と組み合わせず、以下の実施例を単独で実施しても良い）。例えば、EL 素子 15 に流す白ピーク電流が $2\mu\text{A}$ であっても、64 階調表示における 1 階調目は $2\mu\text{A}/64 \approx 30\text{nA}$ である。この微小な電流でソース信号線 18 などの寄生容量 404 を 1H 期間に充放電することはなかなか困難である。なお、画素 16 はマトリックス状に形成または配置されているが、図面では説明を容易にするために、1 画素のみを図示している。

【0728】この課題に対応するため、本発明ではソース信号線 18 に黒レベルの電圧（電流）を書き込むための電圧源 401 を形成または配置している。具体的には電圧源 401 とは DCDC コンバータで所定電圧を発生させ、この電圧をアナログスイッチなどから構成される電源切り替え手段 403 で印加できるように構成している。

【0729】ソース信号線 18 に印加する信号波形の具体例を図 142 に示す。電流プログラムを行う 1H 期間の最初の t_2 の期間に駆動用 TFT 11 b（図 6 などでは変換用 TFT 11 a）のソース信号線 18 にオフまたはほぼ黒表示にする電圧 V_b を印加する。この電圧は電圧源 401 で発生し、電源切り替え手段 403 によりソ

ース信号線 18 に印加される。プログラム期間では取込用 TFT 11 c、スイッチング用 TFT 11 d がオン状態であるから、ソース信号線 18 に印加された電圧 V_b はコンデンサ 19 の端子電圧、つまり、駆動用 TFT 11 b のゲート端子電圧となる。したがって、1H 期間の最初の画素は黒表示（非点灯状態）となる。

【0730】本来、表示される画像が黒表示の場合は、そのまま、コンデンサ 19 の端子電圧が保持される。実際に表示される画像が白表示の場合では、 V_b 電圧印加後に白表示の電圧 V_w （なお、電流プログラムの場合は I_w と表現すべきである）が印加されて、この電圧（電流）がコンデンサ 19 に保持されて 1H 期間が終了する。なお、ここでは説明を容易にするため、実際に表示される画像が白表示であるから白表示の電圧 V_w （電流 I_w ）を印加するとした。しかし、当然のことながら、自然画の場合は、コンデンサ 19 に保持される電圧は V_b から V_w 間の電圧（電流）である。

【0731】図 142 に図示するように、ソース信号線 18 に信号を印加し、ゲート信号線 17 a、17 b を駆動することにより、良好な黒表示を実現でき、また、図 49 などの画像表示を実施できる。

【0732】図 6 の画素構成でも図 142 の信号波形を印加することにより良好な黒表示を実現できる。電流プログラムを行う 1H 期間の最初の t_2 の期間に変換用 TFT 11 a のソース信号線 18 にオフまたはほぼ黒表示にする電圧 V_b を印加する。この電圧は電圧源 401 で発生し、電源切り替え手段 403 によりソース信号線 18 に印加される。

【0733】プログラム期間では駆動用 TFT 11 b、取込用 TFT 11 c がオン状態であるから、ソース信号線 18 に印加された電圧 V_b はコンデンサ 19 の端子電圧、つまり、変換用 TFT 11 a のゲート端子電圧となる。したがって、1H 期間の最初の画素は黒表示（非点灯状態）となる。

【0734】先に説明したように、表示される画像が黒表示の場合では、そのまま、コンデンサ 19 の端子電圧が保持される。実際に表示される画像が白表示の場合では、 V_b 電圧印加後に白表示の電圧 V_w （なお、電流プログラムの場合は I_w と表現すべきである）が印加されて、この電圧（電流）がコンデンサ 19 に保持されて 1H 期間が終了する。

【0735】図 62 などで図示した電圧源 401（フリチャージ回路）は低温ポリシリコン技術などで、アレキ基板 49 上に直接形成してもよい。なお、EL 素子 15 は R、G、B で素子構成、材料が異なるので光の発生が生じる電圧（電流）が異なる（立ち上がり電圧（電流））場合が多い。この特性に対応するため、R、G、B でフリチャージ電圧を個別に設定できるように構成すること、少なくとも 3 原色のうち 1 色は変化できるようにすることが好ましい。

【0736】なお、V_b電圧を印加するプリチャージ時間 t_2 は、1 μ 秒以上にすることがある。また、V_b電圧を印加するプリチャージ時間 t_2 は1Hの1%以上10%以下、さらには2%以上8%以下にすることが好ましい。

【0737】また、表示画面21の内容（明るさ、精細度など）で、プリチャージする電圧を変化できるように構成しておくことが好ましい。例えば、ユーザーが調整スイッチを押したり、調整ボリュームを回したりすることで、この変化を検出しプリチャージ電圧（電流）の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。例えば、ホトセンサで外部の外光の強さを検出し、その検出された値で、プリチャージ（ディスチャージ）電圧（電流）を調整する。その他、画像の種類（パソコン画像、昼の画面、星空など）に応じて、プリチャージ（ディスチャージ）電圧（電流）を調整する。調整は画像の平均明るさ、最大輝度、最小輝度、動画、静止画、輝度分布を考慮して決定する。

【0738】図62などではプリチャージ回路などを簡易に説明した。さらに、図143などを用いてさらに詳しく説明する。なお、ディスチャージとプリチャージは単に電位の印加方向であるので、以降はディスチャージとプリチャージを同義とし、プリチャージを用いて説明する。

【0739】図143は電流駆動と電圧駆動とを組み合わせた回路構成である。スイッチ回路1223は表示領域のあるソース信号線18に接続され、アナログスイッチから構成される。スイッチ回路1223のa端子には電圧が印加され（プリチャージ電圧）、b端子には画素にプログラムするプログラム電流が印加される。

【0740】電流出力回路1222には8ビット（256階調）のI DATAが入力され、このI DATAがDA回路1226でDA変換されてアナログ電圧となる。このアナログ電圧が出力トランジスタ（もしくはFET）1227のベース端子に印加され、オペアンプ1224bと抵抗1228の作用で、電流出力に変換される。なお、出力トランジスタ1227とオペアンプ1224などによる電圧-電流変換回路は一般的なもので、当該技術分野の技術者にとって公知であるのでこれ以上の説明は要さないであろう。

【0741】一方、電圧出力回路1221は調整ボリューム（VR）1225とオペアンプ1224aによるバッファ回路から構成される。調整ボリューム1225は全ソース信号線に共通のものである。この調整ボリューム1225を調整することにより、プリチャージ電圧V_bが決定される。

【0742】1水平走査期間（1H）の最初のプリチャージ電圧V_bが印加される時、すべてのソース信号線に接続されたスイッチ回路1223は端子aと接続されて

いる。したがって、すべてのソース信号線18はプリチャージ電圧V_bに設定される。その後、スイッチ回路1223は端子bに切り替えられ、画像に対応した電流データ（256階調）がソース信号線18に印加される。この電流データが各画素16に書き込まれ、各画素のEL素子15に電流が流れて発光する。

【0743】図143では、プリチャージ電圧V_bは固定値であったが、図144では、プリチャージ電圧を256値（8ビット）とれるようにした回路構成図である。図144において、電圧出力回路1221は、8ビットのV DATAが入力され、DA回路1226aでアナログ電圧に変換される。変換されたアナログ電圧はオペアンプ1224cの一端子に入力され、調整ボリューム（VR）1225の基準電圧に対して所定の電圧に調整できるように構成されている。

【0744】オペアンプ1224cの出力はバッファのオペアンプ1224aを介して、スイッチ回路1223aのa端子に印加される。一方、スイッチ回路1223aのb端子には電流出力が印加されている。

【0745】V DATAはI DATAに対応する電圧である。1水平走査期間（1H）の最初の1 \sim 10 μ sec（1Hの1/100以上1/5以下の期間であることが好ましい）の期間にV DATAに対応したプリチャージ電圧V_bが印加される。この時、すべてのソース信号線に接続されたスイッチ回路1223は端子aと接続されている。したがって、各ソース信号線18はV DATAに対応するプリチャージ電圧V_bに設定される。図143との差異は、各ソース信号線にプリチャージ電圧V_bを設定できることである。つまり、各ソース信号線18にそれぞれI DATAをDA変換するDA回路と、V DATAをDA変換するDA回路を具備している。ただし、各ソース信号線18にそれぞれI DATAをDA変換するDA回路と、V DATAをDA変換するDA回路を具備することに限定されるものではない。例えば、DA回路は1つでも、その出力を各ソース信号線でサンプルホールドすれば実現できるからである。

【0746】V DATAを変換した電圧を1Hの最初の期間に印加するが、この電圧値は、以降に印加するI DATAに対応した電流値によるソース信号線電位とほぼ等しくなる。したがって、V DATAの電圧を印加することによりソース信号線の電位はほぼ目標値となり、I DATAでわずかに目標値に補正するだけとなる。以上のように構成することにより、ソース信号線18への電流書き込み不足はなくなる。

【0747】なお、図144（a）において、スイッチ回路1223aはa端子とb端子とを切り替えるとしたがこれに限定されるものではない。例えば、図144（b）のように、電圧出力回路1221の出力をa端子に印加し、電流出力回路1222の出力がソース信号線18に絶えず接続状態になるよう構成してもよい

【0748】DA回路1226をリファレンス電圧に対応して出力変化できるものとするによりさらに回路構成の柔軟性が向上する。このリファレンス電圧に対応して出力変化できるとは、例えば、リファレンス電圧が2.54Vの時、0.01V間隔で出力を変化できるものをいう（8ビット、256階調のDA回路を採用した時）。リファレンス電圧が5.08Vでは0.02V間隔で出力を変化できる。つまり、リファレンス電圧を変更することにより、瞬時にDA回路の出力をリファレンス電圧に比例して変更することができる。図145はこのようなDA回路を採用した場合の回路ブロック図である。

【0749】図145において、DA回路1226aにはVref電圧が印加されている。Vref電圧はVv電圧を4分割するRV*抵抗とスイッチ回路1223bからなる回路より出力される。したがって、Vref電圧はCVS信号により4段階に切り替えられ、DA回路1226aの出力を瞬時に4段階で切り替えることができる。

【0750】一方、DA回路1226bにはIref電圧が印加されている。Iref電圧はVi電圧を4分割するRV*抵抗とスイッチ回路1223cからなる回路より出力される。したがって、Iref電圧はCIS信号により4段階に切り替えられ、DA回路1226bの出力を瞬時に4段階で切り替えることができる。

【0751】図145のように構成することにより、ソース信号線18に出力する電流（電圧）は、1Hの期間に4段階に変化することができるようになる。この使用方法としては例えば、最初に高い電圧（電流）を一瞬印加し、この印加により高速に目標値まで到達させ、その後、定常値の電圧（電流）に変更し、目標値にすることで、画素に書き込む電圧（電流）を高速に変更することができる。

【0752】ただし、図145の構成では、回路規模がかなり大きなものになる。一般的には図146に図示する構成で十分である。図145の構成は、電圧出力回路1221が2つの電圧値を出力できるように構成されている。この2つの電圧とは、1つが画像表示を黒にする電圧である。他の1つは画像表示を白にする電圧である。具体的には、図6のVdd電圧を6Vとすれば、黒電圧は3V～4Vであり、白電圧は1V～2Vである。この白電圧と黒電圧は調整ボリューム（VR）1225で調整され、この電圧がバッファのオペアンプ1224a、1224cを介してスイッチ回路1223bに印加される。なお、スイッチ回路1223bの出力はVSL電圧で切り替えられる。

【0753】1水平走査期間（1H）の最初にプリチャージ電圧Vb（白電圧または黒電圧）が印加される。各ソース信号線はスイッチ回路1223aの端子cと接続されているので、各ソース信号線18はまず、白電圧ま

たは黒電圧にプリチャージ設定される。その後、スイッチ回路1223は端子bに切り替えられ、画像に対応した電流データ（256階調）がソース信号線18に印加される。この電流データが各画素16に書き込まれ、各画素のEL素子15に電流が流れて発光する。

【0754】以上の実施例では、各ソース信号線18はまず、白電圧または黒電圧にプリチャージに設定されるとしたがこれに限定されるものではない。表示データ（VDATA、IDATA）が所定値以上の時、あるいは所定値以下の時、プリチャージするように構成した方が現実的である。

【0755】図147は説明を容易にするため、64階調表示の場合を例示している。図147（a）では、57階調目から63階調目の範囲（KW）を白電圧でプリチャージする。つまり、図146の電圧出力回路1221から白電圧を出力する。また、0階調目から7階調目の範囲（KB）を黒電圧でプリチャージする。つまり、図146の電圧出力回路1221から黒電圧を出力する。そして、8階調目から56階調目までは電圧出力回路1221の出力はハイインピーダンス状態とする（スイッチ回路1223aは端子aを選択しない）。

【0756】以上のように、白表示とすべき階調に白電圧を印加し、黒表示とすべき階調に黒電圧を印加する。また、中間調の箇所（KM）ではプリチャージしないことにより、階調表示を高速に、かつ良好に実現することができる。

【0757】電流プログラム方式の場合、黒表示では、プログラム電流（画素に書き込む電流）が5nA以上20nA以下と小さいため、書き込み不足が発生する。そこで、黒電圧をプリチャージすることにより、本来の黒表示を実現することができる。しかし、暗い灰色の表示でも書き込み不足が発生することがある。この場合は、白と黒のプリチャージに加えて、第2の黒のプリチャージを行うことが効果的である。

【0758】図147（b）はこの実施例である。KB1の範囲で黒電圧をプリチャージすることにより、本来の黒表示を実現することができる。そして、KB2の範囲を第2の黒（灰色）をプリチャージすることにより、黒に近い灰色の部分に対して十分な階調表示を実現できる。

【0759】ここで、より具体的には、図6の画素構成において、Vdd電圧が6Vとすれば、KB1の範囲のプリチャージを行う黒電圧は3V～3.5Vであり、KB2の灰色のプリチャージを行う黒電圧は3.5V～4.0Vである。KWの範囲の白電圧は1V～2Vである。KMの範囲は電圧によるプリチャージは行わない。

【0760】図147（b）は説明を容易にするため、64階調表示の場合を例示している。図147（b）では、57階調目から63階調目の範囲（KW）を白電圧でプリチャージする。0階調目から7階調目の範囲（K

B 1) を黒電圧でプリチャージする。8 階調目から 1 5 階調目の範囲 (K B 2) を第 2 の黒電圧でプリチャージする。1 6 階調目から 5 6 階調目までは電圧出力回路 1 2 2 1 の出力をハイインピーダンス状態とする (スイッチ回路 1 2 2 3 a は端子 a を選択しない)。

【0 7 6 1】以上のように、黒の範囲を複数の範囲に分離し、それぞれ異なった電圧でプリチャージすることにより、より適正な階調表示を実現できる。なお、図 1 4 7 (b) は、黒の範囲を 2 つとしたがこれに限定されるものではなく、3 つ以上でもよい。また、プリチャージは全ソース信号線に一括して行ってもよい。これらの回路構成は、図 1 4 6 においてバッファのオペアンプ 1 2 2 4 を 3 個以上配置し、スイッチ回路 1 2 2 3 b を 3 つ以上選択できるように構成すればよいから容易である。

【0 7 6 2】なお、図 1 4 7 において、階調 0 (黒表示) に E L 素子 1 5 に流す電流は 0 A ではない。E L 素子 1 5 は所定電流以上を流さないと発光しない。この発光しない範囲の電流を暗電流と呼ぶ。暗電流は画素サイズが 1 0 0 0 0 平方 μm で 1 0 n A 以上 5 0 n A 以下程度である。この暗電流の範囲内において、画素は黒表示であり、階調 0 でも電流が流れている。ソースドライバ 1 4 の構成としては暗電流を加えた電流で駆動する必要がある。

【0 7 6 3】以降、図 1 4 3 ~ 図 1 4 6 に図示する回路構成を出力段回路 1 2 7 1 と呼ぶ。出力段回路 1 2 7 1 は図 1 4 8 に図示するように、各ソース信号線 1 8 に配置 (形成) するのが一般的な構成例である。なお、図 1 4 8 などで、出力段回路 1 2 7 1 はシリコンチップで形成したソースドライバ 1 4 内に形成したように図示したがこれに限定されるものではなく、ガラス基板 2 4 1 上に画素 T F T 1 1 などと同時に直接形成してもよい。つまり、高温ポリシリコン技術、低温ポリシリコン技術、シャープ (株) などが開発している C G S (C o n t i n u o u s G r a i n S i l i c o n) 技術、富士通 (株) などが開発している種結晶を基板に形成して成長させる方法、セイコーエプソン (株) が開発している石英基板に形成した半導体回路を転写によって、ガラス基板などに形成する技術で出力段回路 1 2 7 1 を形成してもよい。また、ガラス基板 2 4 1 が金属基板あるいは半導体基板の場合は直接、出力段回路 1 2 7 1 を形成できることは言うまでもない。

【0 7 6 4】また、ソースドライバ 1 4 には、前記ソースドライバの信号端子電極部にメッキ技術またはネイルヘッドボンディング技術を用いて数 μm から 1 0 0 μm の高さの金 (A u) からなる突起電極 (図示せず) が形成されている。前記突起電極と各信号線とは導電性接合層 (図示せず) を介して電気的に接続されている。導電性接合層の接着剤はエポキシ系、フェノール系等を主剤とし、銀 (A g)、金 (A u)、ニッケル (N i)、カーボン (C)、酸化錫 (S n O₂) などのフレークを混

ぜた物、あるいは紫外線硬化樹脂などである。この導電性接合層は、転写等の技術で突起電極上に形成する。

【0 7 6 5】ソースドライバ 1 4 (あるいはゲートドライバ 1 2) を基板上に積載するように図示または説明したが、これに限定されるものではない。また、基板上にソースドライバ 1 4 (あるいはゲートドライバ 1 2) を積載せず、フィルムキャリア技術を用いて、ドライバ 1 C を積載したポリイミドフィルム等を用いて信号線と接続しても良い。

10 【0 7 6 6】図 1 4 8 は表示画面 2 1 の一方の端のみに出力段回路 1 2 7 1 を配置したように図示したがこれに限定されるものではない。例えば、図 1 4 9 に図示するように、ソースドライバ 1 4 a と 1 4 b を配置してもよい。図 1 4 9 ではゲートドライバ 1 2 も 2 個形成している。つまり、表示画面は 2 1 a と 2 1 b から構成されることになり、このように構成すれば表示画面 2 1 a と 2 1 b で別個の画像を表示することができる。

【0 7 6 7】図 1 4 9 の構成では表示画面 2 1 を 2 分割していることから、出力段回路 1 2 7 1 から出力する映像信号は表示画面 2 1 が 1 つの場合と比較して 1 / 2 の動作周波数でよい。また、ソース信号線 1 8 などに発生する寄生容量も 1 / 2 となる。したがって、出力段回路 1 2 7 1 の負担は $1 / 2 \times 1 / 2 = 1 / 4$ となる。そのため、出力段回路 1 2 7 1 から出力する電流が微小であっても十分ソース信号線 1 7 の寄生容量を充放電でき、書き込み不足が発生しない。

【0 7 6 8】図 1 4 9 の構成では表示画面 2 1 を画面 2 1 a と画面 2 1 b とに中央部で 2 分割するため、分割位置で境目が見える場合がある。図 1 5 0 はこの課題に対処するものである。ソースドライバ 1 4 a は表示画面 2 1 の奇数画素行を駆動し、ソースドライバ 1 4 b は表示画面 2 1 の偶数画素行を駆動する。したがって、表示画面 2 1 の境目が発生しない。

【0 7 6 9】さらに、画素への書き込み電流不足を改善するためには、図 1 5 1 に図示するように、ソースドライバ 1 4 a および 1 4 b において各ソース信号線 1 8 に対応する出力段回路 1 2 7 1 を 2 つの出力とするとよい。つまり、出力段回路 1 2 7 1 a には 2 つの出力段

(出力段 A、出力段 B) を具備し、出力段 A が表示画面 2 1 a の奇数画素行に接続され、出力段 B が表示画面 2 1 a の偶数画素行に接続されている。また、出力段回路 1 2 7 1 b にも 2 つの出力段 (出力段 A、出力段 B) を具備し、出力段 A が表示画面 2 1 b の奇数画素行に接続され、出力段 B が表示画面 2 1 b の偶数画素行に接続されている。このように構成することにより、さらに微小電流でもソース信号線に十分な電流を流せることになり、良好な画像表示を実現できる。

【0 7 7 0】なお、図 1 5 1 において、出力段回路 1 2 7 1 は各画素に 1 つのソース信号線 1 8 を接続するとし
50 たがこれに限定されるものではなく、画素を差動構成に

し、各画素に2つのソース信号線（一方のソース信号線をバイアス電流用、他方のソース信号線をバイアス電流+信号電流用）で駆動するように構成してもよい。

【0771】図152はより具体的なモジュール構成図である。図152において、14bはソースドライバであり、14cはゲートドライバとソースドライバとが一体化されたチップ（1チップドライバIC）である。1チップドライバIC14cが表示画面21のゲート信号線を駆動している。1チップドライバIC14cは表示画面21aのソース信号線18aを駆動する。ソースドライバ14bはソース信号線18bを駆動し、表示画面21bを駆動する。

【0772】なお、図152は一例であって、ソースドライバ14bもゲートドライバ機能を有し、表示画面21bのゲート信号線17bを駆動するように構成してもよい。また、電源IC102とコントロールIC101はプリント基板103上に積載されているように図示したがこれに限定されるものではなく、先に説明したポリシリコン技術などを用いて表示パネル82に直接形成してもよい。このことは図227、図228についても適用できる。他の構成は図227、図228、図26、図151などと同様であるので説明を省略する。

【0773】コントロールIC101は1チップドライバIC14cとソースドライバ14bの両方を駆動する。コントロールIC101から1チップドライバIC14cに供給する信号（電源配線、データ配線など）はフレキシブル基板104cを介して供給する。しかし、ソースドライバ14bはかなり距離が離れているため、まず、フレキシブル基板104aで表示パネル82の裏面に接続する。

【0774】図153は表示パネル82を裏面から観察した図である。表示パネル82の裏面に信号配線（電源配線を含む）1321が形成されている。信号配線1321は、銅、アルミ（Al）、銀、銀-パラジウム、パラジウム、金、Al-Moなどの金属材料で形成される。信号配線1321は表示パネル82の端から端まで信号を伝達する。表示パネル82の一端にフレキシブル基板104bが接続されており、このフレキシブル基板104bからソースドライバ14bに信号などが供給される。なお、図154は図153のAから見たときの図面である。

【0775】図62、図142、図143～図147は、図6、図19のような電流プログラム方式の画素構成を例示して説明したが、これに限定されるものではない。例えば、図85、図86、図87、図155、図156などの電圧プログラム方式の画素構成でも有効である。その場合は、図143のスイッチ回路1223のb端子に印加される信号は電圧とする必要がある。この変更は容易であり、当該技術分野の人間であれば容易に対応することができるであろう。電圧駆動では、ソース信

号線18の寄生容量による充電不足ということはないが、複数画素行に同時に電圧を印加する方式とすることにより、駆動回路、信号処理回路が簡略化され、また、良好な黒表示を実現できるからである。また、画像の隠逸表示を実現でき、TFT11のばらつき吸収にも効果が発揮されるからである。

【0776】したがって、図143～図147で説明した事項は、本発明のすべての表示パネル、表示装置、情報表示装置などに適用することができることは言うまでもない。

【0777】以上のように、本発明は多種多様な画素構成に適用することができる。図157は図6のTFT11のPチャンネルをNチャンネルにした実施例である。図157においても、ゲート信号線17を制御することによりスイッチング用TFT11dをオンオフすることができ、図49などの画像表示を実現できることは言うまでもないので説明を省略する。また、図48、図55などの駆動波形も同一または類似であるので説明を省略する。また、図6において駆動用TFT11b、取込用TFT11cのみをNチャンネルTFTとすることも有効である。これは、コンデンサ19への突き抜け電圧が低下し、コンデンサの保持特性も改善されるからである。

【0778】なお、図157は電圧源402のみを具備する構成である。つまり、プリチャージを実施する電圧源401は具備しない。しかし、寄生容量404が比較的小さく、または1H期間が十分長い場合は、電圧源401がなくとも十分に黒表示を実現できる。また、図49などで説明したように、完全な非表示領域312を実施する場合は、電圧源401は必要でない場合がほとんどである。必要である場合は図158に図示するように構成すればよい。

【0779】また、図159は図19のTFT11のPチャンネルをNチャンネルにした実施例である。図159においても、ゲート信号線17を制御することによりTFT11eなどをオンオフすることができ、図49などの画像表示を実現できることは言うまでもないので説明を省略する。また、図48、図55などの駆動波形も同一または類似であるので説明を省略する。

【0780】以上説明したように、電圧源401でVb電圧（Ib電流）を印加することにより、良好な黒表示を実現できる。

【0781】なお、N=10以上とし、高い電流パルスでEL素子15に印加すると、EL端子電圧も高くなる。また、EL素子15はR、G、Bで立ち上がり電圧、ガンマカーブが異なる。特にBはガンマカーブが緩やかであるのでEL素子15の端子電圧が高くなる傾向にある。立ち上がり電圧が高く、ガンマカーブが緩やかな色（R、G、B色）のEL素子15に端子電圧をあわせると消費電力が大きくなる。

【0782】これを解決する方法の1つが図33に示すカソードをR、G、Bで分離する方式である。なお、R、G、Bでそれぞれ別のカソード電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみのカソードのみを分離してもよい。その他の方法として、図160に示すようにV_{dd}電源電圧を分離する構成も有効である。つまり、R色のV_{dd}電源をV_{dd}Rとし、G色のV_{dd}電源をV_{dd}Gとし、B色のV_{dd}電源をV_{dd}Bとする構成である。このように分離することにより、RGBそれぞれを別電源で調整することができ、RGBのEL素子15の端子電圧が異なっても消費電力の増加はわずかなる。

【0783】なお、R、G、Bでそれぞれ別のV_{dd}電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみのV_{dd}のみを分離してもよい。また、図161に図示するように、図33の構成と組み合わせてもよい。つまり、R、G、Bで分離する方式であるR、G、Bでそれぞれ別のカソード電位（R画素はV_sR、G画素はV_sG、B画素はV_sB）とする。特に、ガンマカーブが他の色から離れている1色のみのカソード電位のみを分離してもよい。さらに、V_{dd}電源電圧を分離する。R色のV_{dd}電源をV_{dd}Rとし、G色のV_{dd}電源をV_{dd}Gとし、B色のV_{dd}電源をV_{dd}Bとする構成である。この場合もR、G、Bでそれぞれ別のV_{dd}電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみのV_{dd}のみを分離してもよい。

【0784】なお、図160、図161では画素16は図6の構成としたが、これに限定されるものではなく、図19、図20、図159、図162、図157、図158、図81、図85、図86、図72～図76、図83、図67、図79、図80、図82などの構成でもよいことは言うまでもない。

【0785】本発明の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧V_mを印加することが有効である。

【0786】以下、逆バイアス電圧V_mを印加する方法について説明をする。逆バイアス電圧V_mを印加するためには図6の構成において、駆動用TFT11bと取込用TFT11cのゲート端子を個別に制御する必要がある。つまり、駆動用TFT11bと取込用TFT11cを個別にオンオフさせる必要がある。この制御方法は図163を用いて説明する。

【0787】まず、図163(a)に示すように、取込用TFT11cをオンし、スイッチング用TFT11dをオンさせる（図6もあわせて参照のこと）。そして、逆バイアス電圧V_mとEL素子15のa端子に印加す

る。逆バイアス電圧V_mはカソード電圧V_sよりも低い5V以上15V以内の電圧である。

【0788】EL素子15が点灯するときには、a端子にはカソード電圧V_sに対し、5V以上15V以内の高い電圧が印加されている。つまり、逆バイアス電圧V_mとはEL素子15が点灯しているときに印加する電圧に対し、理想的には絶対値が等しく、かつ極性の逆の電圧を印加するのである。現実的には絶対値が等しく、かつ極性の逆の電圧を印加することは困難であるから、逆極性で2～3倍の電圧を印加する。以上のように、逆バイアス電圧V_mを印加することにより、EL素子15はほとんど劣化しなくなる。

【0789】次に、図163(b)に示すように、スイッチング用TFT11dをオフし、駆動用TFT11bをオンさせる。そして、黒表示電圧V_bをコンデンサ19に書き込む。この動作は図142で説明している。次に、図163(c)に示すように、TFT11のオンオフ状態は図163(b)と同一の状態、電流源402からの画像表示電圧（電流）をコンデンサ19に書き込む。この動作も図142で説明している。最後に、図163(d)に示すように、駆動用TFT11b、取込用TFT11cをオフし、スイッチング用TFT11dをオンさせ、EL素子15に電流を流して点灯させる。

【0790】以上の動作を図164に示す。1H期間のt₁時間に逆バイアス電圧V_mをソース信号線18に印加し、次のt₂期間に黒表示電圧V_bを印加し、そしてt₃期間に画像データV_w(I_w)を印加する。他の動作は、図163で説明し、また、駆動方法などの図49、図48などで説明しているので説明を省略する。

【0791】図165、図155、図156、図163の構成では、ソース信号線18の電流を画素16に取り込む際に、EL素子15には逆方向電流が流れる。したがって、EL素子15が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。

【0792】図166に陽極／正孔輸送層／発光層／電子輸送層／陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図134(a)で表わされる。電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

【0793】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定なため、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、

10

20

30

40

50

一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0794】図166(b)においては逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0795】なお、図166では3層型素子についての説明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様である。したがって、層の数によらず本実施例により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0796】本発明での特徴はこのように、有機分子の劣化を防ぐ機能を持たせ、かつソース信号線に寄生する浮遊容量による波形なまりを防ぐためのバイアス電流を流す機能を持たせても、画素に必要なトランジスタ数を増加させることなく表示が可能であることである。つまり、逆方向電流を流すためのトランジスタの数を増やさなくてもよいことが、表示装置の各画素の開口率を下げなくて済むという利点につながっているのである。

【0797】図167に逆バイアス電圧 V_m の印加効果について説明する。図167は所定電流で駆動した時のEL素子15の発光輝度、EL素子の端子電圧を示している。図167において、点線bは、EL素子15に逆バイアス電圧 V_m を印加した時のEL素子15の端子電圧を示している。一点鎖線cは、EL素子15に逆バイアス電圧 V_m を印加しなかった時のEL素子15の端子電圧を示している。また、実線aは、EL素子15に逆バイアス電圧 V_m を印加した時(実線a)のEL素子15の発光輝度比(初期輝度を1とした時の比率)を示している。

【0798】図167において、具体的には、EL素子はR発光であり、電流密度100A/平方メートルで電流駆動した場合である。サンプルBは時間tの間、連続して電流密度100A/平方メートルの電流を印加している。点灯時間1500時間で端子電圧が高くなったが急激に輝度低下して、2500時間経過後には、初期輝度に対して、約15%の輝度しか得られなかった。

【0799】サンプルAは30Hzのパルス駆動を実施し、半分の時間t2に電流密度200A/平方メートルの電流を流し、後半の半分の時間t1に逆バイアス電圧-1.4Vを印加した(つまり、単位時間あたりの平均発光輝度はサンプルAとBでは同一である)。サンプルAは、点線bで示すようにEL素子15の端子電圧の変化はほとんどなく、また、輝度が50%となる点灯時間は4000時間であった。

【0800】このように、逆バイアス電圧 V_m を印加し

てもEL素子15の端子電圧の増加はなく、発光輝度の低減割合は少ない。したがって、EL素子15の長寿命駆動を実現することができる。

【0801】図168は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図168はEL素子15に流す電流が電流密度100A/平方メートルの場合であるが、図168の傾向は、電流密度50~100A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0802】縦軸は初期のEL素子15の端子電圧に対する2500時間後の端子電圧との比である。例えば、経過時間0時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧を8Vとし、経過時間2500時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧を10Vとすれば、端子電圧比は、 $10/8 = 1.25$ である。

【0803】横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間t1の積に対する定格端子電圧 V_0 の比である。例えば、60Hzで、逆バイアス電圧 V_m を印加した時間が1/2であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧(定格端子電圧)を8Vとし、逆バイアス電圧 V_m を8Vとすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = |-8V \times 0.5| / (8V \times 0.5) = 1.0$ となる。

【0804】図168によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなり(初期の定格端子電圧から変化しない)、逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にあるので、1.0以上、好ましくは1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比t1(もしくはt2、あるいはt1とt2との比率)を決定するとよい。

【0805】ただし、バイアス駆動を行う場合は、逆バイアス電圧 V_m と定格電流とを交互に印加する必要がある。図167のように、サンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧 V_m を印加する場合は、印加しない場合と比較して瞬時的に高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合(図167のサンプルA)のEL素子15の端子電圧も高くしなければならない。

【0806】ただし、図168では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 は、平均輝度を満たす端子電圧(つまり、EL素子15を点灯する端子電圧)とする(本明細書の具体例によれば、電流密度

200A/平方メートルの電流を印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる。

【0807】なお、以上の事項は、EL素子15を、白ラスタ表示の場合（画面全体のEL素子に最大電流を印加している場合）を想定しているが、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、絶えずEL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流）が流れているわけではない。

【0808】一般的に、映像表示を行う場合、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約0.2倍であるので、図168の実施例において、映像表示を行う場合は横軸の値を0.2倍にする必要がある。したがって、|逆バイアス電圧×t1|/（定格端子電圧×t2）は0.2以上になるように逆バイアス電圧Vmの大きさおよび印加時間比t1（もしくはt2、あるいはt1とt2との比率など）を決定するとよい。また、好ましくは、|逆バイアス電圧×t1|/（定格端子電圧×t2）は1.75×0.2=0.35以下になるように逆バイアス電圧Vmの大きさおよび印加時間比t1などを決定するとよい。

【0809】つまり、図168の横軸（|逆バイアス電圧×t1|/（定格端子電圧×t2））における1.0の値を0.2とする必要があるので、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、|逆バイアス電圧×t1|/（定格端子電圧×t2）が0.2よりも大きくなるように、逆バイアス電圧Vmを所定時間t1に印加するようにする。また、|逆バイアス電圧×t1|/（定格端子電圧×t2）の値が大きくなっても、図168で図示するように、端子電圧比の増加はさほどない。したがって、白ラスタ表示を実施することも考慮して、上限値は|逆バイアス電圧×t1|/（定格端子電圧×t2）の値が1.75以下を満たすようにすればよい。

【0810】（実施の形態11）以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧Vm（電流）を印加することを基本とするがこれに限定されるものではない。例えば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧Vmを印加してもよい。なお、この場合は結果として、EL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧Vmを印加す

ることを中心に説明するがこれに限定されるものではない。例えば、図87においてTFT11eをオフさせ、図169と同様に逆バイアス電圧VmをEL素子15のアノードに印加する構成にすれば、電圧プログラム方式の画素構成でも、以下に説明する逆バイアス電圧Vmの印加を容易に実現することができる。したがって、図168などで説明した効果を発揮することができる。

【0811】図169は、本発明の逆バイアス電圧印加方式の駆動方法の説明図である。図169は図6(a)の画素構成に逆バイアス電圧Vmを印加するスイッチング用TFT11gを配置あるいは形成している。スイッチング用TFT11gのゲート端子は制御用のゲート信号線17dに接続されている。スイッチング用TFT11gをオンさせることにより逆バイアス電圧VmがEL素子15のアノードに印加される。

【0812】まず、図170(a1)に示すように、ゲート信号線17aにオン電圧Vg1が印加されると、駆動用TFT11b、取込用TFT11cがオンする。すると、図170(a2)で示すように、ソースドライバ14からプログラム電流Iwが取込用TFT11cなどに流れ、コンデンサ19に電流プログラムされる。なお、N倍に限定されるものではないが、ここでは説明を容易にするため、N倍の電流をプログラムし、EL素子15に1F/Nの期間だけ、電流Idを流すものとする。

【0813】次に、図170(b1)に図示するように、ゲート信号線17bにオフ電圧Vghが印加され、駆動用TFT11b、取込用TFT11cがオフする。同時（同時に限定されるものではない）にゲート信号線17bにオン電圧Vg1が印加されると、スイッチング用TFT11dがオンする。すると、図170(c2)で示すように、電源Vddが変換用TFT11aを介して、電流プログラムされた電流IdがEL素子15に流れ、図170(c1)に図示するようにEL素子15が発光する。この発光輝度は、プログラムの変換効率が100%であれば、約N倍の輝度で発光する。

【0814】発光期間は1F/Nである。残りの1F（1-1/N）の期間はスイッチング用TFT11dがオフ状態であり、EL素子15は非点灯（黒表示）となる。非点灯時はEL素子15に全く電流が流れないため、完全な黒表示を実現できる。また、発光時は白ピーク電流が大きいため、発光輝度も高い。そのため、本発明の駆動方法では、非常に高いコントラスト表示を実現できる。

【0815】1Fの期間のすべてに、1倍の電流をEL素子15に流した場合（従来の駆動方法）に黒表示を実現しようとする、黒表示電流をコンデンサ19にプログラムする必要がある。しかし、電流駆動方法では黒表示時の電流値が小さいため、寄生容量の影響を大きく受け十分な解像度が出ない、黒浮きが発生するという課題

が発生する。その上、ゲート信号線 17 からの突き抜け電圧の影響も受ける。これらの課題により、黒表示部でも EL 素子 15 が微点灯状態となり、コントラストが非常に悪くなる。

【0816】本発明の駆動方法では、 $1F(1-1/N)$ の期間は完全に EL 素子 15 に電流が流れないので、完全な黒表示を実現できる。つまり、黒浮きが発生しないのである。そのため、図 163 などで説明した黒表示のためのプリチャージを行わなくとも高コントラスト表示を実現できる。

【0817】なお、もちろん図 169 などで説明する方法に図 163 などの方法を加えて実施してもよいことは言うまでもない。また、高コントラスト表示の実現は図 87 などの電圧プログラムの画素構成においても同様に効果を発揮する。つまり、 $1F/N$ パルス駆動を実施することにより、 $1F(1-1/N)$ の期間は EL 素子 15 に全く電流が流れず、高コントラスト表示を実現できるのである。もちろん、画像表示を間欠にすることにより良好な動画表示を実現できるということにつながる。

【0818】また、画素構成によっては、突き抜け電圧が EL 素子 15 に流れる電流を増加させる方向に作用する場合、白ピーク電流が増加し、画像表示のコントラスト感が増加するので、良好な画像表示を実現できるようになる。

【0819】図 170 (d1) に図示するように、ゲート信号線 17 d にオン電圧を印加し、スイッチング用 TFT 11 g をオンさせる。この時、スイッチング用 TFT 11 d はオフ状態とする。スイッチング用 TFT 11 g をオンさせることにより、EL 素子 15 のアノード（なお、画素構成によっては、逆バイアス電圧 V_m を EL 素子 15 のカソードに印加する場合もある。また、逆バイアス電圧 V_m は正極性の電圧の場合もある）に逆バイアス電圧 V_m （逆バイアス電流 I_m が流れるとも表現できる。EL 素子 15 は回路的にはコンデンサとみなすことができるため、逆バイアス電圧 V_m の印加により交流的に電流が流れるからである。また、蓄積された電荷が放電されるからである）が印加される。印加する時間 t_1 は図 168 の状態を満たすように構成する（図 170 (d2)）。

【0820】この逆バイアス電圧 V_m を印加する期間は EL 素子 15 に電流 I_d が流れていない期間とすることが好ましい。不可能なわけではないが、電流 I_d が流れていると、逆バイアス電圧 V_m とショート状態となるからである。

【0821】なお、図 170 (d1) では逆バイアス電圧 V_m を印加する期間は $1F$ のうちの 1 箇所としたがこれに限定されるものではなく、複数の分割（例えば、 $1F$ の期間に、2 回以上あるいは 3 回以上に分けて EL 素子 15 に逆バイアス電圧 V_m を印加するなど）してもよい。

【0822】ゲート信号線 17 b にオフ電圧を印加している期間のうち、任意のタイミングでゲート信号線 17 d にオンオフ電圧を印加すればよいので、この制御は容易にできる。そして、これらのオン時間の総和が図 168 で説明した t_1 時間となるようにすればよい。

【0823】また、EL 素子 15 に電流を流さない期間 $1F(1-1/N)$ が複数の期間に分割される場合もある。複数の期間に分割することで、フリッカの発生が抑制される。この期間 $1F(1-1/N)$ が複数の期間に分割された場合、その期間に逆バイアス電圧 V_m を印加すればよい。ただし、分割された期間 $1F(1-1/N)$ のすべてに逆バイアス電圧 V_m を印加する必要はない。

【0824】なお、図 167 のように、逆バイアス電圧を印加せず、かつ EL 素子 15 にも電流が流れていない駆動方法について、図 168 で説明した内容を基に以下に補正（もしくは補足）する。図 168 で説明した時間 t_1 とは逆バイアス電圧 V_m を印加した時間である。また、時間 t_2 とは EL 素子 15 に電流を印加した時間である。

【0825】なお、逆バイアス電圧 V_m は直流的に固定値（ $V_m = -8V$ ）である必要はない。つまり、逆バイアス電圧 V_m はのこぎり歯波の信号としてもよく、パルスの信号としてもよい。また、サイン波の信号波形でもよい。この場合の逆バイアス電圧とは、波形を積分したもの、あるいは実効値とする。また、印加時間 t_1 も不明確ではあるが、逆バイアス電圧 V_m を積分したもの、実効値を矩形波形とし、この矩形波形が印加されたとする時間を t_1 とすればよい。

【0826】例えば、逆バイアス電圧の波形が、図 171 (a) に図示する電圧波形（3 角形波）で、最大振幅値が $16V$ 、印加時間が $t_1 = 100\mu sec$ であるとする。この場合は、図 171 (b) に図示するように、最大振幅値が $8V$ 、印加時間が $t_1 = 100\mu sec$ の電圧波形と等価である。また、図 171 (c) に図示するように、最大振幅値が $16V$ 、印加時間が $t_1 = 50\mu sec$ の電圧波形と等価と見なして処理を行ってもよい。以上の事項は、EL 素子 15 に印加する正方向の電圧についても同様である。

【0827】また、同様の事項は EL 素子 15 に流す電流 I_d についても該当する。つまり、EL 素子 15 に流す電流（電圧）も直流ではなく、サイン波の電流波形などにする場合もあり、この場合も直流の実効値に変換し、その矩形波の印加期間 t_2 に換算すればよい。

【0828】逆バイアス電圧 V_m を印加する期間は、図 172 (a) に図示するように、ゲート信号線 17 a にオン電圧を印加する期間（通常、 $1H$ 期間：プログラム期間）以外のすべての期間としてもよい。

【0829】また、EL 素子 15 に電流 I_d を印加していない期間に逆バイアス電圧 V_m を印加すればよいので、図 172 (b) に図示するように、ゲート信号線 1

50

7 a にオン電圧を印加する期間（プログラム期間）を含む期間に逆バイアス電圧 V_m を印加するように構成してもよい（図 172（b）は EL 素子 15 に電流 I_d を印加している期間（ゲート信号線 17 b にオン電圧を印加している期間）以外に逆バイアス電圧 V_m を印加している）。

【0830】なお、図 172、図 170 などでも説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は他の実施例にも適用される。

【0831】以上のように、本発明では、1 F 期間に非点灯期間（非表示領域）312 を有しており、この非点灯期間を設けることにより動画表示性能が向上し、非点灯期間に EL 素子 15 に逆バイアス電圧 V_m を印加できる。したがって、EL 素子 15 が劣化することがなく、端子電圧の上昇もないので、電源電圧 V_{dd} を低く設定できるのである。

【0832】図 172 は EL 素子 15 の直前に逆バイアス電圧 V_m を印加するように構成したものであったが、他の構成として、図 173 に図示するように、スイッチング用 TFT 11 d を介して EL 素子 15 に逆バイアス電圧 V_m （電流 $-I_m$ ）を印加する構成も例示される。

【0833】ゲート信号線 17 d にオン電圧を印加することにより、スイッチング用 TFT 11 g がオンし、逆バイアス電圧 V_m が印加される。同時にスイッチング用 TFT 11 d もオンさせることにより、EL 素子 15 に逆バイアス電圧 V_m を印加することができる。図 173 の構成であれば、逆バイアス電圧 V_m の印加は、スイッチング用 TFT 11 g と 11 d の両方で制御することができるので、制御が容易になり、柔軟性が向上する。

【0834】ゲート信号線 17 には、該当画素が選択されている時にオン電圧が印加される。非選択の期間はオフ電圧が印加される。したがって、ゲート信号線に印加される電圧は 1 F の期間のうち、ほとんどの期間にオフ電圧が印加されているので、オフ電圧を逆バイアス電圧として使用することができる。

【0835】オフ電圧は TFT を完全にオフさせるため、通常、カソード電圧よりも低い電位である（もちろん、TFT が P チャンネルの場合は逆である）。特に、TFT がアモルファスシリコンの場合は、オフ電圧はかなり低く設定されることが通常である。

【0836】図 174 の構成では、ゲート信号線 17 a に接続された駆動用 TFT 11 b、取込用 TFT 11 c を N チャンネル TFT としている。したがって、オン電圧 V_{gh} で駆動用 TFT 11 b、取込用 TFT 11 c はオンし、オフ電圧 V_{gl} でオフ状態となる。1 F のほとんどの期間、ゲート信号線 17 b にはオフ電圧 V_{gl} が印加されている。このオフ電圧 V_{gl} を逆バイアス電圧 V_m とする（ $V_{gl} = V_m$ ）

【0837】スイッチング用 TFT 11 g も先の実施例と同様に、ゲート信号線 17 d に印加する電圧で制御す

る。なお、断っておくが、ゲート信号線 17 d に印加する電圧はスイッチング用 TFT 11 g のオンオフを制御するものであるから、印加する電圧は V_{gh} 、 V_{gl} に特定されるものではなく、他の任意の電圧を使用することができる。

【0838】スイッチング用 TFT 11 g がオンすると、ゲート信号線 17 a に印加されているオフ電圧 V_{gl} が EL 素子 15 に印加される。したがって、EL 素子 15 に逆バイアス電圧 V_m を印加することができる。図 174 の構成では、図 173 のように逆バイアス電圧 V_m を供給する信号線が不要であるため、画素開口率を向上できる。なお、図 174 において、ゲート信号線 17 b に印加する電圧を EL 素子 15 に印加するように構成してもよい（スイッチング用 TFT 11 d は N チャンネルにするなど構成を考慮する必要がある）。

【0839】図 174 はゲート信号線 17 の電圧を逆バイアス電圧にする構成であったが、図 175 はソース信号線 18 に印加された電圧を EL 素子 15 の逆バイアス電圧とする構成である。スイッチング用 TFT 11 g がオンするタイミングで、ソース信号線 18 に逆バイアス電圧 V_m を印加すると、ソース信号線 18 を通じて EL 素子 15 にも逆バイアス電圧 V_m を印加することができる。タイミングなどは図 163 で説明しているので省略する。

【0840】逆バイアス電圧 V_m を印加する時間が、EL 素子 15 に電流を印加している期間と比較して長いときは、図 176 に図示するように、EL 素子 15 にチャージされた電圧が放電されるので、EL 素子 15 のアノード端子とカソード端子間をショートさせることにも効果がある。このようにショートさせることで、EL 素子 15 の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL 素子の劣化を抑制できるようになる。なお、図 172、図 170 などでも説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図 176 の実施例などにも適用されることは言うまでもない。

【0841】図 176 では各 TFT が P チャンネルで構成されていたが、図 177 では図 176 の構成を N チャンネルに変化させたものである。図 177 において、スイッチング用 TFT 11 g がオンすると、EL 素子 15 のアノード端子とカソード端子間がショートし、この両端子に V_{dd} 電圧が印加される。この期間に EL 素子 15 の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL 素子の劣化を抑制できるようになる。なお、図 176 と同様に、図 172、図 170 などでも説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図 177 の実施例などにも適用されることは言うまでもない。

【0842】また、電流の流れる制御方向を変化させる

ことによっても、EL素子15に逆バイアス電圧 V_m を印加することができる。図178はその構成図である。

図178における402は定電流源である。

【0843】図178において、スイッチング用TFT11gがオンしているとき、スイッチング用TFT11gには定電流源402と同一方向の電流が流れ、EL素子15には順方向電圧が印加される。一方、スイッチング用TFT11gがオフの時には、EL素子15と定電流源402とでループを構成するため、EL素子15に流れる電流の向きが逆になる。つまり、定電流源402を配置または形成することにより、スイッチング用TFT11gの制御でEL素子15に容易に逆バイアス電圧 V_m を印加することができるのである。この時の、ゲート信号線17のタイミングを図179に示す。ゲート信号線17aが選択されている期間以外の期間にゲート信号線17dにオン電圧が印加されている。こうして、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、正孔輸送材料の酸化および電子輸送材料の還元による劣化を抑制できるようになる。

【0844】図180はスイッチング用TFT11gをNチャンネルとし、スイッチング用TFT11dがオンしているときはスイッチング用TFT11gをオフ状態にし、スイッチング用TFT11dがオフしているときはスイッチング用TFT11gをオン状態にした構成である。スイッチング用TFT11dがオンしているときはEL素子15が点灯し、スイッチング用TFT11gがオンしているときにはEL素子15に逆バイアス電圧 V_m が印加される。

【0845】逆バイアス電圧 V_m はカソード電圧 V_k よりも低い電圧にすることが有効である。しかし、逆バイアス電圧 V_m を別途発生させようとすると、発生回路が必要である。この課題に対して、図181ではフライングコンデンサを形成している。フライングコンデンサ1001は画素ごとに配置（形成）する他、パネルに1回路を配置（形成）してもよい。

【0846】フライングコンデンサ1001はゲート信号線17e、17fを制御することにより動作させる。そして、ゲート信号線17eとゲート信号線17fは逆位相で動作させる。

【0847】まず、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオンさせ、コンデンサ19bに V_d 電圧を印加する。この時、ゲート信号線17fにはオフ電圧を印加し、コンデンサ19bに充電後、TFT11h、11kをオフさせておく。

【0848】次に、ゲート信号線17eにオフ電圧を印加し、TFT11i、11jをオフさせ、ゲート信号線17fにはオン電圧を印加し、TFT11h、11kをオンさせる。すると、コンデンサ19bに充電された V_d 電圧は逆位相となってEL素子15に、 V_d 電

圧を印加する。

【0849】以上のように構成することにより、逆位相の V_m 電圧（ $V_m = -V_d$ ）を発生させることができる。したがって、 V_m 電圧の供給配線は不要となる。

【0850】以上の実施例は、主として図6で説明した電流プログラム方式の画素構成を例示して説明したがこれに限定されるものではなく、図182に図示するように、カレントミラーの画素構成でも、逆バイアス電圧 V_m を印加できるように構成できることは言うまでもない。

10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100 101 102 103 104 105 106 107 108 109 110 111 112 113 114 115 116 117 118 119 120 121 122 123 124 125 126 127 128 129 130 131 132 133 134 135 136 137 138 139 140 141 142 143 144 145 146 147 148 149 150 151 152 153 154 155 156 157 158 159 160 161 162 163 164 165 166 167 168 169 170 171 172 173 174 175 176 177 178 179 180 181 182 183 184 185 186 187 188 189 190 191 192 193 194 195 196 197 198 199 200 201 202 203 204 205 206 207 208 209 210 211 212 213 214 215 216 217 218 219 220 221 222 223 224 225 226 227 228 229 230 231 232 233 234 235 236 237 238 239 240 241 242 243 244 245 246 247 248 249 250 251 252 253 254 255 256 257 258 259 260 261 262 263 264 265 266 267 268 269 270 271 272 273 274 275 276 277 278 279 280 281 282 283 284 285 286 287 288 289 290 291 292 293 294 295 296 297 298 299 300 301 302 303 304 305 306 307 308 309 310 311 312 313 314 315 316 317 318 319 320 321 322 323 324 325 326 327 328 329 330 331 332 333 334 335 336 337 338 339 340 341 342 343 344 345 346 347 348 349 350 351 352 353 354 355 356 357 358 359 360 361 362 363 364 365 366 367 368 369 370 371 372 373 374 375 376 377 378 379 380 381 382 383 384 385 386 387 388 389 390 391 392 393 394 395 396 397 398 399 400 401 402 403 404 405 406 407 408 409 410 411 412 413 414 415 416 417 418 419 420 421 422 423 424 425 426 427 428 429 430 431 432 433 434 435 436 437 438 439 440 441 442 443 444 445 446 447 448 449 450 451 452 453 454 455 456 457 458 459 460 461 462 463 464 465 466 467 468 469 470 471 472 473 474 475 476 477 478 479 480 481 482 483 484 485 486 487 488 489 490 491 492 493 494 495 496 497 498 499 500 501 502 503 504 505 506 507 508 509 510 511 512 513 514 515 516 517 518 519 520 521 522 523 524 525 526 527 528 529 530 531 532 533 534 535 536 537 538 539 540 541 542 543 544 545 546 547 548 549 550 551 552 553 554 555 556 557 558 559 560 561 562 563 564 565 566 567 568 569 570 571 572 573 574 575 576 577 578 579 580 581 582 583 584 585 586 587 588 589 590 591 592 593 594 595 596 597 598 599 600 601 602 603 604 605 606 607 608 609 610 611 612 613 614 615 616 617 618 619 620 621 622 623 624 625 626 627 628 629 630 631 632 633 634 635 636 637 638 639 640 641 642 643 644 645 646 647 648 649 650 651 652 653 654 655 656 657 658 659 660 661 662 663 664 665 666 667 668 669 670 671 672 673 674 675 676 677 678 679 680 681 682 683 684 685 686 687 688 689 690 691 692 693 694 695 696 697 698 699 700 701 702 703 704 705 706 707 708 709 710 711 712 713 714 715 716 717 718 719 720 721 722 723 724 725 726 727 728 729 730 731 732 733 734 735 736 737 738 739 740 741 742 743 744 745 746 747 748 749 750 751 752 753 754 755 756 757 758 759 760 761 762 763 764 765 766 767 768 769 770 771 772 773 774 775 776 777 778 779 780 781 782 783 784 785 786 787 788 789 790 791 792 793 794 795 796 797 798 799 800 801 802 803 804 805 806 807 808 809 810 811 812 813 814 815 816 817 818 819 820 821 822 823 824 825 826 827 828 829 830 831 832 833 834 835 836 837 838 839 840 841 842 843 844 845 846 847 848 849 850 851 852 853 854 855 856 857 858 859 860 861 862 863 864 865 866 867 868 869 870 871 872 873 874 875 876 877 878 879 880 881 882 883 884 885 886 887 888 889 890 891 892 893 894 895 896 897 898 899 900 901 902 903 904 905 906 907 908 909 910 911 912 913 914 915 916 917 918 919 920 921 922 923 924 925 926 927 928 929 930 931 932 933 934 935 936 937 938 939 940 941 942 943 944 945 946 947 948 949 950 951 952 953 954 955 956 957 958 959 960 961 962 963 964 965 966 967 968 969 970 971 972 973 974 975 976 977 978 979 980 981 982 983 984 985 986 987 988 989 990 991 992 993 994 995 996 997 998 999 1000 1001 1002 1003 1004 1005 1006 1007 1008 1009 1010 1011 1012 1013 1014 1015 1016 1017 1018 1019 1020 1021 1022 1023 1024 1025 1026 1027 1028 1029 1030 1031 1032 1033 1034 1035 1036 1037 1038 1039 1040 1041 1042 1043 1044 1045 1046 1047 1048 1049 1050 1051 1052 1053 1054 1055 1056 1057 1058 1059 1060 1061 1062 1063 1064 1065 1066 1067 1068 1069 1070 1071 1072 1073 1074 1075 1076 1077 1078 1079 1080 1081 1082 1083 1084 1085 1086 1087 1088 1089 1090 1091 1092 1093 1094 1095 1096 1097 1098 1099 1100 1101 1102 1103 1104 1105 1106 1107 1108 1109 1110 1111 1112 1113 1114 1115 1116 1117 1118 1119 1120 1121 1122 1123 1124 1125 1126 1127 1128 1129 1130 1131 1132 1133 1134 1135 1136 1137 1138 1139 1140 1141 1142 1143 1144 1145 1146 1147 1148 1149 1150 1151 1152 1153 1154 1155 1156 1157 1158 1159 1160 1161 1162 1163 1164 1165 1166 1167 1168 1169 1170 1171 1172 1173 1174 1175 1176 1177 1178 1179 1180 1181 1182 1183 1184 1185 1186 1187 1188 1189 1190 1191 1192 1193 1194 1195 1196 1197 1198 1199 1200 1201 1202 1203 1204 1205 1206 1207 1208 1209 1210 1211 1212 1213 1214 1215 1216 1217 1218 1219 1220 1221 1222 1223 1224 1225 1226 1227 1228 1229 1230 1231 1232 1233 1234 1235 1236 1237 1238 1239 1240 1241 1242 1243 1244 1245 1246 1247 1248 1249 1250 1251 1252 1253 1254 1255 1256 1257 1258 1259 1260 1261 1262 1263 1264 1265 1266 1267 1268 1269 1270 1271 1272 1273 1274 1275 1276 1277 1278 1279 1280 1281 1282 1283 1284 1285 1286 1287 1288 1289 1290 1291 1292 1293 1294 1295 1296 1297 1298 1299 1300 1301 1302 1303 1304 1305 1306 1307 1308 1309 1310 1311 1312 1313 1314 1315 1316 1317 1318 1319 1320 1321 1322 1323 1324 1325 1326 1327 1328 1329 1330 1331 1332 1333 1334 1335 1336 1337 1338 1339 1340 1341 1342 1343 1344 1345 1346 1347 1348 1349 1350 1351 1352 1353 1354 1355 1356 1357 1358 1359 1360 1361 1362 1363 1364 1365 1366 1367 1368 1369 1370 1371 1372 1373 1374 1375 1376 1377 1378 1379 1380 1381 1382 1383 1384 1385 1386 1387 1388 1389 1390 1391 1392 1393 1394 1395 1396 1397 1398 1399 1400 1401 1402 1403 1404 1405 1406 1407 1408 1409 1410 1411 1412 1413 1414 1415 1416 1417 1418 1419 1420 1421 1422 1423 1424 1425 1426 1427 1428 1429 1430 1431 1432 1433 1434 1435 1436 1437 1438 1439 1440 1441 1442 1443 1444 1445 1446 1447 1448 1449 1450 1451 1452 1453 1454 1455 1456 1457 1458 1459 1460 1461 1462 1463 1464 1465 1466 1467 1468 1469 1470 1471 1472 1473 1474 1475 1476 1477 1478 1479 1480 1481 1482 1483 1484 1485 1486 1487 1488 1489 1490 1491 1492 1493 1494 1495 1496 1497 1498 1499 1500 1501 1502 1503 1504 1505 1506 1507 1508 1509 1510 1511 1512 1513 1514 1515 1516 1517 1518 1519 1520 1521 1522 1523 1524 1525 1526 1527 1528 1529 1530 1531 1532 1533 1534 1535 1536 1537 1538 1539 1540 1541 1542 1543 1544 1545 1546 1547 1548 1549 1550 1551 1552 1553 1554 1555 1556 1557 1558 1559 1560 1561 1562 1563 1564 1565 1566 1567 1568 1569 1570 1571 1572 1573 1574 1575 1576 1577 1578 1579 1580 1581 1582 1583 1584 1585 1586 1587 1588 1589 1590 1591 1592 1593 1594 1595 1596 1597 1598 1599 1600 1601 1602 1603 1604 1605 1606 1607 1608 1609 1610 1611 1612 1613 1614 1615 1616 1617 1618 1619 1620 1621 1622 1623 1624 1625 1626 1627 1628 1629 1630 1631 1632 1633 1634 1635 1636 1637 1638 1639 1640 1641 1642 1643 1644 1645 1646 1647 1648 1649 1650 1651 1652 1653 1654 1655 1656 1657 1658 1659 1660 1661 1662 1663 1664 1665 1666 1667 1668 1669 1670 1671 1672 1673 1674 1675 1676 1677 1678 1679 1680 1681 1682 1683 1684 1685 1686 1687 1688 1689 1690 1691 1692 1693 1694 1695 1696 1697 1698 1699 1700 1701 1702 1703 1704 1705 1706 1707 1708 1709 1710 1711 1712 1713 1714 1715 1716 1717 1718 1719 1720 1721 1722 1723 1724 1725 1726 1727 1728 1729 1730 1731 1732 1733 1734 1735 1736 1737 1738 1739 1740 1741 1742 1743 1744 1745 1746 1747 1748 1749 1750 1751 1752 1753 1754 1755 1756 1757 1758 1759 1760 1761 1762 1763 1764 1765 1766 1767 1768 1769 1770 1771 1772 1773 1774 1775 1776 1777 1778 1779 1780 1781 1782 1783 1784 1785 1786 1787 1788 1789 1790 1791 1792 1793 1794 1795 1796 1797 1798 1799 1800 1801 1802 1803 1804 1805 1806 1807 1808 1809 1810 1811 1812 1813 1814 1815 1816 1817 1818 1819 1820 1821 1822 1823 1824 1825 1826 1827 1828 1829 1830 1831 1832 1833 1834 1835 1836 1837 1838 1839 1840 1841 1842 1843 1844 1845 1846 1847 1848 1849 1850 1851 1852 1853 1854 1855 1856 1857 1858 1859 1860 1861 1862 1863 1864 1865 1866 1867 1868 1869 1870 1871 1872 1873 1874 1875 1876 1877 1878 1879 1880 1881 1882 1883 1884 1885 1886 1887 1888 1889 1890 1891 1892 1893 1894 1895 1896 1897 1898 1899 1900 1901 1902 1903 1904 1905 1906 1907 1908 1909 1910 1911 1912 1913 1914 1915 1916 1917 1918 1919 1920 1921 1922 1923 1924 1925 1926 1927 1928 1929 1930 1931 1932 1933 1934 1935 1936 1937 1938 1939 1940 1941 1942 1943 1944 1945 1946 1947 1948 1949 1950 1951 1952 1953 1954 1955 1956 1957 1958 1959 1960 1961 1962 1963 1964 1965 1966 1967 1968 1969 1970 1971 1972 1973 1974 1975 1976 1977 1978 1979 1980 1981 1982 1983 1984 1985 1986 1987 1988 1989 1990 1991 1992 1993 1994 1995 1996 1997 1998 1999 2000 2001 2002 2003 2004 2005 2006 2007 2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022 2023 2024 2025 2026 2027 2028 2029 2030 2031 2032 2033 2034 2035 2036 2037 2038 2039 2040 2041 2042 2043 2044 2045 2046 2047 2048 2049 2050 2051 2052 2053 2054 2055 2056 2057 2058 2059 2060 2061 2062 2063 2064 2065 2066 2067 2068 2069 2070 2071 2072 2073 2074 2075 2076 2077 2078 2079 2080 2081 2082 2083 2084 2085 2086 2087 2088 2089 2090 2091 2092 2093 2094 2095 2096 2097 2098 2099 2100 2101 2102 2103 2104 2105 2106 2107 2108 2109 2110 2111 2112 2113 2114 2115 2116 2117 2118 2119 2120 2121 2122 2123 2124 2125 2126 2127 2128 2129 2130 2131 2132 2133 2134 2135 2136 2137 2138 2139 2140 2141 2142 2143 2144 2145 2146 2147 2148 2149 2150 2151 2152 2153 2154 2155 2156 2157 2158 2159 2160 2161 2162 2163 2164 2165 2166 2167 2168 2169 2170 2171 2172 2173 2174 2175 2176 2177 2178 2179 2180 2181 2182 2183 2184 2185 2186 2187 2188 2189 2190 2191 2192 2193 2194 2195 2196 2197 2198 2199 2200 2201 2202 2203 2204 2205 2206 2207 2208 2209 2210 2211 2212 2213 2214 2215 2216 2217 2218 2219 2220 2221 2222 2223 2224 2225 2226 2227 2228 2229 2230 2231 2232 2233 2234 2235 2236 2237 2238 2239 2240 2241 2242 2243 2244 2245 2246 2247 2248 2249 2250 2251 2252 2253 2254 2255 2256 2257 2258 2259 2260 2261 2262 2263 2264 2265 2266 2267 2268 2269 2270 2271 2272 2273 2274 2275 2276 2277 2278 2279 2280 2281 2282 2283 2284 2285 2286 2287 2288 2289 2290 2291 2292 2293 2294 2295 2296 2297 2298 2299 2300 2301 2302 2303 2304 2305 2306 2307 2308 2309 2310 2311 2312 2313 2314 2315 2316 2317 2318 2319 2320 2321 2322 2323 2324 2325 2326 2327 2328 2329 2330 2331 2332 2333 2334 2335 2336 2337 2338 2339 2340 2341 2342 2343 2344 2345 2346 2347 2348 2349 2350 2351 2352 2353 2354 2355 2356 2357 2358 2359 2360 2361 2362 2363 2364 2365 2366 2367 2368 2369 2370 2371 2372 2373 2374 2375 2376 2377 2378 2379 2380 2381 2382 2383 2384 2385 2386 2387 2388 2389 2390 2391 2392 2393 2394 2395 2396 2397

7bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0855】図162の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、EL素子15に流す電流を制御することができ、図49などに図示した駆動方法あるいは表示状態を実現できる。

【0856】なお、図162ではTFT11eを付加したが、このTFT11eを削除し、ゲート信号線17bを操作し、スイッチング用TFT11dのオンオフ状態を制御することによっても、図49などの画像表示などを実現できることは言うまでもない。

【0857】図184も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0858】図184の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、スイッチング用TFT11dのオンオフを実現できるから、EL素子15に流す電流を制御することができる。したがって、図49などに図示した駆動方法あるいは表示状態を実現できる。

【0859】なお、図81は電圧プログラムの画素構成の例である。本発明は、1フィールドあるいは1フレーム（1F、もちろん2Fあるいはそれ以上を1区切りとすることも考えられる）の所定時間にEL素子15に流す電流の印加時間を制御することにより所定の発光輝度を得る方法である。つまり、EL素子に流す電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法である。

【0860】図87も電圧プログラムによる画素構成である。図87において、19aは閾値検出用容量（コンデンサ）、19bは入力信号電圧保持用容量（コンデンサ）である。

【0861】ステップ1（区間1）では、前記TFT11aからTFT11eをすべてONにして一旦前記駆動用トランジスタをON状態にしているため、閾値のばらつきによる電流値のずれが発生する。

【0862】ステップ2（区間2）では、前記TFT11b、TFT11dはONのまま前記TFT11c、TFT11eをOFFにすることにより、前記駆動用TFT11aの電流値が0になるので、前記駆動用TFT11aの閾値が前記閾値検出用容量19aに検出される。

【0863】ステップ3（区間3）では、前記TFT11b、TFT11dをOFFにして前記TFT11c、TFT11eをONにすることにより、ゲート信号線の入力信号電圧を前記入力信号電圧保持用容量19bに保

持すると同時に、前記駆動用TFT11aのゲートに前記入力信号電圧に閾値を加えた信号電圧を印加してEL素子15を電流駆動して発光させる。この駆動用TFT11aは飽和領域で動作しているため、ゲート電圧から閾値を引いた電圧値の2乗に比例した電流が流れるが、ゲート電圧には前記閾値検出用容量19aにより閾値がすでに印加されているため、結果的に閾値はキャンセルされる。従って、駆動用TFT11aの閾値がばらついてもシミュレーション結果に示すように、常に一定の電流値がEL素子15に流れることになる。

【0864】ステップ4（区間4）では、画素16が非選択期間に入ったとき、TFT11b、TFT11dはOFF、TFT11eはONのまま、TFT11cをOFFにしても、前記入力信号電圧保持用容量19bに保持された入力信号電圧と前記閾値検出用容量19aにより保持された閾値電圧が駆動用TFT11aのゲートに印加されているため、EL素子15には電流が流れて発光し続ける。

【0865】以上のように、より正確に前記駆動用トランジスタの閾値を検出するためには、第1ステップの期間として $2\mu\text{sec}$ 以上 $10\mu\text{sec}$ 以下に設定し、第2ステップの期間として $2\mu\text{sec}$ 以上 $10\mu\text{sec}$ 以下に設定することが必要である。これは書き込みあるいは動作時間を十分に確保するためである。しかし、あまりに長いと本来の電圧プログラム時間が短くなり安定性がなくなる。

【0866】したがって、図81の電圧プログラム方式でも、本発明の駆動方法あるいは表示装置を実施することには効果がある。図81において、ゲート信号線17bを制御することにより、スイッチング用TFT11dをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。また、図87においても、ゲート信号線17cの制御により、TFT11eをオンオフ制御することができる。そのため、図49、図53などの表示状態を実現できる。

【0867】また、EL素子15に流れる電流をN倍し、TFT11eのオンオフ状態を制御することにより、 $1/N$ の期間点灯させるという駆動方法（なお、N倍あるいは $1/N$ に限定されるものではない）を実現できることは明らかである。つまり、本発明は、図6の電流プログラムの画素構成のみに限定されるものではなく、図87などの電圧プログラムの画素構成でも、本発明の駆動方法を実現することができる。したがって、本明細書で記載した事項は本明細書で記載あるいは図示した画素構成あるいは装置などに適用することができる。

【0868】同様に、図85、図86も電圧プログラムの画素構成である。図85、図86において、ゲート信号線17bを制御することにより、TFT11eをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。そのため、図4

9、図53などの表示状態を実現できる。したがって、容易にアニメーション効果を実現できる。また、多彩な画像表示を実現できる。また、その他の事項、あるいは動作は図87と同様あるいは類似するので説明を省略する。なお、以上の事項は図163、図169などで説明した逆バイアス電圧 V_m 印加方式に関しても適用することができることは言うまでもない。

【0869】例えば、逆バイアス電圧 V_m はR、G、B画素ごとに電圧値を異ならせてもよい。その場合は、逆バイアス電圧 V_m を制御するTFTのゲート信号線の本数が増加する。各R、G、BのEL素子15はそれぞれ、端子電圧、印加電流が異なるからである。例えば、R画素のEL素子には、 $-1.5V$ を印加し、GとB画素のEL素子には $-1.2V$ を印加するという方式である。

【0870】また、各R、G、BのEL素子15に印加する逆バイアス電圧（電流）の印加時間を異ならせてもよい。それぞれ、RGB画素ごとに、端子電圧、印加電流が異なるからである。例えば、R画素のEL素子には、1Fの $1/2$ の時間だけ逆バイアス電圧 V_m を印加し、GとB画素のEL素子には1Fの $1/3$ の時間だけ逆バイアス電圧 V_m を印加するという方式である。

【0871】また、表示画面21の部分ごとに、逆バイアス電圧（電流）の印加時間あるいは印加電圧を異ならせてもよい。例えば、表示画面の中央部を明るくするガウス分布方式を採用した場合、中央部のEL素子は周辺部に比較して流す電流値が大きいからである。

【0872】N倍のパルス電圧を印加する方式の課題として、EL素子15に流れる電流が大きくなり、EL素子15が劣化し易くなるという課題がある。また、 $N=10$ 以上となると、電流が流れる時に必要となるEL素子15の端子電圧が高くなり、電力効率が悪くなるという課題もある。ただし、この課題は白表示時のようにEL素子に流れる電流が大きい時に発生する課題である。この課題に対する対処法を図6の画素構成を例にして、図185(a)を参照しながら説明する。

【0873】図185(a)に図示するように、EL素子15への電流 I_{dd} が流れている時、 V_{dd} 電圧（電源電圧）は駆動用TFT11aのソースドレイン間電圧 V_{sd} とEL素子15の端子電圧 V_d で分圧される。この時、 I_{dd} 電流が大きいと V_d 電圧も高くなる。

【0874】 V_{dd} 電圧が十分に高いと駆動用TFT11aにプログラムされた電流 I_w に等しい電流 I_{dd} がEL素子15に流れる。したがって、図186の実線に図示するように、電流 I_w と I_{dd} は等しいかほぼリニアの関係（比例の関係）になる。リニアの関係になるというのは、ゲート信号線17などに印加された信号などによりコンデンサ19に突き抜けが発生し、 $I_{dd} = I_w$ とはならないということである。

【0875】本発明では、 V_{dd} 電圧は I_{dd} と I_w がリニア（比例）の関係を維持できないような低い電圧で

用いる。つまり、必要な $V_{sd} + V_d > V_{dd}$ の関係にしている。さらには、 $V_d > V_{dd}$ とすることが好ましい。

【0876】例えば、一例として、 $N=10$ で、最大白表示に必要な I_w 電流が $2\mu A$ とする。この状態では、 I_{dd} 電流が $2\mu A$ とすると、G色のEL素子では $V_d = 1.4V$ となるので、この時の V_{dd} 電圧を $1.4V$ 以下とする。もしくは、この時、 $V_{sd} = 7V$ とすると、 $V_d + V_{sd} = 1.4V + 7V = 2.1V < V_{dd} = 2.1V$ とする。

【0877】この状態で駆動すると、電流 I_{dd} と I_w の関係は図186の点線で示すような関係となり、最大白表示では I_w と I_{dd} の関係はリニアの関係でなくなる（非線形の関係、図186のAの範囲）。しかし、黒表示あるいは灰色表示（表示輝度が比較的低い領域）ではリニアの関係（図154のBの範囲）が維持される。

【0878】Aの領域ではEL素子15に流れる電流が制限され、EL素子15を劣化させるような大きな電流が流れることはない。また、Aの領域で、 I_w 電流を増加させると、変化割合は少ないが I_{dd} 電流は増加するので、階調表示を実現できる。ただし、Aの領域では非線形となるからガンマ変換が必要である。例えば、画像表示が64階調表示であれば、入力画像データ64階調データをテーブル変換し、128階調あるいは256階調に変換してソースドライバ14に印加する。

【0879】Aの領域では駆動用TFT11aの V_{sd} 電圧とEL素子15の V_d 電圧とが分圧され、EL素子15の端子電圧 V_a が決定される。この際、注目すべき事項として、EL素子15は蒸着で形成される（あるいはインクジェット技術などによる塗布で形成）ため、均一に形成されている点である。そのため、EL端子電圧 V_a は表示画面21の面内で均一な値となる。したがって、駆動用TFT11aの特性ばらつきが吸収でき、 V_{dd} 電圧の低減により低消費電力化を実現できる。また、 N が大きい時にも、EL素子15には高い電圧が印加されることがない。

【0880】EL素子15は蒸着技術、インクジェット技術だけでなく、インクを付けたスタンプを紙に当てて印刷するようにするスタンプ技術でも形成できる。

【0881】まず、スタンプとなる部分を形成する。Si基板上に半導体プロセスによって有機EL素子の発光領域と同じ形の溝のパターンを形成し、その溝の中を有機EL材にドーピングする材料を埋めることでスタンプとする。一方、有機EL素子を形成する方のガラス基板には、電極や発光層となる有機EL材を形成しておく。

【0882】次に、スタンプと有機EL素子となる材料をつけたガラス基板をぴったりと重ね合わせる。この状

10

20

30

40

50

態を保ちながら $+100^{\circ}\text{C}\sim+200^{\circ}\text{C}$ で約10分間にわたって熱処理する。こうすることで、スタンプの溝の中に埋め込んだドーピング材料が蒸発し、有機EL素子の発光層に拡散する。あとは、色に応じたドーピング材料を埋め込んだスタンプを順次有機EL素子に当てて、RGBを塗り分ける。このスタンプ技術を用いると、 $10\mu\text{m}$ の矩形パターンや、線幅 $10\mu\text{m}$ のパターンのEL素子15が容易に形成できる。

【0883】なお、1Fの期間の $1/N$ に、EL素子15に電流を印加し、その印加する電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法であるとした。しかし、本発明は一定の期間内の輝度平均を所定値にする方法である。したがって、1F（1フィールドあるいは1フレーム）に限定されるものではない。例えば、図53（c1）の表示状態が2F連続したり、図53（c2）の表示状態が3F連続したり、この図53（c1）と図53（c2）の状態が交互に繰り返されても良い。最終的に、5Fで所望の平均輝度となるように駆動すればよい。

【0884】したがって、本発明の技術的思想は、一定の期間内に、EL素子15のオン状態とオフ状態とを発生させ、このオン状態とオフ状態とを交互に繰り返す、この繰り返すにより、所定の表示輝度を得る方式である。また、制御はゲート信号線17のオンオフ電圧を制御することにより実現する。

【0885】なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を $1/N$ 期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。例えば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。N=10としても実際にEL素子15に流れる電流はN=5の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である（ただし、図186で説明する駆動方法も実施するので限定は難しい）。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

【0886】また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用TFT11a（図6を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0887】また、図6を例示すれば（図142、図85、図86、図183、図87などの電圧プログラム画

素構成でも有効である）、駆動用TFT11aと、この駆動用TFTにプログラムをする信号（電流、電圧）経路を設定（構成、配置、接続）する第1のスイッチング用TFT11cと、駆動用TFT11aからの電流がEL素子15に流れる経路を設定（構成、配置、接続）する第2のスイッチング用TFT11dとを具備する画素構成において、前記第1のスイッチング用TFT11cをオン（経路を設定）し、第2のスイッチング用TFT11dをオフ（経路を切断）した第1の状態と、前記駆動用TFTに電流（電圧）プログラムする第1の状態と、前記第1のスイッチング用TFT11cをオフ（経路を切断）し、第2のスイッチング用TFT11dをオン（経路を設定）する第2の状態と、前記第1のスイッチング用TFT11cをオフ（経路を切断）し、第2のスイッチング用TFT11dをオフ（経路を切断）する第3の状態とを実施するものである。

【0888】また、アクティブマトリックス型表示パネルにおいて、駆動用TFT11aからEL素子15に流れる電流経路を1フレーム（1フィールド）期間中の所定期間の間、切断あるいは減少（EL素子15に流れる電流波形は矩形あるいはDCに限定されるものではなく、サイン波形などもある。また、DC振幅値を変化させる場合もある）させ、少なくとも1フレーム（1フィールド）のEL素子15の発光輝度を減少させるものである。

【0889】また、駆動用TFT11aに所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と、EL素子15に前記プログラムされた信号（電流）を流し、少なくとも1フレーム（1フィールド）期間中の所定期間に前記EL素子15に流れないように動作を行うものである。

【0890】あるいは、駆動用TFT11aにプログラムされた電流に対応する輝度以下となるように、EL素子15に流れる電流を制限するものである。

【0891】また、所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と1フレーム（1フィールド）の平均輝度（所望輝度）が、所望輝度か、少なくとも前記所望輝度（プログラムされた輝度（電流））以下となるように、前記プログラム電流が前記EL素子15に流れないように動作を行うものである。また、EL素子15に流れる電流を完全にオンオフさせることに限定されるものではない。

【0892】例えば、図6においてスイッチング用TFT11dを高抵抗オン状態とすることにより（つまり、所定値よりも小さい電流がEL素子15に流れている）、EL素子15をオフあるいは低輝度発光を実施することができる。EL素子15が低輝度発光の時は、表示画面21の非表示領域312とは、完全黒表示ではなく、ダーク（灰色または黒表示に近い輝度）と置き換えて理解する必要がある。つまり、非表示領域312と

10

20

30

40

50

は、通常表示よりも低輝度表示であればよい。低輝度表示とは画像が認識できる表示状態も含む。

【0893】なお、以上の実施例は、EL素子15の非点灯時間に逆バイアス電圧を印加する（図170、図168などを参照）ことを組み合わせることが有効である。また、図87などの電圧プログラム画素構成にも有効であることは言うまでもない。

【0894】なお、図49などにおいて、非表示領域312は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域311よりも表示輝度が低い領域と解釈するべきである。また、非表示領域312とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【0895】なお、各画素構成において（例えば、図81、図158、図184（a））、スイッチング用TFT11dのゲート端子を直接、オンオフ電圧に印加できるように構成しても、EL素子15に流す電流を間欠動作させることができる。また、図159においてはTFT11e、図19においては変換用TFT11a、図20においては駆動用TFT11bのゲート端子に直接、オンオフ電圧を印加できるように構成しても、EL素子15に流す電流を間欠動作させることができる。つまり、EL素子15に電流を印加するTFTのゲート端子を制御することによって、図49などの表示状態を実施できるということである。

【0896】以上のように、本発明はEL素子15に印加する電流をオンオフすることにより、EL素子15を間欠表示させるものである。間欠表示させるためには、図6の例ではスイッチング用TFT11dをオンオフ制御する必要がある。したがって、スイッチング用TFT11dをオンオフするためのゲート信号線が必要となる。つまり、EL素子15を間欠表示させるためには、コンデンサに、EL素子15に流す電流をプログラムするための経路を形成する第1のスイッチング素子と、この第1のスイッチング素子をオンオフ制御するための第1のゲート信号線が必要である。また、EL素子15に流れる電流経路を形成する第2のスイッチング素子と、この第2のスイッチング素子をオンオフするための第2のゲート信号線が必要となる。つまり、ゲート信号線は1画素あたり2本必要となる。

【0897】しかし、1画素あたり2本以上のゲート信号線が必要となると、図24などで説明した3辺フリーの画素構成では課題となる。ゲートドライバ12を低温ポリシリコン技術などで形成しても、シフトレジスタ数が多くなり、回路構成が複雑となるからである。特に、アモルファスシリコン技術で3辺フリーの構成を実現しようとするときに課題は大きくなる。なぜならば、アモルファスシリコン技術ではゲートドライバ12（あるいはソースドライバ14）を表示パネル82上に直接形

成することができないからである。

【0898】したがって、アモルファスシリコン技術で表示パネルを構成するには、ソースドライバ14とゲートドライバ12を表示画面21の一边に配置する必要がある。そして、ゲート信号線17aとゲート信号線17bのすべてを、表示画面の左右にふりわけて配線する必要がある。ゲート信号線17の本数が少ない場合はまだ対応できる可能性があるが、QCIFでも垂直画素数は220ドットであるから、ゲート信号線17は $220 \times 2 = 440$ 本にもなってしまう。その他、低温ポリシリコン技術でゲートドライバ12を内蔵した場合でも、ゲート信号線17の配線数が多いと、狭額縁化できない。したがって、商品力を失ってしまう。

【0899】これより述べる本発明は上記の課題を解決するものである。簡単に記載すれば、EL素子15をオンオフするゲート信号線17bを複数本、共通にするのである。この共通にしたブロックごとにEL素子15に流れる電流をオンオフするのである。

【0900】図45、図116の実施例においても、EL素子15のオンオフは1画素行ずつ制御する必要はない。ブロックごとにオンオフしても非表示領域312を形成できるし、画像表示領域311も形成できるからである。以上のようにブロックでオンオフ制御する方式をブロック駆動と呼ぶ。ただし、隣接した画素行でブロックにする実施例もあるので、通常のブロックという概念よりは広義である。ただし、図6の画素構成では、電流プログラムを行っている画素行は非点灯状態にする必要がある。そのため、電流プログラムのために選択された画素行を含むブロックは非表示領域312とする必要がある。しかし、図6の場合であっても多少の画像にみだれを許容する場合は、電流プログラムを行っている画素行であっても、非表示領域312とする必要はない。また、図19のカレントミラーの画素構成では、電流プログラムを行っている画素行であっても、非表示領域312とする必要はない。

【0901】なお、本発明は、主として図6に図示する電流プログラムの画素構成を例示して説明をするがこれに限定されるものではなく、図19などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できる。また、ブロックでオンオフする技術的概念は、図86、図87などの電圧プログラムの画素構成であっても適用できる。また、本発明は、EL素子15に流れる電流を間欠にする方法であるから、図183などで説明した逆バイアス電圧を印加する方式とも組み合わせることができる。以上のように、本発明は他の実施例と組み合わせる実施することができる。

【0902】図187はブロック駆動の実施例である。まず、説明を容易にするため、ゲートドライバ12はアレイ基板49に直接形成するか、もしくはシリコンチップのゲートドライバ12をアレイ基板49に積載すると

して説明する。また、ソースドライバ 14 およびソース信号線 18 は図面が煩雑になるため省略する。

【0903】図 187 において、ゲート信号線 17a はゲートドライバ 12 と接続されている。一方、各画素のゲート信号線 17b は点灯制御線 1791 と接続されている。図 187 では 4 本のゲート信号線 17b が 1 つの点灯制御線 1791 と接続されている。なお、4 本のゲート信号線 17b でブロックするというのはこれに限定されるものではなく、それ以上であってもよい。一般的に、表示画面 21 は少なくとも 5 以上、さらには 10 以上に分割することが好ましい。さらには、20 以上に分割することが好ましい。なぜなら、分割数が少ないと、フリッカが見えやすく、また、あまりにも分割数が多いと、点灯制御線 1791 の本数が多くなり、点灯制御線 1791 のレイアウトが困難になるからである。

【0904】したがって、QCF 表示パネルの場合は、垂直走査線の本数が 220 本であるから、少なくとも、 $220/5=44$ 本以上、好ましくは、 $220/10=22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で 2 つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2 つのブロック化で十分の場合がある。

【0905】図 187 の実施例では、点灯制御線 1791a、1791b、1791c、1791d と順次、オン電圧 V_{gl} を印加するか、もしくはオフ電圧 V_{gh} を印加し、ブロックごとに EL 素子 15 に流れる電流をオンオフさせる。

【0906】なお、図 187 の実施例では、ゲート信号線 17b と点灯制御線 1791 とがクロスすることがない。したがって、ゲート信号線 17b と点灯制御線 1791 とのショート欠陥は発生しない。また、ゲート信号線 17b と点灯制御線 1791 とが容量結合することがないため、点灯制御線 1791 からゲート信号線 17b 側を見た時の容量付加が極めて小さい。したがって、点灯制御線 1791 を駆動しやすい。

【0907】図 188 は、図 187 の接続状態をさらに詳細に図示している。ゲートドライバ 12 にはゲート信号線 17a が接続されている。ゲート信号線 17a にオン電圧 V_{gl} を印加することにより、画素行が選択され、選択された各画素の TFT11b、11c はオンして、ソース信号線 18 に印加された電流（電圧）を各画素のコンデンサ 19 にプログラムする。一方、ゲート信号線 17b は各画素の TFT11d のゲート端子と接続されている。したがって、点灯制御線 1791 にオン電圧 V_{gl} が印加されたとき、駆動用 TFT11a と EL 素子 15 との電流経路を形成し、逆にオフ電圧 V_{gh} が印加された時は、EL 素子 15 のアノード端子をオープンにする。

【0908】なお、点灯制御線 1791 に印加するオンオフ電圧の制御タイミングと、ゲートドライバ 12 がゲ

ート信号線 17a に出力する画素行選択電圧 V_{gl} のタイミングは 1 水平走査クロック (1H) に同期していることが好ましい。しかし、これに限定されるものではない。点灯制御線 1791 に印加する信号は単に、EL 素子 15 への電流をオンオフさせるだけである。また、ソースドライバ 14 が出力する画像データと同期がとれている必要もない。なぜなら、点灯制御線 1791 に印加する信号は、各画素 16 のコンデンサ 19 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1H 信号に限定されるものではなく、 $1/2H$ でも、 $1/4H$ であってもよい。

【0909】図 189 は、画素構成が図 19 などに図示したカレントミラーの画素構成の場合である。ただし、以前の実施例でも説明したように、EL 素子 15 に流れる電流を制御するために、TFT11e を形成し、また、TFT11e を制御するためのゲート信号線 17b を付加している。

【0910】なお、図 189 において、取込用 TFT11c とスイッチング用 TFT11d を制御（オンオフ）するゲート信号線は共通（ゲート信号線 17a）としたが、これに限定されるものではなく、別個のゲート信号線 17 としてもよい。この場合は、取込用 TFT11c を制御する第 1 のゲート信号線 17 と、スイッチング用 TFT11d を制御する第 2 のゲート信号線 17 をゲートドライバ 12 に接続する。

【0911】図 189 において、ゲートドライバ 12 にはゲート信号線 17a が接続されている。ゲート信号線 17a にオン電圧を印加することにより、画素行が選択される。なお、図 188 などでも同様であるが、選択される画素行は 1 画素行に限定されるものではない。例えば、図 94、図 118、図 121 では複数画素行が選択される。以上のように、本発明は選択される画素行数に制約されるものではない。

【0912】図 189 において、ゲート信号線 17a にオン電圧 V_{gl} が印加されると、選択された各画素の駆動用 TFT11b、スイッチング用 TFT11d がオンして、ソース信号線 18 に印加された電流（電圧）を各画素のコンデンサ 19 にプログラムする。つまり、ソースドライバ 14 は画素 16 に書き込む電流（電圧）を出力（吸収）する。一方、ゲート信号線 17b は各画素の TFT11e のゲート端子と接続されている。したがって、点灯制御線 1791 にオン電圧 V_{gl} が印加されたとき、駆動用 TFT11b と EL 素子 15 との電流経路を形成し、逆にオフ電圧 V_{gh} が印加された時は、EL 素子 15 のアノード端子をオープンにする。

【0913】図 190 は、電圧プログラムの画素構成である。ただし、以前の実施例でも説明したように、EL 素子 15 に流れる電流を制御（間欠動作できるように）

するために、スイッチング用TFT11dを形成し、また、スイッチング用TFT11dを制御するためのゲート信号線17bを付加している。このゲート信号線17bは複数画素行ごとに点灯制御線1791に接続されている。

【0914】図190において、ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、駆動用TFT11bがオンし、所定の画素行が選択される。

【0915】図190において、ゲート信号線17aにオン電圧Vg1が印加されると、選択された各画素の駆動用TFT11bはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。つまり、ソースドライバ14は画素16に書き込む電流（電圧）を出力（吸収）する。一方、ゲート信号線17bは各画素のスイッチング用TFT11dのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0916】図191は、他の電圧プログラムの画素構成である、EL素子15に流れる電流の間欠動作はスイッチング用TFT11dを用いて行う。スイッチング用TFT11dを制御するためのゲート信号線17dは複数画素行ごとに点灯制御線1791に接続されている。

【0917】図191の画素構成では、オフセット電圧を測定し、1フレームの期間に書き込まれた電圧をコンデンサ19に保持させるためには、2本のゲート信号線17aと17cが必要である。そのため、この2本のゲート信号線17a、17cはゲートドライバ12に接続されている。この構成を図192に図示している。ゲートドライバ12はゲート信号線17aとゲート信号線17cにオンオフ電圧を印加することにより、取込用TFT11c、駆動用TFT11bをオンオフ制御し、ソースドライバ14から出力された電圧を画素にプログラムする。一方、ゲート信号線17dは各画素のスイッチング用TFT11dのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0918】以上のように本発明は、画素構成が、電流プログラム方式であっても、電圧プログラム方式であっても、適用することができる。なお、以上の実施例はアクティブマトリックス型表示パネルを例示して説明したが、これに限定されるものではなく、単純マトリックス型表示パネルにも適用することができる。なぜならば、ブロックごとにEL素子15を点灯あるいは非点灯させることが、単純マトリックス型表示パネルでも実現でき

るからである。

【0919】図193は他の実施例である。以下の実施例では先に述べた実施例との差異を中心に説明する。したがって、図193以降の実施例でも画素構成などは図189～図191などで説明したいずれでも適用できる。

【0920】図193は、ゲート信号線17bを2画素行ずつ共通にし、かつ4ブロックごとに点灯制御線1791で共通にした構成である。第1番目と第2番目の画素行のゲート信号線17bと、第9番目と第10番目の画素行のゲート信号線17bとを点灯制御線1791aで共通にしている。したがって、点灯制御線1791aにオン電圧Vg1を印加すると、少なくとも第1番目、第2番目、第9番目および第10番目の画素行が点灯する。

【0921】また、第3番目と第4番目の画素行のゲート信号線17bと、第11番目と第12番目の画素行のゲート信号線17bとを点灯制御線1791bで共通にしている。したがって、点灯制御線1791bにオン電圧Vg1を印加すると、少なくとも第3番目、第4番目、第11番目および第12番目の画素行が点灯する。

【0922】同様に、第5番目と第6番目の画素行のゲート信号線17bと、第13番目と第14番目の画素行のゲート信号線17bとを点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧Vg1を印加すると、少なくとも第5番目、第6番目、第13番目および第14番目の画素行が点灯する。また、第7番目と第8番目の画素行のゲート信号線17bと、第15番目と第16番目の画素行のゲート信号線17bとを点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧Vg1を印加すると、少なくとも第7番目、第8番目、第15番目および第16番目の画素行が点灯する。

【0923】図193のように、ゲート信号線17bを点灯制御線1791と接続すると、小さな点灯ブロックが、分散して表示される。したがって、低レートでもフリッカの発生が少なくなる。

【0924】図194は、ゲート信号線17bを4画素とばして共通にして点灯制御線1791に接続した構成である。第1番目、第5番目、第9番目、第13番目の画素行のゲート信号線17bが点灯制御線1791aで共通にされている。したがって、点灯制御線1791aにオン電圧Vg1を印加すると、少なくとも第1番目、第5番目、第9番目および第13番目の画素行が点灯する。

【0925】また、第2番目、第6番目、第10番目、第14番目の画素行のゲート信号線17bが点灯制御線1791bで共通にしている。したがって、点灯制御線1791bにオン電圧Vg1を印加すると、少なくとも第2番目、第6番目、第10番目および第14番目の画

素行が点灯する。

【0926】同様に、第3番目、第7番目、第11番目、第15番目の画素行のゲート信号線17bが点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧Vg1を印加すると、少なくとも第3番目、第7番目、第11番目および第15番目の画素行が点灯する。また、第4番目、第8番目、第12番目、第16番目の画素行のゲート信号線17bが点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧Vg1を印加すると、少なくとも第4番目、第8番目、第12番目および第16番目の画素行が点灯する。

【0927】図194のように、ゲート信号線17bを点灯制御線1791と接続すると、図193よりも点灯する画素行が分散される。したがって、低レートでもフリッカの発生が少なくなる。

【0928】図195は、奇数画素行のゲート信号線17bを点灯制御線1791aに接続し、偶数画素行のゲート信号線17bを点灯制御線1791bに接続した構成である。

【0929】図195では1画素行ごとにEL素子15を点灯制御できるので低レートでもフリッカの発生が少なくなる。また、点灯制御線1791が2本と本数も少なくなる。

【0930】図196は、4画素行ごとにゲート信号線17bを点灯制御線1791aまたは点灯制御線1791bに接続した構成である。図196では、画素への電流（電圧）プログラムのタイミングと同期を取りやすい。

【0931】以上の実施例は、点灯制御線1791に印加する電圧により、画素行ごとにオンオフ制御を行うものであり、本発明は、EL素子15を間欠動作させることを目的としている。したがって、点灯制御線1791の有無に限定されるものではない。

【0932】例えば、図197では点灯制御ドライバ回路1891を表示画面の1辺に形成（配置）している。つまり、表示画面の1辺にゲートドライバ12を形成（配置）し、この辺の対面に点灯制御ドライバ回路1891を配置（形成）している。点灯制御ドライバ回路1891は、低温ポリシリコンあるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成してもよいし、シリコンチップで構成し、アレイ基板49にCOG技術などを用いて積載してもよい。ただし、図197のように、複数のゲート信号線17bを共通（ブロック）することにより、回路構成は極めて簡易になる。したがって、アレイ基板49に直接形成しても、シリコンチップで構成しアレイ基板49に積載しても、ほとんど面積を占有しない。したがって、表示パネルの狭額縁化を実現できる。なお、点灯制御ドライバ回路1891をソースドライバ14と同一辺に配置して、3辺フリー構

成を実現してもよい。

【0933】図197までの実施例では、ゲートドライバ12は、低温ポリシリコンあるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成するか、シリコンチップで構成し、アレイ基板49にCOG技術などを用いて積載するとして説明したが、本発明はこれに限定されるものではない。例えば、図198に図示するように、ソースドライバ14が配置された辺から、ゲート信号線17aを配線してもよい。つまり、点灯制御線1791とゲート信号線17aの両方を表示画面21の端に形成するのである。他の構成は図187などと同様であるので説明を省略する。

【0934】また、図199に図示するように、表示画面の2つの辺にソースドライバ14、ゲートドライバ12をそれぞれ配置（形成）し、表示画面21の中央部でそれぞれのゲートドライバ12とソースドライバ14と接続するように構成してもよい。このように構成することにより、ゲート信号線17aの引き回しが減少（1/2になる）し、狭額縁化を実現できる。

【0935】図200はソースドライバ14とゲートドライバ12などをパネルに配置した説明図である。図200では、ソースドライバ14をシリコンチップで作製し、アレイ基板49の1辺に配置している。ゲートドライバ12は、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成している。点灯制御線1791へのオンオフ電圧はソースドライバ14より出力している。

【0936】図201は点灯制御ドライバ回路1891を低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成した実施例である。もちろん、点灯制御ドライバ回路1891をシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0937】図202は、点灯制御線1791へのオンオフ信号はコントロールIC101などから出力した例である。このように、点灯制御線1791のオンオフデータをマイコンなどのコントロールIC101などから出力するように構成することにより、ソースドライバ14の仕様が簡易となり、また、駆動方法に変更があっても、ソースドライバ14の変更が不要となる。

【0938】図203は表示画面21aを駆動するゲートドライバ12aとソースドライバ14a、および表示画面21bを駆動するゲートドライバ12bとソースドライバ14bを用いた構成である。他の構成は、以前の実施例と同様であるので説明を省略する。

【0939】図204は点灯制御線1791へのオンオフ信号がコントロールIC101などから出力し、ゲートドライバ12およびソースドライバ14を、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成した実施例である。

もちろん、ソースドライバ14、点灯制御ドライバ回路1891などをシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0940】図205は点灯制御線1791へのオンオフ信号がコントロールIC101などから出力し、ゲート信号線17aへの制御信号およびソース信号線18への画像データをソースドライバ14aで実現した構成である。ソースドライバ14aを、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成してもよい。また、ソースドライバ14aなどをシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0941】図173～図182などにおいて、逆バイアス電圧 V_m の印加する方式について説明を行った。逆バイアス電圧 V_m は基本的にはEL素子15に電流を印加していない時に、印加する方式であった。一方、図188などで説明したブロック駆動方式は、ブロックごとに非表示領域312と画像表示領域311を形成するものであった。これらを基に、ブロック駆動で非表示領域312のEL素子15に逆バイアス電圧 V_m を印加することができる。つまり、ブロックごとに逆バイアス電圧（電流）を印加するのである。ただし、逆バイアス電圧 V_m は非表示領域312のブロックすべてに印加することに限定されるものではない。例えば、任意のブロックを複数に分割し、分割されたブロックごとに逆バイアス電圧 V_m を印加する構成でもよい。もちろん、ブロックごとに非表示領域312制御を実施し、逆バイアス電圧 V_m の印加制御は1画素行ずつ行ってもよい。

【0942】以上のように、ブロックごとに逆バイアス電圧 V_m を印加するように構成することにより、図173などで説明した画素構成などが簡略され、制御も容易となる。特に、非表示領域312に逆バイアス電圧 V_m を印加するため、ロジックも簡単である。

【0943】図206はブロック駆動と逆バイアス電圧駆動とを組み合わせた場合の本発明の実施例であり、図173の画素構成と同様である。この画素構成は、図188で説明したブロック駆動とを組み合わせている。なお、ブロック駆動は図188～図205で説明したいずれの構成であっても適用できることは言うまでもない。

【0944】図206において、点灯制御線1791にオフ電圧 V_{gh} を印加することにより、該当ブロックが非表示領域312となる。同時に（同時に限定されるものではない。該当点灯制御線1791にオフ電圧 V_{gh} が印加されている期間であれば、いずれの期間でもよい）、逆バイアス制御線2111にオン電圧 V_{gl} を印加する。すると、該当ブロックのEL素子15に逆バイアス電圧 V_m が印加される。つまり、ロジック的には、点灯制御線1791の逆位相の信号を逆バイアス制御線2111とすればよい。

【0945】同様に、図207は図189の構成に、逆

バイアス駆動方式を追加した構成である。また、図208は図190の構成に、逆バイアス駆動方式を追加した構成であり、図209は図191の構成に、逆バイアス駆動方式を追加した構成である。動作は、容易であるから、あえて説明を要さないであろう。

【0946】なお、先にも記載したが、逆バイアス電圧 V_m の印加とブロック駆動とは、完全に同期を取る必要はない。また、走査周期も完全に一致させる必要はない。

10 【0947】以下、本発明のブロック駆動の説明を引き続き行う。図210は、本発明のブロック駆動方法の説明図である。以降の説明図においても、説明を容易するため、画素構成は図6で図示した画素構成として説明する。しかし、これに限定されるものではなく、図19、図86、図87などの他の画素構成もよいことは言うまでもない。

【0948】図6の画素構成の場合、電流プログラムを行っている画素行のスイッチング用TFT11dはオフ状態にする必要がある。つまり、選択画素行にはEL素子15がソース信号線18から見えないよう（ソース信号線18にEL素子15が接続されていない）に駆動する。これは、ソース信号線18からのプログラム電流がEL素子15に流れ込むことを防止するためである。EL素子15でプログラム電流が流れ込むと正規の電流をコンデンサ19にプログラムできなくなるからである。

【0949】したがって、ブロック駆動を実施する時は、選択画素行を含むブロックは非表示領域312とする必要がある。つまり、該当ブロック内の画素行が選択されている時は、このブロックは絶えず、非表示領域312とする。逆に、他のブロックは画像表示領域311でも、非表示領域312のいずれでもよい。フリッカを抑制するには、この選択画素行以外のブロックをオンオフ制御することにより行う。

【0950】図210(a)はブロック1981bの1本の書き込み画素行871aが選択されている。そのため、ブロック1981bは非点灯状態に制御されている。もし、ブロック1981が6画素行で構成されるのであれば、選択されたブロック1981は6Hの期間、非点灯表示に制御される。

40 【0951】図210(b)は図210(a)から1H後の表示状態である。選択された書き込み画素行871aは1画素行シフトされている。図210(a)において、非表示領域312のブロックは、1981b、1981d、1981f、1981h、1981jである。図210(b)では、非表示領域312のブロックは、1981a、1981b、1981e、1981g、1981iとなっている。つまり、図210(a)と

50 (b)では選択された書き込み画素行871aを含むブロック1981b以外は反転（非表示領域312と画像表示領域311とが逆転）している

【0952】なお、選択画素行は1画素行に限定されるものではなく、複数本でもよい。例えば、図45、図46、図121などで説明したように、複数本の画素行を選択する方法と図210のブロック駆動あるいは図206の逆バイアス電圧駆動などと組み合わせることができる。

【0953】また、図210では、選択画素行のスイッチング用TFT11dをオフ状態とし、EL素子15は点灯させないとしたが、図19のようにカレントミラー構成の場合は、ソース信号線18とEL素子15とは接続されていない。したがって、選択画素行も表示状態としてもよい。ただし、選択画素行は、プログラム中であって、その期間の画像はみだれるので、非点灯状態に制御することが好ましい。

【0954】図210では、非表示領域312と画像表示領域311との反転は、1H周期で行うとしたが、これに限定されるものではなく、2Hであったり、それ以上であったりしてもよい。また、比較的ランダムに点灯制御を行ってもよい。また、当然のことながら、非点灯のブロックに逆バイアス電圧Vmを印加してもよい。

【0955】なお、非表示領域312と画像表示領域311との制御は、RGBの画素で同時に行う必要はなく、R、G、Bで点灯制御を異ならせても良い。これは、FSC（フレームシーケンシャルコントロール）の場合も含まれる。

【0956】また、図210は1ブロックごとにオンオフ制御を行うとしたが、これに限定されるものではない。例えば、図211のように、2つのブロック（例えば、図211（a）ではブロック1981bと1981cとを非表示領域312としている。また、ブロック1981dと1981eとを画像表示領域311としている）で制御を行ってもよい。また、1H後に図211（b）のように点灯制御を行ってもよい。図211

（a）と（b）では1ブロックずつずらして点灯制御を行っている。なお、図210、図211などでは図示を容易にするため、ブロック1981の数を非常に少なくしている。以上の事項は他の実施例においても同様である。

【0957】図212はブロックの点灯制御により、表示画面21に明るさ分布を形成する方法である。説明を容易にするため、図212（a）を1H目の状態とし、図212（b）を図212（a）の次の1H後であるとして説明する。もちろん、図212（a）と（b）は所定期間はなれた状態であればよい。

【0958】明るさ分布を構成するには、ガウス分布が例示される。つまり、表示画面の中央部を明るくし、周辺部を暗くすることにより、視覚的には明るくし、消費電力を低減する手法である。本発明では、画面の左右方向は、映像信号の変調により、データ自身を変更して明るさ分布を形成する。例えば、1画素行のラインメモリ

を搭載し、このメモリに演算に必要な係数を保持させておく。例えば、画面の端が中央部に比較して50%であれば、50%に相当する係数を保持させておく。以下、ラインメモリには中央部が100%になるように、かつガウス分布を満たすように係数を保持させておく。印加された画像データはこのラインメモリの係数と演算され、演算された結果が、各ソース信号線に印加される。

【0959】なお、画面の縦方向にも非表示領域312をオンオフできるように、画素構成すれば、画面の左右方向は、映像信号の変調によりデータ自身に変更され、そのために明るさ分布を形成する必要がなくなる。例えば、1画素列のスイッチング用TFT11dをオンオフ制御できるように信号線を形成すればよい。つまり、スイッチング用TFT11dを表示画面でマトリクス状に制御できるようにすればよいのである。

【0960】また、ガウス分布とは一実施例である。つまり、表示画面21の中央部近傍を明るくする輝度の分布状態を発生するものである。したがって、ガウス分布に限定されるものではなく、サインカーブ状の明るさ分布であったり、円錐状の明るさ分布であったりしてもよい。また、本発明はスイッチング用TFT11dなどを制御して明るさ分布を発生させるものであるから、表示画面21の中央部を明るくするという事に限定されるものではない。例えば、表示画面の中央部が最も暗い状態であってもよいし、表示画面の上部が最も明るい状態でもよい。これらの明るさ分布状態もスイッチング用TFT11dなどを制御することにより、容易に実現することができる。単に、ゲート信号線17bの制御タイミング、オン時間を調整（変化）させることにより実現できるからである。

【0961】また、画像の種類にあわせて、明るさの分布状態をユーザーが自由に、あるいは自動的に変更することができる。例えば、パーシャル表示の時は、パーシャル表示位置を特に明るく表示することができる。また、任意の表示部分の色を容易に変化させたり、屋外で必要な部分のみが明るく見えるように表示したりすることができる。

【0962】また、明るさはR、G、Bの3原色を同時に、かつ同一位置に変化させて発生させる（白色が移動する）ことに限定されるものではない。例えば、Rのみの最大輝度位置を移動させることもできる。以上のように、各色の最大輝度（最小輝度）位置を変化させることにより表示画面21での色模様を発生させることができる。

【0963】表示画面21の上下方向における明るさの分布の形成は、ブロック1981のオンオフ制御により実現する。つまり、表示画面の中央部のブロック1981のオフ回数を少なくし、表示画面の上または下はオフ回数を多くする。オフ回数が多いほど表示画面は暗くなり、少なくなるほど明るくなる。このオンオフを制御す

ることにより、表示画面の上下方向にガウス分布を形成できる。したがって、表示画面の左右方向は映像データの演算（もしくはアナログ変調で振幅値を変調する場合もあるであろう）などにより、明るさを調整（制御）し、表示画面の上下方向はブロック 1981 のオンオフ制御により、表示画面の明るさ調整（制御）を行う。

【0964】なお、図 212 などにおいて、ブロック 1981 のオンオフ制御により、明るさ分布を形成するとしたがこれに限定されるものではない。ブロック 1981 に限らず、画素行ごとにオンオフ制御することによって明るさ分布を形成できることは言うまでもない。また、複数画素行ごとにオンオフ制御することでも実現できる。つまり、ブロック 1981 でオンオフ制御するというのは、複数の画素行の集まりとしてオンオフ制御しているに過ぎない。したがって、図 212 などは、本発明の技術的範囲の限定された 1 つの実施例である。

【0965】図 212 (a) での非表示領域 312 はブロック 1981b、1981d、1981h、1981j である。図 212 (b) での非表示領域 312 はブロック 1981a、1981c、1981i、1981k である。したがって、中央部のブロック 1981e、1981f、1981g は図 212 (a)、(b) とともに点灯している。したがって、中央部は明るくなる。

【0966】一方、図 212 (a) では、ブロック 1981a、1981c、1981i、1981k は画像表示領域 311 であるが、図 212 (b) では逆に非表示領域 312 となっている。したがって、表示画像の上下部は暗くなる。

【0967】以上のことから、ブロック 1981 ごとにオンオフ制御することにより、表示画像に明るさ分布を形成できる。なお、図 212 において、中央部のブロック 1981e、1981f、1981g は図 212

(a)、(b) とともに点灯しているが、次の 1H で非点灯状態とするなどの制御を行うことにより、自由に明るさの制御を実現でき、また、フリッカの発生も抑制できる。

【0968】図 212 では、ブロック 1981 の幅はすべて同一であった。しかし、視覚的には、表示画面 21 の中央部を細かくし周辺部を荒くしてもよく、例えば、図 213 のように実施する。これは、人間の視覚による解像度は、画面の中央部が高いことによる。

【0969】図 213 において、オンオフ制御は、図 213 (a) と (b) とを交互に行う。そして、表示画面 21 の中央部のブロック 1981f ~ 1981n では細かいブロック単位（1 単位）でオンオフ制御を行い、前記中央部の上下は 2 ブロック単位でオンオフ制御を行い、表示画面の上下は 3 ブロック単位でオンオフ制御を行う。なお、書き込み画素行 871a のオフ制御は図 177 で説明した方法で行い、非表示領域 312 とする

【0970】図 213 は点灯ブロック 1981 の幅を変

化させることにより、表示画面の中央部でオンオフ制御を行い、視覚的にあわせた表示を実現するものであったが、図 214 は複数単位周期でオンオフさせる回数を制御することにより、表示画面のガウス分布を実現するものである。図 214 は 6 周期（図 214 (a) → (b) → (c) → (d) → (e) → (f) → (a) → (b) → (c) → (d) → (e) → (f) → (a)）で表示画面の明るさ分布を形成するものである。もちろん、6 周期に限定されるものではなく、2 周期や、8 周期以上であってもよい。また、周期の単位は、1H、1F、あるいは、他のクロックに同期させればよい。なお、図 214 においても、表示画面の左右方向へのガウス分布は、映像信号などで行う。このことは図 210 などで説明しているので省略する。また、以上の事項は他の本発明にも適用される。

【0971】図 214 でわかるように、図 214 (b)、(e) で表示画面の中央部に画像表示領域 311 を発生させ、図 214 (c)、(f) でも、表示画面の中央付近に画像表示領域を多く発生させている。このように制御することにより、表示画面の中央部が明るくなる。したがって、良好なガウス分布を発生させることができる。

【0972】図 215 は、ガウス分布を発生させるものではなく、複数の期間で点灯ブロック 1981 の位置を変化させることにより、フリッカの発生を抑制するものである。図 215 (a) では、2 ブロックごとに非表示領域 312 を発生させ、次のブロックの図 215 (b) では、3 ブロックごとに非表示領域 312 を発生させている。また、次のブロックの図 215 (c) では、4 ブロックごとに非表示領域 312 を発生させている。以上のように、非表示領域 312 もしくは画像表示領域 311 の位置を複数の周期で変化させることにより、フリッカの発生を抑制できる。また、図 213、図 214 で説明した方法を組み合わせることにより、ガウス分布も発生できる。

【0973】なお、以上の実施例は、図 216 に図示するようにブロック 1981 単位で点灯位置を変化させるものであった。しかし、本発明はこれに限定されるものではない。例えば、図 217 に図示するように、1/2 ブロックずつ点灯位置を変化させてもよい。つまり、以上の実施例は、ブロック単位でオンオフ制御することを主として説明したがこれに限定されるものではない。ガウス分布の発生、フリッカの抑制は、ブロック 1981 単位でなくとも実現できるからである。以前に説明したように、1 画素行単位で非点灯制御を実施すればよい。もちろん、複数画素行単位で非点灯制御あるいは点灯制御を実施すればよい。

【0974】また、画素行に限定されるものではなく、画素列でオンオフ処理を実施してもよく、また、画素行と画素列の両方でオンオフ処理を実施してもよい。ま

10

20

30

40

50

た、オンオフする画素行などは順次処理をすることに限
定されるものではなく、ランダム処理を実施してもよ
い。ランダムに画素行（画素列）をオンオフ制御するこ
とにより、表示画面 21 を見えにくくしたり、フリッカ
を発生させたりすることもできる。また、特定画素行
（画素列）を常時、非表示領域 312 にすることもでき
る。また、画面全体あるいは一部を低フレームレートで
オンオフ表示（非表示領域 312 と画像表示領域 311
を交互に繰り返す）することにより、画面をフラッシ
ングさせたりすることもできる。これらは画像のスクラン
ブル処理あるいは特殊効果処理として応用できる。

【0975】ただし、以上の表示状態は、ブロック 19
81 単位で制御を行うことにより、回路構成が容易にな
り、パネル構成、画素構成も容易となることは言うま
でもない。

【0976】図 218 に図示するように、画像表示領域
311 を表示画面 21 の上から下へ走査することにより
画像を表示する（(a) → (b) → (c) → (d) →
(e) → (a) → (b) → (c) →）。この時、走査ク
ロックを制御することにより、表示画面の上下方向に明
ろさ分布（ガウス分布など）を実現できる。

【0977】図 218 では（c）の表示状態で、画像表
示領域 311 が走査されるときは、画像表示領域 311
の走査速度を遅くする。（a）、（e）の部分に画像表
示領域 311 が走査されるときは、画像表示領域 311
の走査速度を速くする。（b）、（d）の部分に画像表
示領域 311 が走査されるときには、画像表示領域 311
の走査速度は（a）と（c）の中間の速度にする。走
査速度は図 21 などで説明したゲートドライバ 12 のシ
フトレジスタ 22 に印加する CLK* を制御することによ
り実現できる。また、図 187 などで説明した点灯制
御線 1791 を制御することにより実現できる。

【0978】以上のように、画像表示領域 311 を制御
することにより、表示画面 21 の中央部が最も高輝度と
なり、画面の上下部分が最も暗くなる。したがって、表
示画面 21 の上下方向にガウス分布などを形成できる。
もちろん、画素列方向に制御して、画面の左右方向にガ
ウス分布などを形成してもよい。また、映像信号の演算
処理でも実現できる。

【0979】なお、図 218 では、画像表示領域 311
の走査スピードを画面位置で変化させることにより、表
示画面にガウス分布などの輝度分布を形成するとした
が、この技術的思想は EL 表示装置に限定されるもので
はない。例えば、LED 表示装置でも適用できることは
明らかである。また、自己発光型の表示パネル（表示装
置）に限定されるものではない。例えば、液晶表示装置
でも適用することができる。

【0980】液晶表示装置では、バックライトを改良し
て実現する。バックライトは、画素行方向に沿ってスト
ライプ状の発光領域が複数配置されたものを用いる。例

えば、ストライプ状の白色 EL 素子が画素行方向に沿っ
て、少なくとも 10 本以上形成されたものを用いる。こ
のストライプ状の発光素子を上から順に点灯していけば
よい。つまり、ストライプ状の EL 素子を点灯させると
きに、表示画面 21 の中央部に該当するストライプ状 EL
素子 15 の点灯時間を長くすると、バックライトの発
光状態を図 218 の状態にすることができる。

【0981】したがって、液晶表示装置では、そのもの
自身では点灯表示状態を図 218 のようにすることはで
きないが、バックライトの点灯領域を走査状態とすること
により、図 218 で説明した画像表示を実現できる。
以上の事項は図 221、図 222、図 223、図 210
などにおいても適用できることは言うまでもない。

【0982】図 219 はゲート信号線 17a の駆動波形
を図示している。なお、説明を容易にするため、MCLK
の周期は 1H（1 水平走査期間）としている。しか
し、これに限定されるものではない。1H よりももっと
高速のクロックを用いることにより柔軟性のある制御を
実現できる。

【0983】図 219 の 'a' で示す部分が図 218
(a) の表示状態に該当する。同様に、図 219 の
'b' で示す部分が図 218 (b) の表示状態に該当
し、図 219 の 'c' で示す部分が図 218 (c) の表
示状態に該当する。また、図 219 の 'd' で示す部分
が図 218 (d) の表示状態に該当し、図 219 の
'e' で示す部分が図 218 (e) の表示状態に該当す
る。

【0984】なお、画素構成は図 6 の構成を例示して説
明をする。したがって、ゲート信号線 17a にオン電圧
Vgl が印加された時に、該当画素行が選択される。し
かし、本発明の実施例は、図 6 の画素構成に限定される
ものではなく、図 19 などのカレントミラー構成、図 8
6、図 87 などの電圧プログラムの画素構成にも適用で
きる。

【0985】図 219 に図示するように、'a'、
'e' の部分は 1H 幅のクロックで画素行がシフトされ
る。'b'、'd' の部分は 2H 幅のクロックで画素行
がシフトされる。また、'c' の部分は 3H 幅のクロッ
クで画素行がシフトされる。したがって、'c' の部分
は 'a' の部分に比較して 3 倍、画素行のシフト動作が
遅い。つまり、'c' の部分は 'a' の部分に比較して
3 倍明るくなる。そのため、表示画面の中央部が最も明
ろくなり、上下部を最も暗くすることができる。

【0986】図 219 では、表示画面の中央部におい
て、シフトレジスタ 22 のデータ転送を 3 クロックとし
た。また、表示画面の上下部において、シフトレジスタ
22 のデータ転送を 1 クロックとした。また、表示画面
の上下部と中央部において、シフトレジスタ 22 のデー
タ転送を 2 クロックとした。しかし、図 219 のよう
に、クロックの切り替えが 3 段階であると、切り替えの

境目がくっきりと明るさの差で表示される。したがって、境目が見えないように、実際はデータの転送クロックの差を小さくするとともに、変化するクロック数を多様にすることが好ましい。つまり、図 219 は説明のための図である。

【0987】例えば、表示画面の中央部において、シフトレジスタ 22 のデータ転送を 5 クロックとし、表示画面の上下部において、シフトレジスタ 22 のデータ転送を 3 クロックとし、表示画面の上下部と中央部において、シフトレジスタ 22 のデータ転送を 4 クロックとする。

【0988】また、表示画面を 9 分割の領域以上とし、表示画面の上から第 1 領域、第 2 領域、第 3 領域、・・・第 9 領域とすれば、中央部の第 5 領域を、シフトレジスタ 22 のデータ転送を 15 クロックとし、第 1 領域、第 9 領域を、シフトレジスタ 22 のデータ転送を 11 クロックとする。第 2 領域、第 8 領域を、シフトレジスタ 22 のデータ転送を 12 クロックとする。第 3 領域、第 7 領域を、シフトレジスタ 22 のデータ転送を 13 クロックとする。第 4 領域、第 6 領域を、シフトレジスタ 22 のデータ転送を 14 クロックとする。以上のように、表示画面を分割してそれぞれ最適にオンオフ制御すれば、明るさの境目は目立たない。

【0989】また、図 220 の方法も表示画面の明るさの境目が見えなくすることに対して有効である。図 220 では、表示画面 21 の中央部領域のゲート信号線 17a の信号波形を図示している。

【0990】図 220 でわかるように、各フィールド（フレーム）（F）で表示位置に対する 3 クロックのシフト開始タイミングを変化させている。図 220 では説明を容易にするために、1 F から 4 F では 1 クロックずつ開始位置をシフトしている。現実には、各 F ごとに 1 クロックずつシフトするのではなく、ある F では 1 クロック分シフトするが、他の F ではシフトしないなどの処理を行う。また、3 クロックのシフトを実施する回数は各 F ごとに変化させる。

【0991】例えば、1 F 目は、表示画面の中央部の 3 クロックの開始位置が、画素行（90）（90 画素行目）から開始されるとし、3 クロックでシフトレジスタが転送される範囲を 20 画素行とする。2 F 目は、表示画面の中央部の 3 クロックの開始位置が、画素行（92）から開始されるとし、3 クロックでシフトレジスタが転送される範囲を 16 画素行とする。また、3 F 目は、表示画面の中央部の 3 クロックの開始位置が、画素行（94）から開始されるとし、3 クロックでシフトレジスタが転送される範囲を 12 画素行とする。さらに、4 F 目は、表示画面の中央部の 3 クロックの開始位置が、画素行（96）から開始されるとし、3 クロックでシフトレジスタが転送される範囲を 8 画素行とする。以上のように処理を行うことにより、中央部が最も明る

く、表示画面の上部の表示輝度から、この中央部の表示輝度に变化する境目を目立ちにくくすることができる。

【0992】なお、シフトの開始位置はループ状に処理を行う。例えば、図 220 では 1 F → 2 F → 3 F → 4 F → 1 F → 2 F・・・と繰り返す。また、図 220 では表示画面の中央部は 3 クロック周期で画素行をシフトするとしたがこれに限定されるものではなく、図 219 で説明したように、輝度分布がなめらかに変化するようにクロック数、表示領域を調整することは言うまでもない。

【0993】図 219 と図 220 を組み合わせることによりさらに、画面表示の明るさ分布処理が目立たず、良好な表示を実現できることは言うまでもない。

【0994】図 219、図 220 で説明した駆動方法は、表示画面 21 に輝度分布を意識的に形成するものであったが、この技術的概念は、他の画像表示にも応用できる。

【0995】図 221 は表示画面 21 に 2 つの輝度部分を形成（表示）したものである。図 221 において、画像表示領域 311a は画像表示領域 311b よりも明るく表示していることを示している。図 221（a）ではメモ 1 の画像表示領域 311a を他の画像表示領域 311b よりも明るくする。画像表示領域 311a を画像表示領域 311b よりも明るく表示することは、図 218 などでも説明した方法で容易に構成できる。また、各部の表示領域を選択する回数を制御すればよいのであるから容易に他の方法でも実現できる。

【0996】図 221 では、ユーザーが選択する領域を明るく（もしくは暗く）表示することにより、表示装置の使い勝手を良好なものとしている。もちろん、選択した画像表示領域 311 の色を変化させたりすることも好ましい。図 221 の表示方法はメニュー選択画面などに適用することが好ましい。ユーザーの操作で画面表示を切り替えることができ、操作性が向上するからである。また、マイコンなどの制御により、自動的に図 221 の画面表示状態となるように構成してもよい。また、屋外では外光が強く、表示画像が見えなくなるので、特に必要な部分のみを強く点灯するように（画像表示領域 311a）制御を行っても良い。例えば、外光の明るさを検出し、その検出した外光の強さが一定値以上の場合において、ユーザーが電源スイッチを押して表示画面 21 を表示した場合などである。

【0997】また、図 222（a）に図示するように、強く点灯する画像表示領域 311a を表示画面 21 の複数箇所に設けたり、点滅させてもよい。点滅させるとは、図 222（a）において、画像表示領域 311a を 0.5 秒サイクルでオンオフさせたり、低輝度と高輝度を交互に表示させたりすることである。

【0998】また、図 222（b）に図示するように、高輝度画像表示領域 311a、低輝度画像表示領域 311

1 b、非表示領域 3 1 2 とを組み合わせる画像表示を行っても良い。

【0999】図 2 2 3 は表示画面 2 1 のスクロール効果を持たせたものである。図 1 9 0 (a) では、表示画面 2 1 の中央部まで、高輝度画像表示領域 3 1 1 a としており、図 1 9 0 (b) が表示画面 2 1 の下端近傍まで、高輝度画像表示領域 3 1 1 a としている。

【1000】また、表示画面 2 1 全体を同時に低輝度表示することも可能であることは言うまでもない。本発明は点灯制御線 1 7 9 1 あるいはゲート信号線 1 7 b を制御して EL 素子 1 5 に流れる電流をオンオフさせることにより表示画面 2 1 の輝度を調整（制御）する。したがって、ソースドライバ 1 4 から出力する画像データは変化しないので、表示画像のコントラスト、ガンマカーブは、表示画像の輝度によらず一定値が保たれることにも特徴がある。そのため、表示画面 2 1 全体を同時に低輝度表示しても、階調特性はそのまま保たれる（例えば、64 階調表示をしている場合は、表示画面の輝度が 1/2 となっても、64 階調が保たれる）。

【1001】図 2 2 3 に図示するように、最初に表示画面 2 1 全体を低輝度画像表示領域 3 1 1 b としておき（低輝度表示としておき）、表示画面を書き換えるという効果を発揮させるために、表示画面 2 1 の上から、下方向に高輝度画像表示領域 3 1 1 a としていく（高輝度表示としていく）。したがって、図 2 2 3 の矢印方向に高輝度表示を行っていくことにより、1 表示画面 2 1 が書き換えられる。そして、一定時間の間、高輝度表示を連続させると、低消費電力化の観点から、表示画面 2 1 全体を低輝度表示にする。

【1002】なお、有機 EL 表示パネルでは、白ラスタ表示で、大きな電力を必要とする。この白ラスタ表示用の電源回路を設けると電源回路が非常に大きくなる。一方で、通常のキャラクタ表示では、白ラスタ表示の 1/5 ~ 1/3 の電力しか冗費しない。したがって、白ラスタ表示の対応ができるように電源の出力電流を保有することは経済的あるいは、システムサイズの観点から好ましくない。

【1003】この課題に対処するため、本発明では、一定値以上の電力を消費される画像（例えば、白ラスタ表示など）を表示する場合は、画像の輝度を低下させて表示するように構成している。例えば、白ラスタで 100 mA の電流が流れる場合は、1/2 の 50 mA の電流となるように画像データを処理する。つまり、入力画像のデータの総和を求め、総和が一定値以上となる場合は、画像データに演算処理を行って、保有する電源電力で表示可能なように画像データの値を小さくするのである。

【1004】もちろん、画像データの値を小さくすることに限定されるものではなく、図 1 8 7、図 2 1 8、図 2 2 2 など説明した非点灯制御を行うことにより、表

示画面 2 1 全体の輝度を低減することができる。もちろん、画像表示部のみの輝度を低減し、アンテナ表示、時計表示などのアイコン部分は従来の輝度（そのままの輝度）を保つように制御することもできることは言うまでもない。

【1005】なお、以上の実施例は、画像表示領域 3 1 1 もしくは非表示領域 3 1 2 を表示画面の上下方向に走査することにより、画像表示を行うか、異なる輝度表示領域を形成（表示）するとして説明をした。しかし、本発明はこれに限定されるものではない。例えば、図 2 2 1 などにおいて、表示画面 2 1 の各部分を選択する回数を制御すれば明るさ分布を形成できる。つまり、図 2 2 1 において、表示画面 2 1 を表示するフレームレートが 60 Hz の時、画像表示領域 3 1 1 b を 25 回選択し、画像表示領域 3 1 1 a を 50 回選択するように制御すれば、画像表示領域 3 1 1 a は画像表示領域 3 1 1 b の 2 倍の輝度で表示できる。同様に、図 2 2 3 (b) において、表示画面 2 1 を表示するフレームレートが 60 Hz の時、画像表示領域 3 1 1 b を 25 回選択し、画像表示領域 3 1 1 a を 50 回選択し、非表示領域 3 1 2 を全く選択しないように制御すれば、画像表示領域 3 1 1 a は画像表示領域 3 1 1 b の 2 倍の輝度で表示でき、3 1 2 の非表示領域を黒表示にすることができる。

【1006】なお、以上説明した事項は、図 2 0 5 などで説明したブロック駆動あるいは図 2 0 6 で説明した逆バイアス電圧駆動にも適用できることは言うまでもない。また、ブロック駆動において、各ブロックを構成する画素行の本数は 1 つの文字列を表現する本数にすることが好ましい。例えば、1 文字が 16 × 16 ドットで構成されるのであれば、16 画素行を 1 つのブロックとする。また、1 文字が 24 × 24 ドットで構成されるのであれば、24 画素行を 1 つのブロックとする。このように、文字を構成する縦方向のドット数をブロック数とを一致させることにより、文字を表示する行ごとに画像表示領域 3 1 1、非表示領域 3 1 2 を制御することができる。

【1007】（実施の形態 12）図 6 3 の表示方法のように、奇数画素行と偶数画素行（もしくは複数画素行ごと）を所定フィールド（フレーム）ごとに切り替える表示方法は、立体画像表示装置もしくは方法に適用することができる。以下、本発明の立体表示装置について図 2 2 4、図 2 2 5 を参照しながら説明をする。

【1008】まず、本発明の表示方法は基本的に画素行単位（画素行の方向）に画像表示領域 3 1 1 と非表示領域 3 1 2 を構成するものである。したがって、図 6 3 のように表示する場合は縦横を変換する必要があるが、この変換は容易である。メモリに蓄積された画像データを行と列を入れ替えればよいからである。縦横を変換すれば図 2 2 4 (a1) の表示状態となる。つまり、表示パネルの走査方向は A に示す矢印方向となるが、画像は図

224 (a1) に示すように、紙面上が画面上となり、紙面下が画面下となる。したがって、表示パネルの使用者にはあたかも画面上から下に走査しているように見える。

【1009】表示パネルの表示画面21は左から奇数画素列(行)に右目の画像を表示し、偶数画素列(行)に左目の画像を表示する。画像表示は表示パネルと同期する観察用眼鏡852と同期させる。観察用眼鏡852はシャッタ851として機能する2つの液晶パネルを具備している。

【1010】第1フィールド(第1フレーム)では図224(a1)に示すように、左から奇数番目の画素列(実際は奇数番目の画素行)が画像表示領域311となり、左から偶数番目の画素列(実際は偶数番目の画素行)が非表示領域312となる。図224(a1)の表示状態と同期して、観察用眼鏡852の左目用のシャッタ851Lが閉じ、観察用眼鏡852の右目用のシャッタ851Rが開く。したがって、観察者は右目だけで、図224(a1)の画像を見ることになる。

【1011】第1フィールド(第1フレーム)の次の第2フィールド(第2フレーム)では図224(a2)に示すように、左から偶数番目の画素列(実際は偶数番目の画素行)が画像表示領域311となり、左から奇数番目の画素列(実際は奇数番目の画素行)が非表示領域312となる。図224(a2)の表示状態と同期して、観察用眼鏡852の右目用のシャッタ851Rが閉じ、観察用眼鏡852の左目用のシャッタ851Lが開く。したがって、観察者は左目だけで、図224(a2)の画像を見ることになる。

【1012】以上の動作を交互に繰り返すことにより、観察者が使用する眼鏡型のシャッタ851と画像表示状態とが同期して交互に観察者に見えるようにすることにより立体画像表示を実現できる。

【1013】シャッタ851を用いずに立体画像表示を実現するためには、図225に図示したように表示パネルの光出射側にプリズム861を配置すればよい。プリズム861のA部をある表示タイミングにおける画像表示領域311に対応するように配置し、プリズム861のB部を前述の表示タイミングにおける非表示領域312に対応するように配置する。このように、プリズム861を配置することにより、奇数画素行の画像が観察者の右目に入射するようにし、偶数画素行の画像が観察者の左目に入射するように構成することができる。なお、プリズム861と表示パネル間にはエチレングリコールなどの光結合材862を配置し、オプティカルカップリングさせておく。

【1014】なお、図224において切り替え手段852は眼鏡としたがこれに限定されるものではない。観察者の右目に入射する光と左目に入射する光とを制御できるものであればいずれのものでもよい。例えば、ゴーグ

ルタイプのもものが例示される。また、切り替え手段852と表示パネルとが一体となったもの(ヘッドマウントディスプレイ)が例示される。また、シャッタ851は液晶表示パネルに限定されるものではなく、カメラのシャッタ、回転フィルタのようにメカニカルなものでもよい。また、ポリゴンミラーを組み込んだもの、PLZTを用いたシャッタ、エレクトロルミネッセンスを応用したシャッタなども例示される。

【1015】以上のように、1つの表示パネルの表示画像を図63の表示方法を用いることにより立体表示を実現できる。なお、図224、図225の装置または方法は、複数画素行(列)ごと、あるいは奇数画素行(列)と偶数画素行(列)ごとに異なる画像を表示するというものであり、その用途は立体表示のみに限定されるものではない。例えば、単に2つの画像を重ね合わせて表示するという用途に用いてもよい。なお、本発明のEL表示装置を用い、本発明の駆動方法を実施することが特に有効であることは言うまでもない。

【1016】なお、各画素を駆動する素子はTFT11としたがこれに限定されるものではない。例えば、薄膜ダイオード(TFD)の組み合わせにより、画素16を構成でき、このダイオードの一方の端子電圧レベルを操作することにより、EL素子15に流す電流を間欠動作させることができる。この構成では、必要に応じてカソード電極を横ストライプ状に加工(形成)する。その他、バリスタ、サイリスタなどのスイッチング素子でも同様である。

【1017】例えば、図6の変換用TFT11aにおける駆動用TFTを例にすれば、図226(a)に図示するように、NチャンネルまたはPチャンネルのバイポーラトランジスタでもよい。また、図226(b)に図示するように、NチャンネルまたはPチャンネルのMOSトランジスタでもよい。さらに、図226(c)に図示するように、ホトトランジスタあるいはホトダイオードでもよく、図226(d)に図示するように、サイリスタ素子などでもよい。このことは、他の画素を構成するスイッチング素子にも適用できるということを意味する。

【1018】また、TFT素子はPチャンネルでもNチャンネルのいずれでも用いることができる。また、EL素子15の位置は図6または図19のような位置に限定されるものではない。例えば、図185(a)は図6の変換用TFT11aとEL素子15との接続状態を抜き出したものである。この変形として図185(b)の構成も例示される。また、駆動用TFTをNチャンネルとした図185(c)、(d)の構成も例示される。これらの事項は変換用TFT11aについてだけでなく、他の画素を構成するスイッチング素子(例えば、図6ではTFT11b、11c、11dなど)についても同様である。また、ゲートドライバ12、ソースドライバ14

を構成する素子に対しても同様に適用される。

【1019】また、TFTなどのスイッチング素子は低温多結晶Si-TFTで形成されることが望ましいが、アモルファスシリコンTFTでもよい。特に、EL素子15に流す電流が1 μ A以下の場合、アモルファスシリコン技術で形成した方が特性上十分である。また、ゲートドライバ回路、ソースドライバ回路などもアモルファスシリコン技術による素子で形成してもよい。

【1020】また、図21、図66、図67、図69などのゲートドライバ12の構成についてもこれに限定されるものではなく（図21などはST信号を順次クロックに同期してシフト動作（シリアル処理）する構成である）、例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい（すべてのゲート信号線のオンオフフロッグがコントローラかゲート信号線17の本数分、一度に出力され決定される構成など）。

【1021】図227は有機ELモジュールの構成図である。プリント基板103にはコントロールIC101と電源IC102が実装されている。プリント基板103とアレイ基板49とはフレキシブル基板104で電気的に接続される。このフレキシブル基板104を介して電源電圧、電流、制御信号、映像データがアレイ基板49のソースドライバ14およびゲートドライバ12に供給される。

【1022】この際問題となるのは、ゲートドライバ12の制御信号である。ゲートドライバ12には少なくとも5V以上の振幅の制御信号を印加する必要がある。しかし、コントロールIC101の電源電圧は2.5Vあるいは3.3Vであるため、コントロールIC101から直接ゲートドライバ12に制御信号を印加することができない。

【1023】この課題に対して、本発明は高い電圧で駆動される電源IC102からゲートドライバ12の制御信号を印加する。電源IC102はゲートドライバ12の動作電圧も発生させるので、当然ながらゲートドライバ12に最適な振幅の制御信号を発生させることができる。

【1024】図228ではゲートドライバ12の制御信号をコントロールIC101で発生させ、ソースドライバ14で一旦レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は5~8Vであるから、コントロールIC101から出力された3.3V振幅の制御信号を、ゲートドライバ12が受け取れる5V振幅に変換することができる。

【1025】図229、図164は本発明の表示モジュール装置の説明図である。図229はソースドライバ14内に内蔵表示メモリ151を持たせた構成である。内蔵表示メモリは8色表示（各色1ビット）、256色表示（RGBは3ビット、Bは2ビット）、4096色表示

（RGBは各4ビット）の容量を有する。この8色、256色または4096色表示で、かつ静止画の時は、ソースドライバ14内に配置されたドライバコントローラはこの内蔵表示メモリ151の画像データを読み出すので、超低消費電力化を実現できる。もちろん、内蔵表示メモリ151は26万色以上の多色の表示メモリであってもよい。また、動画の時も内蔵表示メモリ151の画像データを用いてもよい。

【1026】内蔵表示メモリ151の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、さらに内蔵表示メモリ151の容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ141で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【1027】なお、図229などにおいて、14をソースドライバと記載したが、単なるドライバだけでなく、電源IC102、バッファ回路154（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵表示メモリ151からの入力を処理してソース信号線に電圧あるいは電流を出力する様々な機能あるいは回路が構成されたものである。これらの事項は、本発明の他の実施例でも同様である。

【1028】なお、図229などで説明する構成は、図23~図27、図29、図32、図31などで説明する3辺フリー構成あるいはその他の構成、駆動方法などにも適用できることは言うまでもない。

【1029】図230はEL素子15を湿度から保護するための保護カバーを封止フタ41とした構成例であり、また、携帯電話などの保護カバーと兼用してもよい。保護カバーとは、表示パネルの前面を保護するために配置された透明板である。もしくは、反射型の液晶表示パネルでは、フロントライトが保護カバーとなっている。そして、封止フタ41には円偏光板74が取り付けられている。なお、円偏光板74は薄膜、または封止フタ41などに樹脂を塗布し、この樹脂を延伸することにより形成してもよい。

【1030】そして、携帯電話などの筐体193にEL素子のアレイ基板49が取り付けられている（EL表示パネルが取り付けられている）。封止フタ41内にゲートドライバ12（あるいはソースドライバ14）が配置されている。ゲートドライバ12（あるいはソースドライバ14）も、封止フタ41で保護されている。以上のように形成（構成）することで、保護カバーを省略することができ、表示パネルモジュールとしての全体の厚みを薄くすることができる。

【1031】また、図2でも説明したように、有機EL

パネルはカソード電極（もしくはアノード電極）として反射膜 46 を形成する必要がある。この電極はアルミなどで形成する。そのため、反射率は 85% 以上と良好である。

【1032】図 231 は、この反射膜 46 をミラーとして使用できるように構成した携帯電話である。通常の使用状態では図 232 に図示するように使用する（もしくは図 233 を参照のこと）。表示パネル 2046 をミラーとして使用する際には、表示パネル 2046 を右または左の支点（図示せず）を中心としてひっくり返し、裏面ミラー 2045 を使用する。

【1033】ただし、以上の実施例は、EL 表示パネルの裏面に形成された反射膜をミラーとして使用するものである。したがって、ミラーとして使用する対象は、携帯電話に限定されるものではなく、テレビ、モニター、PDA でもよい。また、表示パネルの裏面にミラーを形成するものである。したがって、カソードに限定されるものではなく、別途、表示パネルの裏面にミラーを形成した構成でもよい。例えば、反射型の液晶表示パネルでは、裏面を使用していないので、この裏面にアルミあるいは銀を蒸着し、ミラーを形成してもよい。この場合、アルミあるいは銀が腐食することを防止するため、表面に SiO₂ などの無機薄膜を形成することが好ましい。また、UV 樹脂などでも保護してもよい。

【1034】なお、図 231 において、2041 は受信した音声を聞こえるようにするスピーカーであり、2044 は、使用者の音声を入力するためのマイクである。また、図 55 で説明したように、表示モード切り替えスイッチ 465 を配置しておくことが好ましい。また、さらに、図 54 などでも説明した画面の明るさを切り替える機能を実現する切り替えスイッチを形成（配置）することが好ましい。

【1035】フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話などは待ち受け時間を長くするなどの観点から消費電力の低減を図る必要がある。一方、表示色を多くする（階調数を多くする）ためにはソースドライバ 14 などの駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【1036】一般的に、携帯電話などの情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいは EL 素子に印加する電圧（電流）波形の変化が多くなるなどの理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対して、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示する。

【1037】図 232 で説明した本発明の携帯電話では図示していないが、筐体の裏側に CCD カメラを備えて

いる。CCD カメラで撮影した画像およびデータは即時に表示パネルの表示画面 21 に表示できる。CCD カメラの画像データは 24 ビット（1670 万色）、18 ビット（26 万色）、16 ビット（6.5 万色）、12 ビット（4096 色）、8 ビット（256 色）をキー入力で切り替えることができる。

【1038】表示データが 12 ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCD カメラからの画像データが内蔵表示メモリ 151 の容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵表示メモリ 151 の容量以下となるように画像処理を行う。

【1039】今、ソースドライバ 14 には 4096 色（RGB 各 4 ビット）で 1 画面の内蔵表示メモリ 151 を具備しているとして説明する。モジュール外部から送られてくる画像データが 4096 色の場合は、直接ソースドライバ 14 の内蔵表示メモリ 151 に格納され、この内蔵表示メモリ 151 から画像データを読み出し、表示画面 21 に画像を表示する。

【1040】画像データが 26 万色（G：6 ビット、R、B：各 5 ビットの計 16 ビット）の場合は、図 229 および図 164 に示すように、誤差拡散コントローラ 141 の演算メモリ 152 に一旦格納され、かつ同時に演算回路 153 で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより 16 ビットの画像データは内蔵表示メモリ 151 のビット数である 12 ビットに変換されてソースドライバ 14 に転送される。ソースドライバ 14 は RGB 各 4 ビット（4096 色）の画像データを出力し、表示画面 21 に画像を表示する。

【1041】また、図 164 の構成などにおいて、垂直同期信号 VD を用いて（垂直同期信号 VD で処理方法を変化させて）、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。例えば、ディザ処理では、第 1 フレームで Bayer 型を用い、次の第 2 フレームではハーフトーン型を用いる。このように、フレームごとにディザ処理を変化させ、切り替えるようにすることで、誤差拡散処理などに伴うドットむらが目立ちにくくなるという効果が発揮される。

【1042】また、第 1 フレームと第 2 フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第 1 フレームで誤差拡散処理をし、第 2 フレームでディザ処理をし、さらに第 3 フレームで誤差拡散処理をするなど、様々な処理を組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【1043】フレームレートなどの情報を伝送されるフォーマットに記載するようにしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレートなどを変更できるようになる。伝送されてくる画像が動画か静止画かを記載しておくこと、特

に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、伝送パケットに携帯電話の機種番号を記載しておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はなく、送信あるいは発信するデータ中に図234などで説明する情報（表示色数、フレームレートなど）が記載されたものであればいずれでもよい。

【1044】図235は本発明の携帯電話などに送られてくる伝送フォーマットである。伝送とは、受信するデータと送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属のCCDカメラで撮影した画像を他の携帯電話などに送信する場合もあるからである。したがって、図234などで説明する伝送フォーマットなどに関連する事項は送信、受信の双方に適用される。

【1045】本発明の携帯電話などにおいて、データはデジタル化されてパケット形式で伝送される。図235で記載しているように、フレームの中は、フラグ部

(F)、アドレス部(A)、コントロール部(C)、情報部(I)、及びフレームチェックシーケンス(FCS)からなる。コントロール部(C)のフォーマットは図236のように情報転送(Iフレーム)、監視(Sフレーム)、及び非番号制(Uフレーム)の3つの形式をとる。

【1046】まず、情報転送形式は、情報(データ)を転送する時に使用するコントロールフィールドの形式で、非番号制形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム(Iフレーム)という。

【1047】また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求などを行うために使用する形式である。この形式によるフレームを、監視フレーム(Sフレーム)という。

【1048】次に、非番号制形式は、その他のデータリンク制御機能を遂行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム(Uフレーム)という。

【1049】端末及び網は送受信する情報フレームを送信シーケンス番号N(S)と受信シーケンス番号N

(R)で管理する。N(S)、N(R)とも3ビットで構成され、0~7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場合のモジュラスは8であり、応答フレームを受信せずに連続送信できるフレーム数は7である。

【1050】データ領域には色数データを示す8ビットのデータとフレームレートを示す8ビットのデータが記載される。これらの例を図234(a)、(b)に示す。また、表示色の色数には静止画と動画の区別を記載しておくことが好ましい。また、携帯電話の機種名、送

受信する画像データの内容(人物などの自然画、メニュー画面)などを図235のパケットに記載しておくことが望ましい。データを受け取った機種はデータをデコードし、それを自身(該当機種番号)のデータと認識したとき、記載された内容によって、表示色、フレームレートなどを自動的に変更する。また、記載された内容を表示装置の表示画面21に表示するように構成してもよい。ユーザーが表示画面21の記載内容(表示色、推奨フレームレート)を見て、キーなどを操作し、最適な表示状態にマニュアルで変更すればよい。

【1051】なお、一例として、図234(b)では数値の3はフレームレート80Hzと一例をあげて記載しているがこれに限定されるものではなく、40~60Hzなどの一定範囲を示すものであってもよい。また、データ領域に携帯電話の機種などを記載しておいてもよい。機種により性能などが異なり、フレームレートを変化させる必要も発生するからである。また、画像が漫画であるとか、宣伝(CM)であるとかの情報を記載しておくことも好ましい。また、パケットに視聴料金や、パケット長などの情報を記載しておいてもよい。ユーザーが視聴料金の確認をして情報を受信するか否かを判断できるからである。また、画像データが誤差拡散処理されているか否かのデータも記載しておくことが好ましい。

【1052】また、画像処理方法(誤差拡散処理、ディザ処理などの種別、重み付け関数の種類とそのデータ、ガンマの係数など)、機種番号などの情報を伝送されるフォーマットに記載しておけばよい。また、画像データがCCDで撮影されたデータか、JPEGデータか、また、その解像度、MPEGデータか、BITMAPデータかなどの情報を記載しておく、これを基にデータをデコードあるいは検出し、自動受信した携帯電話などを最適な状態に変更できるようになる。

【1053】もちろん、伝送されてくる画像が動画か静止画かを記載しておく、特に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、受信端末で推奨する再生コマ数/秒などの情報も記載しておくことが好ましい。

【1054】以上の事項は、伝送パケットが送信の場合でも同様である。また、本明細書では伝送パケットとして説明しているがパケットである必要はない。つまり、送信あるいは発信するデータ中に図201などで説明する情報が記載されたものであればいずれでもよい。

【1055】誤差拡散処理コントローラ141には、誤差処理されて送られてきたデータに対して逆誤差拡散処理を行い、元データに戻してから再度、誤差拡散処理を行う機能を付加することが好ましい。誤差拡散処理の有無は図235のパケットデータに載せておく。また、誤差拡散(ディザなどの方式も含む)の処理方法、形式など逆誤差拡散処理に必要なデータも載せておく。

【1056】逆誤差拡散処理を実施するのは、誤差拡散処理の過程において、ガンマカーブの補正も実現できるからである。データを受けたEL表示装置などのガンマカーブと、送られてきたガンマカーブとが適応しない場合や、送信されてきたデータが誤差拡散などの処理をすでに実施された画像データである場合がある。この事態に対応するために、逆誤差拡散処理を実施し、元データに変換してガンマカーブ補正の影響が出ないようにする。その後、受信したEL表示装置などで誤差拡散処理を行い、受信表示パネルに最適なガンマカーブにし、かつ最適な誤差拡散処理となるように誤差拡散処理などを実施する。

【1057】また、表示色によりフレームレートを切り替えたい場合は、携帯電話などの装置にユーザボタンを配置し、ボタンなどを用いて表示色などを切り替えられるようにすればよい。

【1058】図232は情報端末装置の一例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192などが取り付けられている。194は表示色切り替えキーあるいは電源オンオフ、フレームレート切り替えキーである。

【1059】携帯電話などの内部回路ブロックを図237に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デプレクサ201のブロック、LOバッファ203などのブロックから構成される。

【1060】キー194を1度押さえると表示色は8色モードに、続いて同一キー194を押さえると表示色は256色モード、さらに同一キー194を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ（以上）となる。

【1061】キー194はブッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り替わるものでもよい。例えば、4096色を受話器に音声入力すること、例えば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【1062】また、表示色の切り替えは電氣的に切り替わるスイッチでもよく、表示パネルの表示画面21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り替える、あるいはクリックボールのように回転あるいは方向により切り替えるように構成してもよい。

【1063】194は表示色切り替えキーとしたが、フ

レームレートを切り替えるキーなどとしてもよい。また、動画と静止画とを切り替えるキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【1064】なお、表示色などによりフレームレートを切り替えるという技術的思想は携帯電話に限定されるものではなく、ホームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【1065】図231において、2043はファンクションスイッチ（FSW）である。FSW2043は、小指、薬指で押さえられる位置に配置されている。また、FSW2043a、2043bは左右に配置されている。これは、右手の小指、薬指で押さえられること、左手の小指、薬指で押さえられることを実現できるように構成したためである。なお、FSWは筐体193の裏面に配置してもよい。

【1066】右手用のFSW2043を有効にするか、左手のFSW2043を有効にするかは、コマンド設定でユーザーが切り替えられるようにしている。つまり、ユーザーがメニュー画面で右側用を有効にする設定にすると、右手用のFSW2043が有効になり、左手のFSW2043は無効になる。逆に、ユーザーがメニュー画面で左側用を有効にする設定にすると、左手用のFSW2043が有効になり、右手のFSW2043は無効になる。

【1067】図238（a）に図示するように、FSW2043が押されていない時は、テンキー192は数字入力キーとなる。図238（b）のように、FSW2043aが押されると、ひらがな入力モードとなる。この時は、「あ、か、さ、た、な…」の一番上の文字が指定される。この状態でまず、「あ」を選択する。次に、FSW2043bも押さえると、先に押さえられた文字列を含む5つの文字の入力状態となる。この状態で特定のキーを押さえると文字が入力される。したがって、FSW2043とテンキー192とを組み合わせることで、容易に日本語入力を実現できる。また、図238（d）に図示するように、FSW2043bのみを押さえると、英文字入力モードとなる。

【1068】以上のように、テンキー192の他に、FSW2043を配置することにより、容易に多種多様な文字入力が可能になる。

【1069】（実施の形態13）さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【1070】図239は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また、一部拡大あるいは縮小した箇所や省略した箇所もある。例えば、図239においては接眼カバーを省略している。以上のことは他の図面においても該当する。

【1071】ボディ451の裏面は暗色あるいは黒色にされている。これは、表示パネル82から出射した迷光がボディ451の内面で乱反射し、表示コントラストの低下を防止するためである。また、表示パネルの光出射側にはλ/4板50（位相板など）、偏光板54などが配置されている。このことは図2でも説明している。

【1072】接眼リング452には拡大レンズ453が取り付けられている。観察者は接眼リング452をボディ451内での挿入位置を可変して、表示パネルの表示画像にピントが合うように調整する。また、必要に応じて表示パネルの光出射側に正レンズ454を配置すれば、拡大レンズ453に入射する主光線を収束させることができる。そのため、拡大レンズ453のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【1073】図240はビデオカメラの斜視図である。ビデオカメラは撮影レンズ461とビデオカメラ本体462とを具備し、撮影レンズ461とビューファインダ466とは背中合わせとなっている。また、ビューファインダ466には接眼カバー464が取り付けられている（図239も参照）。観察者（ユーザー）はこの接眼カバー464部から表示パネルの画像を観察する。

【1074】一方、本発明のEL表示パネルは表示画面21としても使用されている。表示画面21は支点468で角度を自由に調整できる。表示画面21を使用しない時は、格納部463に格納される。

【1075】図240において、465は表示モード切り替えスイッチである。表示モード切り替えスイッチ465を押さえると図55の回路が動作し、図55で説明した事項が実施される。

【1076】本実施の形態のEL表示装置はビデオカメラだけでなく、図241に示すような電子カメラにも適用することができる。表示パネル82はデジタルカメラ本体472に付属されたモニターとして用いる。デジタルカメラ本体472にはシャッター471の他、表示モード切り替えスイッチ465が取り付けられている。

【1077】この表示モード切り替えスイッチ465は、携帯電話などにも取り付けることが好ましい。また、携帯電話などにも、先に説明した表示モード切り替えスイッチの表示輝度を切り替える機能をも付加することが好ましい。以下、この表示輝度をデジタル的に変化させる方法について説明する。

【1078】図91などで説明したが、本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる1/MのMの値だけを切り替えることにより、明るさをデジタル的に変更することができる。例えば、N=4として、EL素子15に4倍の電流を流す。点灯期間を1/Mとし、M=1、2、3、4と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、M=1、1.5、2、3、4、5、6などと変更できるように構成してもよい。

【1079】以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面21を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。例えば、屋外などでは、周辺が明るく、画面が全く見えなくなるので、画面を非常に明るくする。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【1080】したがって、ユーザーがボタンで切り替えられるとか、設定モードで自動的に変更できるとか、外光の明るさを検出して自動的に切り替えられるとかのような構成にしておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【1081】また、表示画面はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るく感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ問題がない。本発明の自己発光型表示パネルでは、先に説明したN倍ハルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【1082】具体的には、画面の上部と下部ではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現できる。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することに

より発生させている。以上の動作により、周辺輝度（画角 0.9）を 50% にした時、100% 輝度の場合に比較して約 20% の低消費電力化が可能である。また、周辺輝度（画角 0.9）を 70% にした時、100% 輝度の場合に比較して約 15% の低消費電力化が可能である。

【1083】なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。例えば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えられるとか、設定モードで自動的に変更できるとか、外光の明るさを検出して自動的に切り替えられるとかのような構成にしておくことが好ましい。また、周辺輝度を 50%、60%、80% とユーザーなどが設定できるように構成しておくことが好ましい。

【1084】なお、液晶表示パネルではバックライトで固定のガウス分布を発生させているので、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【1085】また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が 60Hz の交流で点灯しているとき、EL 素子 15 がフレームレート 60Hz で動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N 倍パルス駆動（N 倍の電流を EL 素子 15 に流し、1F の 1/M の期間だけ点灯させる方法）において、N または M の値を変更できるように構成している。

【1086】以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどにも用いることができる。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【1087】また、クロック・フェーズと画面位置（水平・垂直）を自動調整する「画面自動調整」機能や、ブラック・レベル・コントラストを自動調整する「オートゲインコントロール機能」を搭載することが好ましい。ブラック・レベル・コントラストを適正な値に調整すれば、RGB 各色に対して最適な階調表示を実現できる。さらに、VGA モードなどを縮小あるいは拡大表示した際に発生するにじみなどを抑える機能を搭載することが好ましい。また、一定時間使用しない際には、自動的にバックライトが消える「パワーセーブモード」を搭載することが好ましい。

【1088】また、N 倍パルス駆動（N 倍の電流を EL 素子 15 に流し、1F の 1/M の期間だけ点灯させる方

法）を用い、M の値をかなり大きくし、うっすらと画像が認識できる程度に表示輝度を低下させてもよい。以上の事項は他の本発明でも同様である。

【1089】以上は表示パネル 82 の表示領域が比較的小型の場合であるが、30 インチ以上と大型となると表示画面 21 がたわみやすい。その対策のため、本発明では図 242 に示すように、表示パネル 82 に外枠 481 をつけ、外枠 481 をつり上げられるように固定部材 482 を取り付けしている。この固定部材 482 を用いて図 243 に示すように、ネジ等の固定部材 482 を用いて壁 491 などに取り付ける。

【1090】しかし、表示パネル 82 の画面サイズが大きくなると重量も重たくなる。そのため、表示パネル 82 の下側に脚取り付け部 484 を配置し、複数の脚 483 で表示パネル 82 の重量を保持できるようにしている。

【1091】図 242 のように、脚 483 は A に示すように左右に移動でき、また、脚 483 は B に示すように収縮できるように構成されている。そのため、狭い場所であつても表示装置を容易に設置することができる。

【1092】なお、脚 483 あるいは筐体（他の本発明においても）にはプラスチックフィルム—金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は 0.2mm 以上 0.8mm 以下が好ましく、金属板に特殊表面処理層を介して貼り合わされるプラスチックフィルムは 15 μ m 以上 100 μ m 以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形や DI 成形に適する。

【1093】図 242 のテレビにおいて、画面の表面を保護フィルム（保護板でもよい）493 で被覆している。これは、表示パネル 82 の表示画面 21 に物体があたって破損することを防止することが 1 つの目的である。保護フィルム 493 の表面には A I R コートが形成されており、また、表面をエンボス加工することにより液晶表示画面 21 に外の状況（外光）が写り込むことを抑制している。

【1094】保護フィルム 493 と表示パネル 82 間にビーズなどを散布することにより、一定の空間が配置されるように構成する。また、保護フィルム 493 の裏面に微細な凸部を形成し、この凸部で表示パネル 82 と保護フィルム 493 間に空間を保持させる。このように、空間を保持することにより保護フィルム 493 からの衝撃が表示パネル 82 に伝達することを抑制する。

【1095】また、保護フィルム 493 と表示パネル 8

2 間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【1096】保護フィルム493としては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム

（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他、エンジニアリング樹脂フィルム（ABSなど）を用いることもできる。また、強化ガラスなど無機材料からなるものでもよい。保護フィルム493を配置するかわりに、表示パネル82の表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【1097】また、保護フィルム493あるいはコーティング材料の表面をフッ素コートすることにも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【1098】画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にすることが好ましい。ワイド型とすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネル82の明るさは300cd/m²（カンデラ/平方メートル）、さらには500cd/m²（カンデラ/平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m²）で表示できるように切り替えスイッチを設置している。

【1099】このように、使用者は表示内容あるいは使用方法により、最適な画面の明るさにすることができる。さらに動画を表示しているウインドウだけを500cd/m²にして、その他の部分は200cd/m²にする設定も可能である。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方も柔軟に対応できる。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【1100】テレビ番組の再生、録画機能も使い勝手が向上している。例えば、iモードからの録画予約が簡単にできる。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできる。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分

を飛ばして、番組の概要を短時間で見るができる（30分番組で1～10分程度）。

【1101】また、テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。これは本体の他に、電源と映像入出力端子をまとめた拡張ボックスで構成されている。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビの他に2系統の映像機器を接続できる。映像入力はBSデジタルチューナー用のD1端子の他にS端子入力も備え、

10

接続する機器に合わせて選択できる。また、ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【1102】また、表示画面を前屈30度以上、後屈120度以上とし、90度/180度/270度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。例えば、90度回転させてブラウザ画面を縦長に表示することができる。また、145度後屈させることによって対面に座った人へ向かって画面を表示できる。

20

【1103】以上の保護フィルム493、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

30

【1104】なお、図72などでコンデンサ19の一方の端子はV_{dd}電源と接続するとしたがこれに限定されるものではない。例えば、図165に図示するように、前段（1つ前の画素行）のゲート信号線17aに一方の端子を接続してもよい。前段のゲート信号線17aは1H前に選択され、電位変動が発生するが、その後は、次の1Fで選択されるまで（次回選択されるまで）、電位は固定される。つまり、前段のゲート信号線17aはオフ電位V_{gh}に固定されているので、コンデンサ19の一方の電極として使用することができる。このように、前段のゲート信号線をコンデンサの電極として使用する構成を前段構成と呼ぶ。

40

【1105】なお、図165ではゲート信号線17aを電極として使用するとしたがこれに限定されるものではなく、他のゲート信号線でもよい。また、前段構成の技術的思想は、選択されていない画素の固定電位を使用する方式である。したがって、場合によっては、後段のゲート電位を使用することもできる（例えば、ゲート信号線17b、逆バイアス電圧V_mなど）。以上の事項は他の画素構成にも適用できることは言うまでもない。

50

【1106】同様の事項は図85の電圧プログラムの画素構成にも適用することができる。前段構成としては、図155の構成が例示され、コンデンサ19の一方の電位がゲート信号線17a1の電位とされている。また、図87の前段構成は図156となる。以上のように、前段構成を採用することにより、画素内に形成する電源配線数を減少させることができ、高開口率化も実現でき

る。

【1107】すでに説明したが、図72のTFT11d、図73のTFT11e、図74のTFT11d、図75のTFT11b、図76のTFT11d、図77のTFT11d、図78のTFT11e、図79のTFT11e、図80のTFT11d、図82のTFT11d、図83のTFT11d、図85のTFT11e、図86のTFT11eなどのオンオフ状態を制御することにより、図49、図53、図59、図61、図63～図65、図68、図70、図71、図224などで説明した駆動方法あるいは表示方法もしくは装置を実施できることは言うまでもない。

【1108】また、図6などの駆動用TFT11b、取込用TFT11cなどはNチャンネルで形成されることが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【1109】逆に、図6の駆動用TFT11b、取込用TFT11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルにおいて駆動用TFT11bがオフするときはオフ電圧V_{gh}となる。そのため、コンデンサ19の端子電圧がV_d側に少しシフトし、変換用TFT11aのゲート端子電圧が上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができ（階調1までに一定のベース電流を流すことができる）、電流プログラム方式により書き込み電流不足を軽減できる。

【1110】その他、ゲート信号線17aと変換用TFT11aのゲート端子間に積極的にコンデンサを形成し、突き抜け電圧を増加させる構成も有効である（図244を参照）。このコンデンサの容量はコンデンサ19の容量の1/50以上1/10以下、さらには1/40以上1/15以下とすることが好ましい。もしくは駆動用TFT11bのソースゲート（SG）もしくはゲート・ドレイン（GD）容量の1倍以上10倍以下、さらにはSG（もしくはGD）容量の2倍以上6倍以下とすることが好ましい。なお、コンデンサの形成位置は、コンデンサ19の一方の端子（変換用TFT11aのゲート端子）とスイッチング用TFT11dのソース端子間に形成または配置してもよい（図245を参照）。この場合も容量などは先に説明した値と同様である。

【1111】突き抜け電圧発生用のコンデンサ19bの容量（容量をC_b（pF）とする）は、電荷保持用のコンデンサ19aの容量（容量をC_a（pF）とする）と、TFT11aの白ピーク電流時（画像表示で表示最大輝度の白シスター時）のゲート端子電圧V_wを黒表示での電流を流す（基本的には電流は0である。つまり、画像表示で黒表示としている時）時のゲート端子電圧V

bが関連する、これらの関係は、

$$C_a / (200C_b) \leq |V_w - V_b| \leq C_a / (8C_b)$$

さらには、

$$C_a / (100C_b) \leq |V_w - V_b| \leq C_a / (10C_b)$$

の条件を満たすことが好ましい。なお、 $|V_w - V_b|$ とは、駆動用TFTの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。

10 【1112】駆動用TFT11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上、好ましくはトリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、駆動用TFT11bのソースゲート（SG）もしくはゲート・ドレイン（GD）容量（TFTがオンしているときの容量）の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【1113】なお、以上の事項は、図6の画素構成だけでなく、他の画素構成でも有効である。例えば、図19、図20のカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bと変換用TFT11aのゲート端子間に配置または形成する（図246、図247を参照）。取込用TFT11cのNチャンネルはダブルゲート以上とする。もしくは取込用TFT11c、スイッチング用TFT11dをPチャンネルとし、トリプルゲート以上とする。図86の電圧プログラムの構成にあつては、ゲート信号線17cと駆動用TFT11aのゲート端子間に突き抜け電圧発生用のコンデンサ19cを形成または配置する（図248を参照）。また、取込用TFT11cはトリプルゲート以上とする。

30 【1114】また、突き抜け電圧発生用のコンデンサ19cはTFT11cのドレイン端子（コンデンサ19b側）と、ゲート信号線17aまたは17c間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはTFT11aのゲート端子と、ゲート信号線17a間に配置してもよい。

【1115】また、電荷保持用のコンデンサ（図6、図19ではコンデンサ19）の容量をC_aとし、スイッチング用のTFT（図6では11b、図19では11cまたは11d）のソースゲート容量をC_c（突き抜け用のコンデンサがある場合には、その容量を加えた値）とし、ゲート信号線に印加される高電圧信号をV_{gh}とし、ゲート信号線に印加される低電圧信号をV_{gl}とした時、以下の条件を満たすように構成することにより、良好な黒表示を実現できる。

$$0.05V \leq (V_{gh} - V_{gl}) \cdot (C_c / C_a) \leq 0.8V$$

50 さらに好ましくは、以下の条件を満たすことが好まし

い。

【1117】 $0.1V \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5V$

以上の事項は図142、図87などの画素構成にも有効である。例えば、図142の電圧プログラムの画素構成では、TFT11aのゲート端子とゲート信号線17a間に突き抜け電圧発生用のコンデンサ19bを形成または配置する。

【1118】なお、突き抜け電圧を発生させるコンデンサ19bは、TFTのソース配線とゲート配線で形成する。ただし、これはTFT11のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にTFTと分離できない構成の場合がある。また、駆動用TFT11b、取込用TFT11c（図6の構成の場合）を必要以上に大きく形成することで、見かけ上、突き抜け電圧用のコンデンサ19bを構成する方法も本発明の範疇である。駆動用TFT11b、取込用TFT11cはチャンネル幅 W ／チャンネル長 $L = 6 / 6 \mu m$ で形成されることが多い。これらのチャンネル幅 W を大きくすることでも突き抜け電圧用のコンデンサ19bを構成することができる。例えば、 $W : L$ の比を2 : 1以上20 : 1以下、好ましくは3 : 1以上10 : 1以下にする構成が例示される。

【1119】また、突き抜け電圧用のコンデンサ19bは、画素が変調するR、G、Bで大きさ（容量）を変化させることが好ましい（図249を参照のこと）。R、G、Bの各EL素子15の駆動電流が異なったり、EL素子15のカットオフ電圧が異なったりするため、EL素子15の変換用TFT11aのゲート端子にプログラムする電圧（電流）も異なるからである。例えば、R画素のコンデンサ19bRを0.02pFとした場合、他の色（G、Bの画素）のコンデンサ19bG、19bBを0.025pFとする。また、R画素のコンデンサ19bRを0.02pFとした場合、G画素のコンデンサ19bGを0.03pFとし、B画素のコンデンサ19bBを0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサ19bの容量を変化させることによりオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

【1120】以上、突き抜け電圧発生用のコンデンサ19bの容量を変化させるとしたが、図249などの構成における突き抜け電圧は、電荷保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量の相対的なものである。したがって、突き抜け電圧発生用コンデンサ19bをR、G、Bの画素で変化することに限定されるものではない。つまり、電荷保持用コンデンサ19aの容量を変化させてもよいということである。例えば、R画素のコンデンサ19aRを1.0pFとした場合、G画素のコンデンサ19aGを1.2pFと

し、B画素のコンデンサ19aBを0.9pFとするなどである。この時、突き抜け電圧発生用コンデンサ19bの容量は、R、G、Bで共通の値とする。したがって、本発明は、電荷保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比を、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、電荷保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの両方の容量をR、G、B画素で変化させてもよい。

- 10 【1121】また、表示画面21の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい（図250を参照のこと）。画素16aは、ゲートドライバ12に近い位置にある。つまり、画素16aは信号供給側に配置されており、ゲート信号の立ち上がりが速い（スルーレートが高い）からである。ゲート波形2341aを参照のこと）ため、突き抜け電圧が大きくなる。画素16bはゲート信号線17端に配置（形成）されているため、信号波形が鈍っている（ゲート信号線17には容量があるためである。ゲート波形2341bを参照のこと）。そのため、ゲート信号の立ち上がりが遅く（スルーレートが遅く）、突き抜け電圧が小さくなる。したがって、ゲートドライバ12との接続側に近い画素16aの突き抜け電圧発生用コンデンサ19bを小さくし、ゲート信号線17端側のコンデンサ19bを大きくする。例えば、画面の左右でコンデンサの容量を10%程度変化させる。

- 【1122】図249でも説明したが、発生する突き抜け電圧は、電荷保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量比で決定される。したがって、図250では、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしたが、これに限定されるものではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bと、電荷保持用のコンデンサ19aの両方の容量を画面の左右で変化させてもよいことは言うまでもない。

- 【1123】また、図250において、表示画面21の左右で電荷保持用コンデンサ19aまたは突き抜け電圧発生用19bの容量を変化させるとしたが、ゲートドライバ12などが表示画面21の左右に配置されている場合（例えば、両側給電）、表示画面21の左右のコンデンサ19a、19bの容量は等しくてよい。しかし、画面の中央部の信号波形が、画面の左右の信号波形に比較して鈍っている場合は、突き抜け電圧発生用のコンデンサ19bを画面の左右で一定にし、電荷保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量を、表示画面21の左右では同一にし、電荷保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量のうち少なくとも一方を、表示画面21の

端と中央部で変化させる。

【1124】また、図250において、画素16aと画素16cのように、ゲートドライバ12の形成位置から同一位置にあっても、突き抜け電圧などが異なる場合がある。例えば、ゲートドライバ12の電源の供給位置あるいは電圧降下、ソースドライバ14からの信号供給位置関係からである。したがって、図250の画素16cは、画素16aに対して、突き抜け電圧発生用のコンデンサ19bの容量と電荷保持用コンデンサ19aの容量のうち、少なくとも一方を異ならせる。画素16dについても同様である。

【1125】以上のように、本発明は、突き抜け電圧発生用のコンデンサ19bの容量と電荷保持用コンデンサ19aの容量のうち、少なくとも一方を、表示画面21内で他の条件に合わせて変化させている。

【1126】図211、図212のように、本発明のコンデンサ19bを形成（配置）する構成は以下の通りである。つまり、スイッチング用TFTがオンし、その後、オフする。この時、コンデンサ19aなどに作用し、EL素子15の変換用TFT11（図6ではTFT11a）のゲート端子を変化させることにより、TFT11の電流が流れないようにする方向に機能する構成である。図211、図212などではPチャンネルの場合であったが、図215に図示するようにNチャンネルの場合でも適用することができる。Nチャンネルの場合は、V_{gh}電圧でTFTがオンし、V_{gl}電圧でTFTがオフする。したがって、Nチャンネルの場合はTFT11b（11c）がオン（画素行が選択されている）からオフ（次の画素行が選択される）する際に、変換用TFT11aが電流を流さない方向に作用するように構成すればよい。したがって、本発明は、選択するTFTがオフになる際に、EL素子15に電流を流さない方向に動作させるように構成したものである。

【1127】図252を用いて説明すれば、なお、理解が容易となるであろう。まず、ソースドライバ14には画像データとしての電流I_wがソース信号線18から吸い込まれる。なお、ここでは説明を容易にするため、プログラム電流I_wをソースドライバ14が吸い込む方向で動作し、各画素16にプログラムされるとして説明をする。以下、動作について、図252および図253を参照しながら説明をする。なお、説明は、画素行（1）として説明をする。

【1128】図252（a）に図示するように、ゲート信号線17a（1）にオン電圧V_{gl}が印加され、画素が選択される。この時、ゲート信号線17b（1）にはオフ電圧V_{gh}が印加される。したがって、スイッチングTFT11bおよび11cがオンし、TFT11dはオフ状態である。

【1129】ソース信号線18にはプログラム電流I_wが流れ、TFT11aによって供給される（電流I_{dd}

=I_w）。このプログラム電流I_{dd}が流れることにより、ソース信号線18の電位が所定電圧となり、TFT11aのゲート端子電圧V_gが電流プログラムされる。ここで、電流プログラムされた電流とはI_w電流であり、TFT11aはプログラム電流I_wが流れるようにゲート端子電圧V_gが設定される。他の言い方をすれば、ソース信号線の電位が画素にプログラムされたとも言うことができる。つまり、画素の動作状態としては電圧（が）プログラムされたとも言うことができる。

10 【1130】1H（1水平走査期間）後、ゲート信号線17a（1）にはオフ電圧V_{gh}が印加され、TFT11b、TFT11cがオフし、コンデンサ19aにプログラム電流I_wを流すのに必要な電圧が保持される。また、ゲート信号線17b（1）にオン電圧V_{gl}が印加され、TFT11dがオンする。したがって、I_e（=I_w）電流がEL素子15に流れ、EL素子15がプログラムされた電流I_eで点灯する（図252（b）を参照）。

20 【1131】以上が、以前にも説明した電流プログラム方式の動作である。しかし、本発明は上記の動作とは異なる。EL素子15に流れる電流I_eを、プログラム電流I_wよりも小さくしているからである。この理由は、図253のV_g（TFT11aのゲート端子電圧）の変化を見るとわかる。

30 【1132】理解を容易にするために、TFTのPチャンネルの動作について説明をする。PチャンネルTFTにはゲート端子電圧V_gがマイナス側にあるほど大きなオン電流が流れ、0Vでは完全にオフする。オン電流はTFTのW/Lおよびモビリティ、S値によって異なる。TFTのW/Lが6/12の時、およそ-3Vまでは、チャンネル電流I_{dd}はごく僅かである。-4V〜-4.5Vで1〜5μAの電流が流れる。

40 【1133】図253は、画素（1）のTFT11aをほぼ黒表示とするための電流をプログラムする時を示している。まず、画素（1）のゲート端子電圧V_gはV_w電圧（白表示など）が保持されているとする。画素（1）が選択されると、ゲート信号線17a（1）がオフ電圧V_{gh}からオン電圧V_{gl}に変化するため、コンデンサ19bによって、ゲート信号線17aの電位が突き抜ける。この突き抜けによりゲート端子電圧V_gはV₀となる。

50 【1134】次に、TFT11aはソースドライバ14が吸収するプログラム電流I_wに等しい電流を流す。しかし、黒表示の場合、TFT11aが流す電流の値は小さい。一例として30nA以下である。このような電流では、ソース信号線18の寄生容量を1H期間内に十分に充放電することができないので、ソース信号線18の電位を1H期間内に所定電圧にすることができない。つまり、ゲート端子電圧V_gも低く、本来必要なV_b電圧とすることができず、V_c電圧となる。

【1135】V_c電圧は、V_b電圧よりも低いため、TFT11aはEL素子15に黒表示よりも大きな電流を流すため、EL素子15は所望値よりも明るく発光する。したがって、EL表示パネルでは、黒浮きが発生し、高コントラスト表示を実現できない。

【1136】しかし、本発明の動作は上記の動作と異なる。ゲート信号線17a(1)がオン電圧V_{g1}からオフ電圧V_{gh}に変化するため、再び、コンデンサ19bにより突き抜け電圧が発生するからである。この突き抜け電圧により、V_g電圧はV_c電圧から本来、必要とするV_b電圧にシフトする。したがって、TFT11aは全く電流を流さないようにプログラムされるか、もしくは所望値の黒電流を流すようにプログラムされる。つまり、EL素子15には微小な電流しか流れないようにプログラムされる。そのため、本発明のEL表示パネルは黒浮きがなく、高コントラスト表示を実現できる。このV_b電圧は1フィールド(1フレーム)、つまり、次に画素が選択され、書き換えられるまで保持される。

【1137】このように、本発明は突き抜け電圧をうまく利用して、良好な黒表示を実現している。該当の画素行が選択され、ゲート信号線17aにオン電圧が印加されると、図253に図示するようにV₀電圧が突き抜けてV_g電圧がより、白表示となる方向にシフトしてしまう。しかし、この突き抜けた電圧は、ソース信号線18からの電圧により短時間で充電される。特に、TFT11aのゲート端子電圧V_gが低下する方向であるので、TFT11aがより電流を流す方向になり、短時間に充電されるのである。したがって、V₀電圧分の突き抜けは全く問題とならない。

【1138】TFT11aのゲート端子電圧V_gが目標値のV_b電圧に近づくにつれて、TFT11aは電流を流さない方向となる。したがって、目標のV_b電圧になかなか到達しない。特に、プログラムされる電流が黒表示の電流に近づくにつれてその影響が顕著になる。図253では1Hの選択期間の終了時でもV_b電圧とならず、V_c電圧となっている。

【1139】1Hの期間後、該当の画素行が非選択され、ゲート信号線17aにオフ電圧V_{gh}が印加されると、図229に図示するようにゲート信号線17aには、オフ電圧V_{gh}が印加され、突き抜け電圧が発生する。この突き抜け電圧により、TFT11aのゲート端子電圧V_gが目標のV_b電圧に到達する。

【1140】以上のように本発明は、ゲート信号線17aの電圧変動をコンデンサ19bを介してTFT11aに供給し、EL素子15に流れる電流を制御している。この制御は特に、黒表示を実現するのに有効である。

【1141】以上の説明では、選択した画素行のゲート信号線17aの突き抜け電圧により、駆動用TFT11aを制御するものであった。しかし、本発明は、これに限定されるものではない。例えば、図254に図示する

ように、隣接した画素行のゲート信号線17aの突き抜けを利用するものでもよい。

【1142】図93で説明したように、複数画素行を同時に選択し、1画素行ずつ選択画素行をシフトしていく方法における印加するゲート信号線17の電圧波形を図255に図示している。

【1143】図254は、次の画素行のゲート信号線17aにコンデンサ19bの一端子を図204、図202で説明したように接続している。また、図187のように、ゲート信号線17bを複数画素行で共通にしている(点灯制御線1791で短絡)。また、図152、図205で説明したように、ゲートドライバ12を表示画面21の一辺に配置した3辺フリーの構成を採用している。

【1144】図6のTFT11a、図19のTFT11bのキンクばらつきの影響を軽減するためには、TFT11を形成する基板の電位を固定することが好ましい。例えば、シリコン基板などの金属基板上にTFTを形成すればよい。また、ガラス基板にTFTを形成する場合でも、基板に金属などで薄い電位安定化層を形成し、この上にTFT11などを形成する。また、この電位安定化層にTFTなどの素子の1端子を接地するとよい。以上のように、基板を電位固定することにより、キンクばらつきを大幅に低減できる。特に、光を上取り出しする構成の場合は、基板を透明にする必要がないので、上記の構成の採用は容易である。

【1145】図255でも理解できるように、隣接した画素行のゲート信号線17aは注目する画素行のゲート信号線17aに対して1H遅れて、オフ電圧V_{gh}となる。したがって、突き抜け電圧は1H遅れて印加される。他の動作は、図252、図253で説明した動作と同一であるので説明を省略する。

【1146】図252、図253は駆動用TFT11aがPチャンネルの場合であった。駆動用TFT11aがNチャンネルの場合は、図256の駆動波形となる。Nチャンネルの場合は、V_{gh}電圧の印加でスイッチングTFT11bなどがオンし、V_{g1}電圧の印加でオフする。したがって、突き抜け電圧は図256のV_g波形でわかるように、ゲート信号線17aに印加された電圧がV_{g1}→V_{gh}となる時、V_{gh}→V_{g1}となる時に発生する。次の画素行を選択、非選択した時には、V_g電圧はより低くなっている。したがって、駆動TFT11aをNチャンネルで形成しておけば、図252、図253で説明したように、良好な黒表示を実現できる。

【1147】なお、図215は図6のTFTのPチャンネルとNチャンネルに変更したものである。動作は図6、図211などと同様であるので説明を省略する。また、PチャンネルとNチャンネルとの変更は図8などでも同様であるので、本発明の突き抜け電圧用のコンデンサ19bの概念をそのまま他の画素構成にも適用する

ことができる。

【1148】また、駆動用TFT11（図6ではTFT11a、図19ではTFT11bなど）はPチャンネルよりもNチャンネルの方が突き抜け電圧による制御は良好な結果となる場合が多い。以下、この理由について説明をしておく。

【1149】図257（a）は、ドレイン電圧（D）をソース電圧（S）に対して、十分に低電圧にした場合（飽和領域）の電流出力を示している。横軸は、ソース（S）電圧に対するゲート（G）電圧である。ゲート電圧をマイナス側にした時にソース（S）ードレイン（D）間に電流が流れる。縦軸は、ソース（S）ードレイン（D）間電流 I_i である。

【1150】一般的に、低温ポリシリコン技術で形成したTFTは V_0 電圧以下にした時に、電流が流れる。 V_0 電圧は3～4Vである。また、一般的に、PチャンネルのTFTは電流が流れ始める電圧 V_0 から1～1.5Vで1～10 μ A（例えば、 $W/L=6/9\mu m$ ）の電流が流れる。この電圧幅を V_c （V）とする。したがって、Pチャンネルの場合は、黒表示の時、ゲート（G）電圧 V_0 で電流が流れはじめ、ゲート（G）電圧 V_0+V_c で1～10 μ Aの電流が流れる。図6の主要な部分を抜き出し、等価回路図で書くと、図257（c）のようになる。電荷保持用のコンデンサ19aの容量を C_a とし、突き抜け電圧発生用のコンデンサ19bの容量を C_b 、TFT11bのチャンネル容量を C_t とする。また、 C_b と C_t とを加えた容量を C_c とする。TFT11aのゲート電圧を V_g とする。

【1151】ゲート信号線17aに印加された電圧は、 C_a と C_c 容量に分圧され、TFT11aのゲート端子に印加される。例えば、 $C_a:C_c=3:2$ で、ゲート信号線の電圧が10V変化したとすれば、この電圧は、3:2に分圧されてゲート端子に V_g 電圧として印加される。つまり、 $V_{dd}=0V$ であれば、ゲート信号線17aの電位が0Vから-10Vに変化した時、 $V_g=-4V$ となる。

【1152】ゲート電圧 V_g にあらかじめ所定電圧が印加されている場合も同様である。ゲート信号線17aに印加された電圧の変化が C_a と C_c 容量に分圧されて印加する。しかし、突き抜け電圧は、ゲート信号線17の電位の変化によるものである。また、 C_a 、 C_c は固定値である。そのため、電位の変化はオフ電圧 V_{gh} とオン電圧 V_{gl} で決まるから一定である。例えば、突き抜け電圧は、画像表示状態に関わらず、0.1Vというように一定値である。

【1153】ゲート電圧 V_g は、画像によって変化する。例えば、黒表示では、ゲート電圧 V_g は-3V、白表示では-4Vである（図257（a）の実線aを参照）。しかし、突き抜け電圧は、例えば、0.1Vというように固定値であるため、黒表示の $V_g=3V$ に対す

る突き抜け電圧0.1Vと、白表示の $V_g=4V$ に対する突き抜け電圧0.1Vとは寄与度が異なる。つまり、黒表示に対する突き抜け電圧の割合の方が、白表示に対する突き抜け電圧の割合よりも大きい。したがって、突き抜け電圧の影響は、黒表示で大きく、白表示で小さいことになる。

【1154】この動作は、EL表示パネルの表示を良好な方にすることに寄与する。つまり、黒表示で突き抜け電圧が大きければ、黒表示により、ソース信号線18に流すプログラム電流が大きくなる。したがって、書き込み不足が解消され、白表示による突き抜け電圧の影響は小さい方がよい。

【1155】駆動用TFT11がPチャンネルの場合は、黒表示にする V_0 電圧が-3V以下と絶対値が比較的大きい。少なくとも、黒表示の階調1（第1番目の階調）で流す電流（およそ、2～50nA）を発生させる電圧 V_0 と、白表示の最大の階調で流す電流 I_i （ μ A）を発生させる電圧 V_0+V_c との関係は次式を満たすことが好ましい。

$$1/2 \leq |(V_c + V_0) / V_0| \leq 3$$

さらに好ましくは、

$$1 \leq |(V_c + V_0) / V_0| \leq 2$$

を満たすことが好ましい。これは、突き抜け電圧の影響が黒表示で顕著となり、良好な黒表示を実現でき、かつ、白表示での突き抜け電圧の影響を軽減できるからである。

【1157】また、図257（a）において、従来の電圧幅 V_c の大きさを V_0 に比較して相対的に大きくしてもよい。つまり、S値を小さくする。または、モビリティを小さくする。

【1158】図257（a）のPチャンネルの場合は、点線bに示すように V_0 電圧を0電位側にシフトさせることが好ましい。このシフトは、PチャンネルTFTの半導体層へのドーピング量を変更することにより実現できる。以上の事項は、図257（b）のNチャンネルの場合も同様である。

【1159】アレイ作製にあたっては、ゲートドライバ12などを構成するTFTのドーピングは従来と同一にし、画素のTFT11aのドーピング量を変化させればよい。これは、ドーピングの際、マスクを用いることにより形成できる。また、ゲートドライバ12などを構成するTFTをNチャンネルのみで構成し、画素のTFT11aをPチャンネルとする。逆に、画素のTFT11aをNチャンネルとした場合は、ゲートドライバ12などを構成するTFTなどはPチャンネルとする。以上の事項は以下の事項にも適用することができる。

【1160】図257（b）はNチャンネルのTFTのソース電圧（S）とドレイン電圧（D）に対して、十分に高電圧にした場合（飽和領域）の電流出力を示している。横軸は、ソース（S）電圧に対してゲート（G）電

圧である。ゲート電圧をプラス側にした時にソース (S) - ドレイン (D) 間に電流が流れる。縦軸は、ソース (S) - ドレイン (D) 間電流 I_d である。

【1161】一般的に、低温ポリシリコン技術で形成したNチャンネルのTFTは V_0 電圧以上にした時に、電流が流れる。 V_0 電圧は1~2Vである。また、一般的に、NチャンネルのTFTは電流が流れ始める電圧 V_0 から1~1.5Vで1~10 μ A (例えば、 $W/L=6/9\mu$ m) の電流が流れる。この電圧幅を V_c (V) とする。

【1162】したがって、Nチャンネルの場合は、黒表示の時、ゲート (G) 電圧 V_0 で電流が流れはじめ、ゲート (G) 電圧 V_0+V_c で1~10 μ Aの電流が流れる。

【1163】ゲート電圧 V_g は、画像によって変化する。例えば、黒表示では、ゲート電圧 V_g はグラウンド電圧から、1.5Vであり、白表示では2.5Vである

(図257(b)を参照)。しかし、突き抜け電圧は、例えば、0.1Vというように固定値であるため、黒表示の $V_g=1.5$ Vに対する突き抜け電圧0.1Vと、白表示の $V_g=2.5$ Vに対する突き抜け電圧0.1Vとは寄与度が異なる。つまり、黒表示に対する突き抜け電圧の割合の方が、白表示に対する突き抜け電圧の割合より大きい。したがって、突き抜け電圧の影響は、黒表示で大きく、白表示で小さいことになる。つまり、Nチャンネルでは、Pチャンネルに比較して V_0 電圧が低い。そのため、駆動TFT11aは、Nチャンネルの方が、Pチャンネルよりも、つまり、黒表示で突き抜け電圧が大きくなり、黒表示で、ソース信号線18に流すプログラム電流が大きくなる。したがって、書き込み不足が解消される。

【1164】なお、以上の事項は、図75、図76などの電圧プログラムの画素構成に対しても適用させることができる。つまり、一定以上のプログラム電圧以上にならないとEL素子15に電流を流さないようにすることができるからである。したがって、黒表示などにおいて、ノイズで信号が揺れている際は、ノイズレベルを除去 (突き抜け電圧の効果により、一定のレベルまではEL素子15は点灯しない) できるようになる。また、白ピーク輝度を出しやすくなり、画質が向上する。

【1165】また、以上の実施例ではコンデンサ19bの容量で、突き抜け電圧を設定 (所望値にする) するとしたが、突き抜け電圧の値は、ゲート信号線17の振幅値でも変化する。したがって、ゲート信号線17a (図6の場合) の振幅値を調整することにより、突き抜け電圧を調整することができる。例えば、ゲート信号線の V_{gh} 電圧=10V、 V_{gl} 電圧=0Vであれば、振幅値は10Vである。この状態で突き抜け電圧が0.1Vであるとし、 V_{gh} 電圧を12Vとすると、振幅値は12Vとなる。したがって、理想的には突き抜け電圧は0.

12Vとなる。つまり、ゲート信号線17の振幅により自由に突き抜け電圧を変更でき、ベース電流を調整できるようにするのである。

【1166】ゲート電圧を発生する電源回路をコマンドにより、 V_{gh} 電圧または V_{gl} 電圧の値を設定できるようにしておけばよいので、この制御は容易である。この電圧を調整することにより、突き抜け電圧の微妙な調整が可能になる。

【1167】ゲート信号線17aに印加する信号 (TFT11のオンオフ信号) のスルーレート (立ち上がりおよび立ち下がり時間に対する電圧の変化) が高いと突き抜け電圧は増加する傾向にある。逆に、スルーレートが低いと突き抜け電圧は低下する。つまり、スルーレートが40V/ μ secの方が、20V/ μ secよりも突き抜け電圧は大きくなる。このゲート信号のスルーレートはゲートドライバ12の出力バッファ (インバータ回路、オペアンプなど) の駆動能力で変化する。出力バッファの出力電流を制御することにより、スルーレートを調整でき、突き抜け電圧をも調整できる。出力バッファの出力電流を制御することは、出力バッファの供給電圧を調整すること、ゲート端子への印加波形を鈍らすことなどにより実現できる。また、供給電圧を調整することは回路構成上、容易である。ゲート端子への印加波形を鈍らすことは前段のバッファのサイズを小さくすること (能力を低下させる) により、実現できる。また、ゲート信号線17aに印加するオンオフ信号をサインカーブや鋸歯状の信号としても突き抜け電圧を変化できる。以上の事項は、以下に説明する電圧制御信号線、共通信号線の制御においても適用される。

【1168】なお、図211などにおいて、突き抜け電圧発生用のコンデンサ19bは、一方の電極をゲート信号線17にするとしたが (ゲート信号線17に接続するとしたが)、これに限定されるものではない。例えば、突き抜け電圧発生用にコンデンサ19bの制御用の電圧制御信号線を別途形成する。コンデンサ19bの2つの電極のうち、一方を変換用TFT11aのゲート端子に接続し、他方を別途形成した前記電圧制御信号線に接続する構成でもよい。この構成では、ゲート信号線17aの選択状態に同期して、電圧制御信号線にハルス信号 (矩形波に限定されるものではない、サインカーブや鋸歯状の信号でもよい) を印加すればよい。また、このハルス振幅値を調整することにより、突き抜け電圧を容易に調整できる。

【1169】この構成を図258に示している。電圧制御信号線17cに印加されたハルス電圧によって、コンデンサ19bを介して突き抜け電圧がTFT11aのゲート端子に印加される。

【1170】電圧制御信号線17cはゲート信号線17と動作は同一である。図259に図示するように、電圧制御信号線17cはゲートドライバ12の出力端子とし

て構成される。また、図 187 で説明したように、ゲート信号線 17b は点灯制御線 1791 に接続されている。

【1171】突き抜け電圧を発生させる信号をゲート信号線 17a から供給するのではなく、図 260 に図示するように、電圧制御信号線 17c から供給すると突き抜け電圧の制御が容易になる。図 260 は図 259 の表示パネルを駆動する信号波形の説明図である。なお、説明を容易にするため、選択する画素行は画素行番号 (1) であるとして説明する。

【1172】画素行 (1) が選択されると、ゲート信号線 17a (1) が V_{gh} 電圧から V_{gl} 電圧に変化するため、コンデンサ 19b によって、ゲート信号線 17a の電位が突き抜ける。この突き抜けにより V_g 電圧は V_0 となる。

【1173】次に、TFT11a は、ソースドライバ 14 が吸収する電流 I_w に等しい電流を流す。しかし、黒表示の場合、TFT11a が流す電流の値は小さい。一例として 30 nA 以下である。このような電流では、ソース信号線 18 の寄生容量を 1H 期間内に十分に充放電することができない。したがって、ソース信号線 18 の電位を 1H 期間内に所定電圧にすることができない。つまり、 V_g 電圧も低く、本来必要な電圧 V_b とすることができず、 V_c 電圧となる。

【1174】次に、ゲート信号線 17a (1) がオン電圧 V_{gl} からオフ電圧 V_{gh} に変化するため、再び、コンデンサ 19b により突き抜け電圧が発生する。この突き抜け電圧により、 V_g 電圧は V_c 電圧から V_a 電圧にシフトする。

【1175】さらに、 t_1 の時間遅れて、電圧制御信号線 17c (1) が低電圧から高電圧にシフトする。したがって、さらに突き抜け電圧が発生し、TFT11a のゲート端子電圧 V_g は目標電圧の V_b にシフトする。このシフトする電圧を調整することにより、突き抜け電圧を自由に制御できる。つまり、図 252、図 253 の構成では電圧の変化 (突き抜け電圧量) は、ゲート信号線 17a の振幅で制約される。しかし、図 259 のように、電圧制御信号線 17c を別途設けることにより、突き抜け電圧量を変更することが容易となる。また、印加する信号のスルーレートの制御も容易である。また、電圧制御信号線 17c に印加する信号の電位レベルにも制約を受けないため、回路構成も容易となる。

【1176】したがって、TFT11a は全く電流を流さないようにプログラムされるか、もしくは所望値の黒電流を流すようにプログラムされる。つまり、EL 素子 15 には微小な電流しか流れないようにプログラムされる。そのため、本発明の EL 表示パネルは黒浮きがなく、高コントラスト表示を実現できる。この V_b 電圧は 1 フィールド (1 フレーム)、つまり、次に画素が選択され、書き換えられるまで保持される。

【1177】以上のように本発明では、電圧制御信号線 17c の電圧変動は、コンデンサ 11b を介して TFT11a に供給される。したがって、EL 素子 15 に流れる電流を制御している。この制御は特に、黒表示を実現するのに有効である。

【1178】図 260 と図 261 との差異は、電圧制御信号線 17c の動作タイミング t_1 を 1H とした点である。他の点は同一である。図 261 のように構成することにより、ゲート信号線 17a と電圧制御信号線 17c との動作クロックを同一にすることができるため、回路構成が容易になる。

【1179】図 259 は画素構成が図 6 の電流プログラムの画素構成である。しかし、本発明は電流プログラム方式に限定されるものではなく、電圧プログラムの画素構成にも適用することができる。図 262 は図 81 など で説明した電圧プログラムの画素構成に、本発明の技術的思想を適用したものである。

【1180】図 262 はコンデンサ 19b の一端子を TFT11b のドレイン端子に接続し、他方の端子を電圧制御信号線 17c と接続したものである。なお、スイッチング TFT11b は N チャンネルの TFT で形成している。

【1181】図 263 は図 262 の画素構成における駆動波形の説明図である。画素行 (1) が選択されると、ゲート信号線 17a (1) が V_{gl} 電圧から V_{gh} 電圧に変化するため、コンデンサ 19b によって、ゲート信号線 17a の電位が突き抜ける。この突き抜けにより V_g 電圧は、保持されていた V_w から V_0 となる。

【1182】次に、TFT11a は、ソースドライバ 14 が吸収する電流 I_w に等しい電流を流す。しかし、黒表示の微小な電流では、ソース信号線 18 の寄生容量を 1H 期間内に十分に充放電することができない。したがって、ソース信号線 18 の電位を 1H 期間内に所定電圧にすることができない。つまり、 V_g 電圧も低く、本来必要な電圧 V_b とすることができず、 V_c 電圧となる。

【1183】次に、ゲート信号線 17a (1) がオン電圧 V_{gh} からオフ電圧 V_{gl} に変化するため、再び、コンデンサ 19b により突き抜け電圧が発生する。この突き抜け電圧により、 V_g 電圧は V_c 電圧からさらに低下して V_a 電圧にシフトする。

【1184】さらに、 t_1 の時間遅れて、電圧制御信号線 17c (1) が低電圧から高電圧にシフトする。したがって、突き抜け電圧が発生し、TFT11a のゲート端子電圧 V_g は目標電圧の V_b にシフトする。したがって、目標とする電圧 V_b を TFT11a のゲート端子に印加することができる。

【1185】図 263 と図 264 との差異は、電圧制御信号線 17c の動作タイミング t_1 を 1H とした点である。他の点は同一である。図 264 のように構成することにより、ゲート信号線 17a と電圧制御信号線 17c

との動作クロックを同一にすることができるため、回路構成が容易になる。

【1186】電圧制御信号線17cを用いる構成は、他の数々の構成が例示される。例えば、図265はスイッチングTFT11cのドレイン端子と電圧制御信号線17c間にコンデンサ19bを配置（形成）した構成である。図265の構成は、直接にTFT11aのゲート端子に突き抜け電圧を印加する構成ではない。しかし、電圧制御信号線17cに印加した信号波形はコンデンサ19bを介してTFT11cのドレイン端子に印加される。そして、このドレイン端子に印加された電圧がTFT11bなどを介して、TFT11aのゲート端子に反映（影響、作用、制御）されるのである。

【1187】つまり、図265の画素構成では、EL素子15に電流を流す駆動TFT11aを直接制御するものではない。しかし、駆動TFT11aが流す電流を制御することができる。本発明は、プログラムした電流を制御してそれよりも低い（場合によっては高くする場合もある。例えば、白ピーク電流がよりながれるように制御する場合である。）電流をなんらかの方法で行うものである。したがって、図265の構成も本発明の技術的思想の範疇である。

【1188】図266は図19のカレントミラーの画素構成において、電圧制御信号線17cと突き抜け電圧発生用のコンデンサ19bを形成した方式である。この構成については特に説明を要さないであろう。したがって、説明を省略する。

【1189】図267は、突き抜け電圧発生用11aを形成していない。電圧制御信号線17cは保持用コンデンサ19の一端子に接続されている。いままで突き抜け電圧発生用コンデンサ19bに印加する電圧でTFT11aのゲート端子の電位を制御し、TFT11aが流す電流を調整するとして説明した。

【1190】図267は電荷保持用コンデンサ19を直接に制御することにより、TFT11aのゲート端子の電圧を制御し、TFT11aに流す電流を制御するものである。動作は図264で説明した動作をそのまま、あるいは類推することにより適用することができる。図267の画素構成では、突き抜け電圧発生用のコンデンサ19bが不要である。したがって、画素構成が容易となる。

【1191】図268は図267の画素構成における駆動波形の説明図である。ゲート信号線17a（1）が選択されると、TFT11cとTFT11dがオンする。次に、TFT11aは、ソースドライバ14が吸収する電流Iwに等しい電流を流す。しかし、黒表示の微小な電流では、ソース信号線18の寄生容量を1H期間内に十分に充放電することができない。したがって、ソース信号線18の電位を1H期間内に所定電圧にすることができない。つまり、Vg電圧も低く、本来必要な電圧V

bとすることができず、Vc電圧となる。

【1192】次に、ゲート信号線17a（1）がオン電圧Vg1からオフ電圧Vghに変化する。同時に、電圧制御信号線17c（1）が低電圧から高電圧にシフトする。したがって、突き抜け電圧が発生し、TFT11aのゲート端子電圧Vgは目標電圧のVbにシフトする。したがって、目標とする電圧VbをTFT11aのゲート端子に印加することができる。

【1193】なお、図268では、「ゲート信号線17a（1）がオン電圧Vg1からオフ電圧Vghに変化する。同時に、電圧制御信号線17c（1）が低電圧から高電圧にシフトする。」としたが、これに限定されるものではなく、図263、または図264のようにt1の期間おけて、信号波形が変化するように構成してもよい。

【1194】図267の画素構成は、図6の画素構成にも適用できることは言うまでもない。電荷保持用のコンデンサ19の一端子に電圧制御信号線17cを接続する（図269を参照）。そして、この電圧制御信号線17cに印加する信号によりTFT11aのゲート端子電圧を変動させ、TFT11aが流す電流を制御（調整）する。

【1195】また、コンデンサ19aの電極の下層に、前記電極と絶縁された信号線を形成してもよい。仮に、この信号線を共通信号線と呼ぶ。このような構成を実現すれば、共通信号線と前記絶縁膜とコンデンサの電極とで第2のコンデンサを形成することができる。このコンデンサは、図211のコンデンサ19bと見なせる。したがって、共通信号線に先と同様にパルス信号を印加することにより、先と同様の作用および効果を発揮できる。なお、呼び方を共通信号線と呼んだが、機能、構成は先に説明した電圧制御信号線17cと差がない。したがって、電圧制御信号線17cで説明した事項、内容はそのまま、共通信号線に適用することができる。

【1196】また、以上の実施例では、突き抜け電圧発生用コンデンサ19bの一方の端子は、TFT11aのゲート端子に接続するとした。しかし、本発明は、この構成に限定されるものではない。例えば、図270のように、電荷保持用のコンデンサ19a、19cの midpoint に突き抜け電圧発生用コンデンサ19bの一方の端子を接続してもよい。図270に図示するように構成することにより、突き抜け電圧の影響が、TFT11aのゲート端子に与える割合が少なくなる。

【1197】また、図271に示す構成も効果的である。図271では画素が選択されると、ソースドライバ14からの電圧はTFT11bのドレイン端子Vkに印加される。この電圧（つまり、プログラム電流である）が、コンデンサ19aとコンデンサ19cで分割されて、駆動用TFT11aのゲート端子電圧Vgとなる。したがって、ゲート端子電圧Vgはプログラムされた電

圧 V_k に比較して低くなる。そのため、TFT11a に流れる電流 (EL素子15に流れる電流) は、プログラムされた電流よりも小さくなる。そのため、プログラム電流を大きくし、EL素子15に流れる電流を小さくできる。したがって、黒表示でも、書き込み不足がなくなる。

【1198】図271において、電荷保持用コンデンサ19aの容量を C_a とし、電圧シフト用のコンデンサ19cの容量を C_c とし、ゲート信号線に印加される高電圧信号を V_{gh} とし、ゲート信号線に印加される低電圧信号を V_{gl} とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【1199】

$0.5 \leq |V_{gh} - V_{gl}| \times (C_a / C_c) \leq 10$
さらに好ましくは、以下の条件を満足させることが好ましい。

【1200】

$1 \leq |V_{gh} - V_{gl}| \times (C_a / C_c) \leq 5$
また、図257の V_c を基準にすれば、
 $0.05 \leq |V_c| \times (C_a / C_c) \leq 1$
さらに好ましくは、以下の条件を満足させることが好ましい。

【1201】 $1 \leq |V_c| \times (C_a / C_c) \leq 5$

以上の事項は図142、図87などの画素構成にも有効である。例えば、図142の電圧プログラムの画素構成では、TFT11aのゲート端子とゲート信号線17a間に突き抜け電圧発生用のコンデンサ19bを形成または配置する。

【1202】以上の事項は図272の実施例にも適用される。また、図19などで説明した画素構成にも適用することができることは言うまでもない (図273を参照)。また、図86、図87などの電圧プログラムの画素構成にも適用できる。TFTを突き抜ける電圧を補償できる。また、電位シフトさせることにより最良動作点で動作させることができるからである。

【1203】図271は突き抜け電圧発生用のコンデンサ19bを付加した構成であった。しかし、図271の構成では、一般的にPチャンネルのTFT11bはオン抵抗を低くするため、チャンネル幅 W を比較的大きくする必要がある。そのため、ソースゲート容量が比較的大きい。したがって、コンデンサ19bを付加せずとも、TFT11bに発生する寄生容量で代用できる。

【1204】図271のように、突き抜け電圧発生用のコンデンサ19bと電圧シフト用のコンデンサ19cの両方を作製すると、動作点 V_g にばらつきが発生する場合がある。この課題に対しては、画素行を選択するスイッチングTFT (図6では、TFT11b、11c、図19ではTFT11c、11d) をNチャンネルにして、突き抜け電圧を極力低減することが効果的である。この実施例を図272に示す。図272では、スイッチ

ングTFT11bをNチャンネルにすることにより、Pチャンネルに比較して突き抜け電圧を $1/2 \sim 1/5$ にすることができる。したがって、突き抜け電圧は発生しにくく、 V_k 電圧のシフトは発生しにくい。そのため、TFT11aのゲート端子電圧 V_g のばらつきも発生しにくい。なお、図272では、逆バイアス電圧 V_m 印加用のTFT11g (スイッチング手段) と付加している。

【1205】以上は、図6の画素構成の場合であった

10 が、図19の構成も同様である (図274を参照)。画素が選択されると、TFT11dがオンし、ソース信号線18からの電圧 (電流) が、TFT11dのドレイン端子に接続されたコンデンサ19aの一端子に書き込まれる。つまり、ソースドライバ14からの電圧はTFT11bのドレイン端子 V_k に印加される。この電圧 (つまり、プログラム電流である) が、コンデンサ19aとコンデンサ19cで分割されて、駆動用TFT11bのゲート端子電圧 V_g となる。したがって、ゲート端子電圧 V_g はプログラムされた電圧 V_k に比較して小さく、
20 そのため、TFT11bに流れる電流 (EL素子15に流れる電流) は、プログラムされた電流よりも小さくなる。そのため、プログラム電流を大きくし、EL素子15に流れる電流を小さくできる。したがって、黒表示でも、書き込み不足がなくなる。

【1206】なお、明らかな事項であるが、図274に図示するように各画素16には、逆バイアスのTFT11gを付加してもよい。また、突き抜け電圧発生用のコンデンサ19bを付加してもよいことは言うまでもない。もちろん、EL素子15に流れる電流をオンオフ制御するTFT11dを付加してもよいことは言うまでもない。以上のように本発明は、本明細書で記載した構成あるいは実施例あるいは技術的思想を相互に組み合わせることができる。

【1207】なお、共通信号線、電圧制御信号線は画素行と平行に形成する。つまり、画素行ごとに前記信号線を形成 (配置) する。しかし、必ずしも画素行ごとに形成することに限定されるものではない。例えば、2画素行以上ずつ画素を選択する場合は、複数画素行ごとに前記信号線を形成 (または配置) すればよい。

40 【1208】また、図211などにおいて、19bは2端子のコンデンサとしたがこれに限定されるものではない。例えば、TFTを用いて、TFTのソースゲート間容量を用いてコンデンサとしてもよい。つまり、突き抜け電圧を発生させる素子はコンデンサに限定されるものではなく、EL素子15の変換用TFT11aのゲート端子に絶縁状態で、この端子の電位を変更できるものであればいずれでもよい。もちろん、ダイオードの接合容量でもコンデンサを構成できることは言うまでもない。

50 【1209】また、コンデンサ19bは各画素に形成す

るとしたが必ずしもこれに限定されるものではない。例えば、隣接した画素で 1 つのコンデンサ 19b を形成してもよい。

【1210】また、コンデンサ 19b の一端に TFT などのスイッチング素子を配置（形成）し、このスイッチング素子をオンオフ制御することにより、コンデンサ 19b を画素 16 から切り離せるように構成してもよい。つまり、画素 16 からコンデンサ 19b を切り離すことにより、ベース電流を変更（あり、なし）することができるようになる。また、スイッチング素子でコンデンサ 19b を切り離すとしたが、コンデンサ 19b の電極間をショートする TFT（スイッチング素子）などを形成（配置）し、このスイッチング素子をオンさせることにより、コンデンサ 19b の容量を 0 とする制御を行ってもよい。

【1211】電位の変更の対象は変換用 TFT 11a に限定されるものではない。EL 素子 15 の電流量を設定する素子であればいずれでもよい。つまり、変換用 TFT 11a は MIM、TFD（薄膜ダイオード）などでも構成できるからである。これらを制御することにより EL 素子 15 に流れる（あるいは流す）電流を制御できるように構成すればよい。この構成では、必要に応じてカソード電極を横ストライプ状に加工（形成）する。

【1212】また、図 166、図 169、図 172～図 183 などで、逆バイアス電圧 V_m を印加することにより EL 素子 15 の劣化を防止するという逆バイアス駆動方式について説明をした。説明するまでもないが、この逆バイアス駆動方式と図 275、図 276、図 277 などで説明した突き抜け電圧により、EL 素子 15 に流れる電流を制御するという方式（突き抜け駆動方式と呼ぶ）とを組み合わせても良いことは言うまでもない。

【1213】図 276 は、図 86 の電圧プログラムの画素構成に突き抜け電圧発生用のコンデンサ 19b を付加するとともに、逆バイアス電圧 V_m を印加する TFT 11d を付加した構成である。

【1214】なお、逆バイアス電圧 V_m は TFT 11d で印加するとしたがこれに限定されるものではなく、コンデンサに置き換えてもよい。つまり、突き抜け電圧発生用コンデンサ 19b のように、コンデンサの一端にパルス電圧を印加することにより、コンデンサの電極に印加された電圧を、突き抜けにより EL 素子 15 に印加するように構成してもよい。

【1215】図 277 は、図 19 などで説明したカレントミラーの画素構成（電流プログラム方式）に逆バイアス用の TFT 11g を追加した構成である。また、図 278 は図 85 で説明した電圧プログラム方式の画素構成に逆バイアス用の TFT 11g を追加した画素構成である。また、図 279 は図 6 の画素構成（電流プログラム方式）の画素構成に逆バイアス用の TFT 11g を追加した画素構成である。

【1216】なお、以上の実施例において、突き抜け電圧発生用コンデンサ 19b は 2 端子のコンデンサであるとして説明したが、これに限定されるものではない。例えば、図 280 では、トランジスタ 2271 のチャンネル容量でコンデンサ 19b を構成（形成、作製）したものである。ソースドレイン容量を用いても良い。

【1217】同様に電荷保持用コンデンサ 19a も 2 端子のコンデンサに限定されるものではない。図 280 で説明したように、トランジスタのチャンネル容量で構成してもよい。また、ダイオード（図 280 のトランジスタ 2271（コンデンサ 19b））はダイオードともみなせる）で容量を形成してもよい。その他、電荷を保持できる素子であればいずれでもよい。以上の事項は、本発明の他の実施例にも適用できることは言うまでもない。

【1218】また、突き抜け駆動方式と逆バイアス駆動との組み合わせだけではなく、ブロック駆動方式や、N 倍パルス駆動方式、複数画素行選択方式など、本明細書で記載した本発明は相互に組み合わせることができる。

以上の事項は、以降の事項に対しても同様である。

【1219】なお、突き抜け電圧により、目標値の電流に対してずれが発生する。しかし、本発明のように略 N 倍の電流が EL 素子 15 に流れるようにプログラムし、かつ表示画像を間欠表示する方式では、目標値に対するずれも略 $1/N$ となる。また、1 倍の電流（通常駆動、従来の駆動）に比較して、より飽和状態に近い領域で TFT 11a を動作させているため、ずれも少なくなる。したがって、従来に比較してより良好な画像表示を実現できる。

【1220】また、EL 素子 15 に流す電流を制御するというのが本発明の技術的思想である。したがって、突き抜け電圧の発生タイミングはゲート信号線 17a の走査タイミングと必ずしも同期がとれていることが必須の条件ではない。非同期制御も可能であろう。突き抜け電圧は複数回に分散して印加してもよい。

【1221】図 111～図 114 に図示したように、DA 回路 1226 を含む電流出力回路 1222 でソース信号線 18 に電流を出力するとしたが、図 211、図 212、図 215 などのように、突き抜け電圧を発生させて駆動する方法の場合は、一定のベース電流を加えて出力する必要がある。例えば、ある階調で 30 nA の電流を画素 16 に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線 18 に印加する。ベース電流が 40 nA であれば、30 nA + 40 nA の電流をソース信号線 18 に印加する（ソース信号線 18 から電流出力回路 1222 に向かって吸収する）。したがって、ベース電流を加えて流すように回路構成をする必要がある。例えば、ベース電流用のカレントミラー回路を付加したりする構成が例示される。

【1222】図 111～図 114 では、DA 回路 122

6を含む電流出力回路1222でソース信号線18に電流を出力するとしたが、これに限定されるものではない。例えば、ソースドライバ14内に基準電流を発生させる第1のカレントミラー回路を1つ形成する(図281を参照)。

【1223】図281は各ソース信号線18に対応する電流出力回路1222の主要部を図示している。なお、図281では、印加される画像データは6ビット(RGBは各64階調)であるとして説明をする。6ビットは画像データD(0~5)が対応し、MSB(最上位ビット)はD5であり、LSB(最下位ビット)はD0である。

【1224】図281でわかるように、画像データD0によりスイッチングトランジスタ2752aがオンし、1つの子トランジスタ2754aがオンする。同様に、画像データD1によりスイッチングトランジスタ2752bがオンし、2つの子トランジスタ2754bがオンする。また、画像データD2によりスイッチングトランジスタ2752cがオンし、4つの子トランジスタ2754cがオンする。また、画像データD3によりスイッチングトランジスタ2752dがオンし、8つの子トランジスタ2754dがオンする。また、画像データD4によりスイッチングトランジスタ2752eがオンし、16つの子トランジスタ2754eがオンする。また、画像データD5によりスイッチングトランジスタ2752fがオンし、32つの子トランジスタ2754fがオンする。したがって、入力画像データDに応じて64階調を表現する電流Iwがソース信号線18から流れ込む。つまり、ゲート信号線17aにオン電圧が印加され、選択画素行のTFT11a(図6の場合)からIdd(=Iw)電流が流れる。

【1225】図281では、ソースドライバ14内には1つの親トランジスタ2753が形成(配置)されている。この親トランジスタ2753に流れる電流が子トランジスタ2754に流れる。つまり、ソース信号線18が176(QCIFの場合)本あるとすれば、 176×63 個の子トランジスタ2753が親トランジスタ2753と接続されていることになる。

【1226】ただし、これでは1つの親トランジスタ2753に接続されている個数が多いので、中間のトランジスタを配置してもよい。例えば、親トランジスタを第1のトランジスタとすれば、第2のトランジスタ、第3のトランジスタを形成し、第3のトランジスタに子トランジスタ2754の63個を接続し、カレントミラーの関係にする。したがって、QCIFを例示すれば(ソース信号線数176本)、第1のトランジスタを1個(親トランジスタ)とカレントミラーの関係にある第2のトランジスタを16個形成(配置)し、この第2のトランジスタとカレントミラーの関係にある第3のトランジスタを11個形成(配置)する。つまり、カ

レントミラーの関係にある第1から第3のトランジスタの個数は、 $1 \times 16 \times 11 = 176$ 個である。なお、この第1から第3のトランジスタはソースドライバ14内で密集して配置する。各トランジスタのVtばらつきの影響をなくするためである。特に第1のトランジスタと第2のトランジスタは、ごく近傍に配置する必要がある。

【1227】以上のような関係にすると、第1のカレントミラー回路(親トランジスタ2753)に流す電流を調整することにより、ICチップ全体の出力電流量を調整できるようになる。親トランジスタ2753に流す電流は電子ポリウムで調整できるように構成しておく。また、図281に図示するように、ソースドライバ14に外付けポリウム(バイアス抵抗)2751を配置し、この抵抗の抵抗値を変更することにより、親トランジスタ(第1のトランジスタ)2753に流れる電流を変化させるように構成してもよい。いずれにせよ、親トランジスタ2753に流れる電流を調整することにより、プログラム電流Iwの最小きざみを容易にかつ全ソース信号線18同時に変更することができる。

【1228】なお、図45、図46、図116などでは同時に複数の画素行を選択するとした。この場合でも、親トランジスタ2753に流す電流を変化させることにより対応できる。つまり、1画素行を選択する場合に比較して、選択する画素行倍の電流を親トランジスタ2753に流せばよいからである。また、図121で説明したように、1Hの期間などで、ソース信号線18に流す(ソース信号線18から吸収する)電流を変化させる駆動方法への対応も容易である。親トランジスタ2753に流す電流を可変すればよいからである。

【1229】この親トランジスタ2753の電流の調整により、表示パネルの明るさ、ガンマ特性を調整することができる。なお、親トランジスタ2753に流す基準電流は、R、G、B画素ごとに独自に調整できるように構成する。RGBでガンマカーブ、印加電流が異なるからである。この構成を図282に示す。図282に図示するように、各色の親トランジスタ2753(2753R、2753G、2753B)に流す電流を電子ポリウムあるいはバイアス抵抗により変更できるようにしておくのである。もちろん、EL素子15のガンマ特性、温度特性に合致するように、親トランジスタ2753に流す電流は補正しておく。

【1230】他に、データD0からD5にそれぞれ1つの(複数の場合もある)子トランジスタ2754を形成し、親トランジスタ2753とのカレントミラー回路のカレント倍率を変化させることにより、電流出力を変化させる構成でもよい。例えば、D0に対応する子トランジスタ2754は親トランジスタ2753とのカレント倍率1倍とし、D1に対応する子トランジスタ2754は親トランジスタ2753とカレント倍率2倍とする

同様に、D2に対応する子トランジスタ2754は親トランジスタ2753とのカレント倍率4倍とし、D3に対応する子トランジスタ2754は親トランジスタ2753とのカレント倍率8倍とする。さらに、D4に対応する子トランジスタ2754は親トランジスタ2753とのカレント倍率16倍とし、D5に対応する子トランジスタ2754は親トランジスタ2753とのカレント倍率32倍とする構成である。

【1231】以上のように、出力電流回路1222を、2段階あるいは3段階（第1のトランジスタ、第2のトランジスタおよび第3のトランジスタ）のカレントミラー回路の構成を採用することにより、各ソース信号線18にプログラムされる電流ばらつきをなくすることができる。図211、図215のように、突き抜け電圧用のコンデンサ19bを形成した場合は、一定のベース電流を加えて出力する必要がある。また、突き抜け電圧用のコンデンサ19bを配置（形成）しない構成であっても、TFT11bのソースゲート端子容量により突き抜け電圧が発生する。例えば、先と同様に、ある階調で30nAの電流を画素16に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線18に印加する。ベース電流が40nAであれば、30nA+40nAの電流をソース信号線18に印加する（ソース信号線18から電流出力回路1222に向かって吸収する）。したがって、ベース電流を加えて流すように回路構成をする必要がある。例えば、ベース電流用のカレントミラー回路を別途、付加したりする構成が例示される。

【1232】図283では、このベース電流印加用のトランジスタ2752bbと2754bbをソースドライバ14内に配置（形成）している。なお、ベース電流の印加は端子Dbbに印加するロジック信号で切り替えられる。つまり、ベース電流を加えるか否かは、ロジック的に制御できるように構成されている。

【1233】RGBのEL素子15ごとにガンマカーブ、印加電流が異なるので、ベース電流もRGBごとに独自に調整できるように構成すること、また、オンオフ制御できるように構成することが好ましい。ベース電流を印加（ソース信号線18から電流を吸収する場合もある）すると、画像によっては、黒浮きが発生するからである。したがって、ベース電流をオンオフさせることにより、最適に調整できるようにする。また、ベース電流のオンオフもRGBごとに独自に設定できるようにしておくことが好ましい。

【1234】なお、先にも説明したが親トランジスタ2753に流す基準電流、トランジスタ2754bbに流すベース電流は温度補償をしておく。パネル（正確にはEL素子15の温度）を検出し、その検出した温度によって、基準電流、ベース電流の値を変化させる。一般的に、EL素子15は温度が上がると発光効率が低下する

ので、温度が上がるときにはEL素子15に印加する電流を増大させるように構成する。また、基準電流、ベース電流の温度補償も、RGBごとに独自に補償値を設定できるようにすることが好ましい。

【1235】以上の実施例では、画素16に突き抜け電圧発生用のコンデンサ19bを形成する、あるいは、TFT11bなどのチャンネル容量を利用して黒表示のバイアス電流をより多く流したりする方式であったが、以上の事項は、ソース信号線18の電位をシフトすることによっても実現できる。図284はその実施例である。

【1236】例えば、スイッチ回路1223に印加される電圧は図143の電圧出力回路1221である。つまり、画像データに応じて、スイッチ回路1223をオンさせてソース信号線18の電位をVdd電圧の方にシフトさせる。したがって、TFT11aのゲート端子の電位Vgが高くなり、TFT11aは電流を流さなくなる。スイッチ回路1223を閉じるタイミングは選択された画素行が非選択となる直前である。つまり、ゲート信号線17aにオフ電圧が印加される直前である。したがって、画素16のコンデンサ19aに電流プログラムされ、スイッチ回路1223が動作することでソース信号線18による電位シフトがコンデンサ19aに重畳されたのち、ゲート信号線17aにオフ電圧が印加され、該当画素行が非選択となる。

【1237】なお、「画像データに応じて」とは、64階調のうち、黒表示に近い下位8階調では、スイッチ回路1223を閉じるという制御を行うという意味である。黒表示ではソース信号線18に流す電流が小さいため、書き込み不足が発生しやすいからである。つまり、以前に説明した選択プリチャージである。

【1238】図284の電流出力回路1222は図143、図144、図281、図282、図283などに限定されるものではない。以下、本発明の他の電流出力回路1222について説明をする。

【1239】図285は他の電流出力回路1222を用いた表示パネルの構成図である。なお、図285などでは、電流出力回路1222は、アレイ基板49に画素16と同時に形成してもよい。つまり、電流出力回路1222は低温ポリシリコン技術で形成してもよい。つまり、画素のTFTと同一のプロセスで形成するのはもちろん、シリコンチップのソースドライバ14内に形成し、COG技術などを用いてアレイ基板49上に実装してもよいことは言うまでもない。また、高温ポリシリコン技術で形成してもよく、有機材料で形成（有機TFT）してもよい。

【1240】図285の電流出力回路1222は図157のEL素子15を削除し、この削除したEL素子の箇所とソース信号線18を結した構成である。つまり、図157のソース信号線18が電流プログラム線3002となる。この電流プログラム線3002には電流サンフ

リング回路 3001 の出力が接続される。電流プログラム線 3002 に流れる電流はソース信号線 18 に流れる電流である。したがって、電流サンプリング回路 3001 からの電流が電流プログラム線 3002 に流れ、この電流がコンデンサ 19 にプログラムされる。そして、プログラムされた電流が 1H クロックに同期してソース信号線 18 に印加されるのである。したがって、1H クロックに同期して一斉に電流をソース信号線 18 に印加する必要があるため、電流出力回路 1222 の出力段には 1H クロックに同期してオンオフするスイッチを具備している。

【1241】なお、電流出力回路 1222 は図 159 のカレントミラーの画素 16 構成でもよい。図 285 の電流出力回路 1222 は図 159 の EL 素子 15 を削除し、この削除した EL 素子の箇所とソース信号線 18 と接続した構成である。つまり、図 159 のソース信号線 18 が電流プログラム線 3002 となる。

【1242】なお、図 159 のカレントミラーの構成では、カレント倍率を設定すること（構成すること）により、電流出力回路 1222 にサンプリングして書き込む電流と、ソース信号線 18 から吸い込む電流値を異ならせることができる。したがって、電流サンプリング回路 3001 からの書き込み電流を増加させることができ、電流サンプリング回路 3001 の書き込み不足を解消することができる。また、逆にソース信号線 18 への書き込み電流を増加させることもできる。

【1243】なお、図 285、図 286 などにおいて、電流出力回路 1222 は、図 157、図 159 を変形させたものとして説明したがこれに限定されるものではない。例えば、2 本の信号線に流れる電流（一方の電流はバイアス電流、他方の電流はバイアス電流+信号（書き込み）電流）の差を電流出力回路 1222 に書き込む差動構成であってもよい。差動構成では、電流サンプリング回路 3001 から電流出力回路 1222 への電流書き込み不足は発生しない。しかし、電流プログラム線 3002 は 2 本必要である。

【1244】また、図 157、図 159 において、図 271、図 277、図 275 などでも説明したように画素 16 構成に突き抜け電圧発生用のコンデンサ 19b など付加することにより、バイアス電流を発生することができる。したがって、黒表示状態などにおいて、ソース信号線 18 に流す電流を増加させることができる。

【1245】図 285 の構成では、デジタル画像データをアナログ電流に変換する DA 回路（図示せず）からの出力は、電流サンプリング回路 3001 で電流サンプリングされ、それぞれソース信号線 18 に配置（形成）された電流出力回路 1222 に保持される（コンデンサ 19 に記憶される）。この保持された電流を 1H クロックに同期してソース信号線 18 に印加され（ソース信号線 18 から電流を吸収し）、各表示画面 21 の画素 16 に

順次書き込まれるのである。以上の構成を採用することにより、図 144 などでも説明したオペアンプなどが不要になり、図 283 で説明したカレントミラー回路なども不要になる。また、電流出力回路 1222 の構成が容易であるので低温ポリシリコン技術などでも形成することができる。

【1246】ただし、課題がある。電流サンプリング回路 3001 の動作周波数が高く、電流出力回路 1222 への書き込み不足が発生するからである。これを解決するのは、図 286 に図示するように、2 つの電流出力回路（1222a、1222b）と、2 つの電流サンプリング回路 3001（3001a、3001b）を配置（形成）すればよい。

【1247】このように 2 層にすることにより、第 1H 目では電流出力回路 1222a からソース信号線 18 に電流を印加し、その期間に、電流サンプリング回路 3001b を動作させて電流出力回路 1222b に書き込み電流を保持させる。次の第 2H 目では電流出力回路 1222b からソース信号線 18 に電流を印加し、その期間に、電流サンプリング回路 3001a を動作させて電流出力回路 1222a に書き込み電流を保持させることができる。つまり、電流サンプリング回路 3001 の動作スピードを 1/2 にすることができる。なお、表示画面は図 286 に図示するように表示画面 21a と 21b の 2 分割としてもよい（ソース信号線 18 を画面の中央部で切断する）。

【1248】なお、図 285、図 286 などでも説明した電流出力回路 1222 がプログラム電流 I_w を吸い込む方向か、吐き出す方向かは、画素 16 構成によって異なる。つまり、画素 16 構成にあわせて電流出力回路 1222 の構成を設定（形成）する。

【1249】図 286 では、図 187 で説明したようにゲート信号線 17b を複数信号線ずつ共通にしている。つまり、ブロック駆動方式を実施する。以上のように、本発明は、本明細書に記載した他の構成と組み合わせることができる。さらに、図 287 は、点灯制御線 1791 を複数本形成し、かつ、逆バイアス電圧を印加するように構成している。以上のように、本発明は、本明細書に記載した他の構成と組み合わせることができる。

【1250】EL 表示装置は、液晶表示装置のようなバックライトが不要である。したがって、モジュール厚を薄くできるという特徴がある。液晶表示装置は、バックライトを点灯して画像を表示する。また、バックライトの消費電力は携帯電話に使用するモジュールで 200 ~ 300mW と大きい。それと比較して、EL 表示パネルで使用する消費電力は 5 ~ 10mW と小さい。したがって、画像を表示する際は、バックライトが点灯しているため、どんな画像を表示してもモジュールとしての消費電力には差がない。

【1251】EL 表示装置において、画像表示状態と消

費電力には密接な関係がある。通常、自然画では消費電力は少ない。しかし、白ラスタ表示では、自然画の3～4倍の電流を消費する。また、画像の表示状態によって、モジュールに流れる電流が絶えず変化する。

【1252】白ラスタ表示、画像の表示状態に追従するように電源回路を構成すると非常に回路構成が大きくなる。また、電源容量も大きくなる。本発明はこれらの課題を解決するものであり、また、表示画面21の明るさ制御を容易に実現するものである。

【1253】図288は、情報表示装置の一例としての本発明の携帯電話の表示方法の説明図である。図288(a)は、携帯電話の表示画面21を示している。表示画面21bはアンテナの受信状態、時刻などを表示する部分である。つまり、定常的に必要な情報を表示する領域である。表示画面21cも同様に操作アイコンなど定常的に必要な情報を表示する領域である。表示画面21aはメニュー、画像などを表示する領域で絶えず、表示する画像が変化する領域である。

【1254】図288では説明を容易にするため、図187、図210などで説明したブロック表示方法を適用しているとする。表示画面21bは3つのブロック1981bを対応させ、表示画面21cは3つのブロック1981cを対応させている。また、表示画面21aは残りのブロック1981aを対応させている。したがって、選択するブロック1981の回数などを制御することにより容易にブロック1981ごとに画像の明るさを調整できる。なお、断っておくが、表示画面21a、21b、21cなどの明るさ調整は、図187、図210などで説明したブロック駆動に限定されるものではない。当然のことながら、図84、図45、図46などで説明した順次駆動でもよいことは言うまでもない。順次駆動でも、クロックの速度などを制御することにより、部分ごとに表示画面21での明るさ調整を容易に実現できるからである。

【1255】表示画面21b、21cは定常的に表示する部分であるので、一定の表示画面の明るさを保つ必要がある。また、電流の消費量は一定である。しかし、図288(a)の表示画面21aは画像の種類により画像の明るさを制御することが好ましい。例えば、表示画面21aにテレビ画像を表示していて、突然画面全体が白表示(白ラスタ)に変化すると急激に電源回路からモジュールに電流が流れる。この電流によりモジュールが発熱し、劣化あるいは不良が発生する危険性がある。なお、図288(b)で図示したブロック1981a、1981b、1981cはそれぞれ個別にオンオフ処理(点灯、非点灯処理)を行うことができ、画像の明るさを調整できる。これは、点灯制御線1791を制御することにより容易に実現できる。

【1256】したがって、表示画面21aにどんな画像が表示されるかを監視し、消費電力が急激に増加する

場合は、表示する画像データに演算処理などを施して表示画面21aの全体輝度を低下させる必要がある。例えば、白ラスタ表示を行う時には、白ラスタの画像データの大きさなどを1/2とし、表示輝度を1/2に低減させる。なお、画像の輝度は、図187などでも説明しているように、非表示領域312と画像表示領域311の割合を変化することにより行う。このようにすることにより、画像データの大きさを変化させずに画像の明るさ調整を実現できる。もちろん、画像データの大きさを変化させて実現してもよいことは言うまでもない。

【1257】図289は、画像データによる消費電力変化を抑制する回路である。フレーム(フィールド)メモリ2621は2つの領域(2621a、2621b)に分かれており、それぞれ、1画面の画像データを保持できる。フレームメモリ2621aとフレームメモリ2621bとは交互に選択される。例えば、フレームメモリ2621aからデータ変換回路2623に画像データを読み出している時には、マイコン(図示せず)からフレームメモリ2621bに画像データが書き込まれている。逆に、フレームメモリ2621bからデータ変換回路2623に画像データを読み出している時には、マイコン(図示せず)からフレームメモリ2621aに画像データが書き込まれている。なお、説明を容易にするため、画像データDATA(5:0)はD5～D0の6ビット(64階調)であるとして説明をする。

【1258】画像データDATA(5:0)はフレームメモリ2621aと2621bに交互に書き込まれる。MSBのDATA5は、カウンタ回路2622でカウントされる。DATA5をカウントするのは、DATA5のビットがたっている画像データ、つまり、最高輝度の1/2以上となる画像データの個数をカウントしているのである。したがって、カウンタ回路2622のカウント値が大きいほど画像の輝度が高く、モジュールで消費する電力が大きいことを示していることになる。

【1259】今、画像データはフレームメモリ2621aに書き込まれるとともに、カウンタ回路2622でカウントされているとする。この時、フレームメモリ2621bの画像データが読み出されている。

【1260】カウンタ回路2622のカウント値が所定値(この所定値はマイコン(図示せず)などにより可変できるように構成しておく)以上の時、カウンタ回路2622はデータ変換回路2623を制御する。この制御とは、フレームメモリ2622からの画像データの値を1/2する(1ビット右にシフトする)などの処理である。つまり、カウンタ回路は1画面の画像データをカウントする(画像データはフレームメモリ2621aに書き込まれる)。そして、この画像データをフレームメモリ2621aから読み出し、この画像データを制御するのである。

【1261】なお、カウントはD5だけでなく、DAT

A (5:4) あるいは DATA (5:3) をカウントすることにより、より画像の特徴抽出が正確に行えることは言うまでもない。特徴抽出を正確に行うことにより表示画面 21a の明るさ調整をより適切に実施することができる。

【1262】画像データが白ラスタなど、非常に消費電力が大きくなる場合は、データ変換回路 2623 で画像データを小さくする画像データ変換処理をした後、その変換後のデータをソースドライバ 14 に印加する。なお、画像を 1 フレームごとに処理し、1 フレームごとに表示画像の明るさ調整をすると画像がブリンクしてしまう（明るい画面と暗い画面が繰り返され、画像がまばたいた状態となる）。この課題に対しては、画像処理に遅延を持たし、また、複数フレームの画像変化を考慮しながら、データ変換回路 2623 のデータ変換制御を行うことにより対応できる。

【1263】なお、図 289 では、画像データを変換し、ソースドライバ 14 に印加することにより表示画面 21a の明るさ調整を行うとしたが、これに限定されるものではなく、図 288 のブロック 1981a の点灯時間を制御することにより実現しても良いことは言うまでもない。以下、この実施について説明をする。

【1264】図 290 はその実施例の説明図である。フレーム（フィールド）メモリ 2681 は 2 つの領域（2681a、2681b）に分かれており、それぞれ、1 画面の画像データを保持できる。フレームメモリ 2681a とフレームメモリ 2681b とは交互に選択される。例えば、フレームメモリ 2681a からソースドライバ 14 に画像データを読み出している時には、マイコン（図示せず）からフレームメモリ 2681b に画像データが書き込まれている。逆に、フレームメモリ 2681b からソースドライバ 14 に画像データを読み出している時には、マイコン（図示せず）からフレームメモリ 2681a に画像データが書き込まれている。以上の事項は図 289 と同様である。

【1265】画像データ DATA (5:0) の MSB の DATA 5 は、加算回路 2682a でカウントされる。図 289 の実施例と同様に、最高輝度の $1/2$ 以上となる画像データの個数をカウントするためである。したがって、加算回路 2682a のカウント値が大きいほど画像の輝度が高い画像データが多いことを示している。

【1266】加算回路（演算処理回路）2682b は、表示画面 21 を複数のブロックに区切り、それぞれのブロックでも平均輝度分布を処理する。また、演算処理回路 2682c は画像データの所定輝度以上の画像データの分布状態と、所定輝度以下の画像データの分布状態を演算により求めている。つまり、加算回路（演算処理回路）2682b は、表示画面 21 の平均輝度分布、画像データの分布状態などを解析するものである。

【1267】ゲートドライバ制御回路 2683 は、演算

処理回路 2682 からの演算結果（処理結果）を複数フレームにわたって蓄積し、ゲートドライバ 12 のシフトレジスタ 22 に印加する ST データあるいは、点灯制御線 1791 のオンオフデータを送出する。

【1268】例えば、シフトレジスタ 22 の制御により画面の明るさを調整するのであれば、図 291 のようになる。画像を暗くする場合は、図 291 (a) に図示するようにシフトレジスタ 22 に印加する ST データ数を少なくする。したがって、表示画面 21 に占める画像表示領域 311 の割合が低下して暗くなる。比較的、表示画面 21 を明るくする場合は、図 291 (b) の画像表示領域 311 の幅を太くするか、もしくは画像表示領域 311 の個数を多くする。さらに、表示画面 21 を明るくする場合は、図 291 (c) の画像表示領域 311 の幅をさらに太くするか、もしくは画像表示領域 311 の個数をさらに多くする。なお、以上の処理は、図 288 のブロック 1981 の選択処理でも実現できることは明らかである。したがって、説明を省略する。

【1269】また、画像データが動画であるか静止画であるかを検出し（動画検出、1D 処理で行う）、図 291 の画像表示領域 311 の数を調整すればよい。つまり、動画であれば、画像表示領域 311 の個数を減らし、動画ボケをなくす。静止画であれば、フリッカの発生を抑制するために、画像表示領域 311 の個数を多くし、また画像表示領域を表示画面 21 に分散させる。

【1270】図 289 では、所定輝度以上の画像データの個数をカウントし、表示画面 21 の明るさ制御を行うとしたが、図 290 と同様に、画像の特徴を抽出して表示画面 21 の輝度を変化させてもよい。この実施例を図 292 に示す。なお、図 290 と図 292 の実施例を組み合わせても良いことは言うまでもない。

【1271】図 292 はその実施例の説明図である。フレーム（フィールド）メモリ 2621 は 2 つの領域（2621a、2621b）に分かれており、それぞれ、1 画面の画像データを保持できる。フレームメモリ 2621a とフレームメモリ 2621b とは交互に選択される。例えば、フレームメモリ 2621a からデータ変換回路 2692 に画像データを読み出している時には、マイコン（図示せず）からフレームメモリ 2621b に画像データが書き込まれている。逆に、フレームメモリ 2621b からデータ変換回路 2692 に画像データを読み出している時には、マイコン（図示せず）からフレームメモリ 2621a に画像データが書き込まれている。以上の事項は図 289 または図 290 と同様である。

【1272】画像データ DATA (5:0) の MSB の DATA 5 は、加算回路 2682a でカウントされる。加算回路 2682a のカウント値が大きいほど画像の輝度が高い画像データが多いことを示している。加算回路（演算処理回路）2682b は先と同様に、表示画面 21 を複数のブロックに区切り、それぞれのブロックでも

平均輝度分布を処理する。また、演算処理回路 2682c は画像データの所定輝度以上の画像データの分布状態と、所定輝度以下の画像データの分布状態を演算により求めている。つまり、加算回路（演算処理回路）2682は、表示画面 21 の平均輝度分布、画像データの分布状態などを解析するものである。

【1273】データ制御回路 2691 は、演算処理回路 2682 からの演算結果（処理結果）を複数フレームにわたって蓄積し、データ変換回路 2692 を制御して、画像データの変換処理をする。

【1274】例えば、画面の明るさを調整するのであれば、図 289 と同様にデータをビットシフトさせた画像データの大きさを変換する。同時に画像データの解析結果に基づき、図 293 に図示するように最適なガンマ変換処理を実施する。

【1275】図 293 はガンマテーブルである。横軸に階調番号を示し、縦軸は表示輝度の相対値をとっている。図 293 の点線がリニアの場合であり、実線は黒表示領域と白表示領域で階調つぶれを発生させた場合である。また、一点鎖線は、黒階調部のみで階調つぶれを発生させた場合である。

【1276】以上のように、演算処理回路 2682 で画像の特徴抽出を行い、この結果に基づき、表示画像のガンマカーブを選択し、データのテーブル変換を行う。ガンマテーブルは 3 種類以上設け、最適なものを選択する。そして変換した画像データをソースドライバ 14 に入力する。

【1277】さらに図 291 で説明したように、画像を暗くする場合、図 291 (a) に図示するようにシフトレジスタ 22 に印加する ST データ数を少なくする。したがって、表示画面 21 に占める画像表示領域 311 の割合が低下して暗くなる。比較的、表示画面 21 を明るくする場合、図 291 (b) の画像表示領域 311 の幅を太くするか、もしくは画像表示領域 311 の個数を多くする。さらに、表示画面 21 を明るくする場合は、図 291 (c) の画像表示領域 311 の幅をさらに太くするか、もしくは画像表示領域 311 の個数をさらに多くする。なお、少ない消費電力で表示画像を比較的明るく見えるようにするためには、表示輝度の最高輝度を低くし、最低輝度を高くし（つまり、画像のコントラストを低下させる）、かつ全体の平均輝度を小さくするとよい。

【1278】また、画像データが動画であるか静止画であるかを検出し（動画検出、ID 処理で行う）、図 291 の画像表示領域 311 の数を調整すればよい。つまり、動画であれば、画像表示領域 311 の個数を減らし、動画ボケをなくす。静止画であれば、フリッカの発生を抑制するために、画像表示領域 311 の個数を多くし、また画像表示領域を表示画面 21 に分散させる。

【1279】なお、図 288 では表示画面は 21a、2

1b、21c の 3 つの領域とし、表示画面 21a の表示輝度を変化させるとしたが、これに限定されるものではなく、表示画面 21b、21c とも変化させてもよい。

【1280】また、図 294 に図示するように、表示画面の端に表示画面 21d、21e を設けてもよい。この表示画面 21d、21e は単なる枠としての表示を行う（つまり、画素電極が形成されておらず、ドットパターンの表示はできない）。したがって、表示画面 21d、21e は単純マトリックス的な表示となる。つまり、表示画面 21d、21e に電圧を印加すると画面全体が点灯する。

【1281】図 295 に図示するように、点灯制御線 1791a に電圧を印加すると、表示画面 21d の EL 膜が点灯する。また、点灯制御線 1791b に電圧を印加すると、表示画面 21e の EL 膜が点灯する。他の構成（1891 など）は、以前に説明したので説明を省略する。

【1282】図 296 に図示するように、ポリシリコン技術で形成されたゲートドライバ 12 に平滑化膜 71 が形成されている。この上に画素電極 48a と同一材料で画素電極 48b が形成されており、画素電極 48b 上に有機 EL 層 47 が形成されている。有機 EL 層 47 上にはカソード電極（もしくはアノード電極）が形成される。画素電極 48b に電圧を印加することにより、表示画面 21d、21e が点灯する。

【1283】以上の実施例では、EL 素子 15 は R、G、B であるとしたがこれに限定されるものではない。例えば、シアン、イエロー、マゼンダでもよいし、任意の 2 色でもよい。R、G、B、シアン、イエロー、マゼンダの 6 色あるいは任意の 4 色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルタで RGB にしたものでもよい。また、有機 EL 素子に限定されるものではなく、無機 EL 素子であってもよい。

【1284】本発明の液晶表示パネルあるいはそれを用いた表示装置において、ゲートドライバ 12 とソースドライバ 14 は複数個（複数種類）集積することが好ましい。こうすることで、携帯電話網や無線 LAN からダウンロードした動画や静止画、地上波のテレビ放送を受信する画像など、あらゆる通信網から入る画像を、MPU に負担をかけることなく表示できるようになる。高精細画像は VGA 対応で 6 ビットのゲートドライバ 12 とソースドライバ 14 を使って表示し、精細度が落ちれば QVGA に切り替え、テキスト・データならば 1 ビットのゲートドライバ 12 とソースドライバ 14 を使用する。また別途、NTSC 表示用ドライバ（インターレース、擬似インターレース走査）、プログレッシブ表示用ドライバ（ノンインターレース）を形成することも好ましい。なお、これらの複数の機能を有するゲートドライバ 12、ソースドライバ 14 はシリコンチップで形成し、

COG技術などで実装してもよいことは言うまでもない。

【1285】なお、図45、図46などでは、アクティブマトリックス型表示パネルを例示して説明したがこれに限定されるものではない。ソースドライバ14などからは所定電流のN倍電流をソース信号線18に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【1286】ゲートドライバ12、ソースドライバ14が1種類の場合、精細度の異なる画像を表示するためにMPUで信号の変換処理を実行する必要がある。液晶表示パネル以外で多数のゲートドライバ12、ソースドライバ14を用意する場合は、個別にICを実装する必要があるため、コストが高くなるとともに実装面積が拡大してしまう。また、ゲートドライバ12、ソースドライバ14だけでなく、画像処理回路など多くの回路を表示パネル82上のSi膜中に集積してもよい。

【1287】また、EL素子は点灯初期に特性変化が大きいので、焼きつきなどが発生しやすい。この対策のため、パネル形成後、20時間以上150時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも2～10倍程度の明るさで表示させることが好ましい。

【1288】なお、本発明は、図85、図87などで説明した画素構成を電圧プログラムの画素構成、図6、図19などで説明した電流プログラムの画素構成を中心として説明し、各画素には、1H期間に同期してソースドライバ14から信号が供給されて書き込まれるとしたが、これに限定されるものでない。例えば、1フレームまたは1フィールドを複数のサブフレーム（フィールド）に分割して駆動する時分割駆動と組み合わせてもよい。また、1画素の複数の画素に分割する面積階調方式を組み合わせてもよい。

【1289】図21、図49、図50～図53、図55、図60、図63、図66、図67、図69、図169、図172～図183などを用いて駆動（表示）方法、駆動回路について説明したが、これらの技術的思想を実現するガリウム、シリコン、ゲルマニウムなどで作製された半導体チップも本発明の権利範囲である。これらの半導体チップを表示パネルに実装することにより表示装置、情報表示装置などを実現できる。

【1290】また、図6（b）、図20、図76、図79、図80、図82などにおけるVb_b電圧を印加する端子を、図67で説明したようにゲートドライバ12bに接続することにより、良好な画像表示を実現することができる。

【1291】また、図185、図226などで説明した

電源電圧V_{dd}などに関する事項も本明細書のすべての画素構成あるいは、表示パネル、情報表示装置あるいは駆動方法に適用される。また、図2～図5、図23～図33、図37、図38、図164、図169、図172～図183、図225、図227～図229、図234、図237、図239～図242などに関しても本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

10 【1292】図45、図46、図84、図88～図94、図116～図141で説明した本発明の駆動方法、駆動回路と、図163、図166、図169、図172～図183などで説明したEL素子15に逆バイアス電圧を印加する方法あるいは構成とを組み合わせることによりさらに特徴ある効果が発揮される。また、これらは、図6、図19、図85～図87、図168、図169～図183、図244～図247、図251などで説明した画素構成に適用できることも言うまでもない。また、これらの構成で、図48～図51、図53～図60、図63～図65、図68、図70、図71、図85

20 などを實現できることも説明を要しない。図23～図32の3辺フリーの構成と組み合わせることも有効であることは言うまでもない。また、これらの技術を用いて、図2～図5、図23～図33、図37、図38、図164、図169、図172～図183、図225、図227～図229、図234、図237、図239～図242などの表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。

30 【1293】また、図163、図169、図172～図183などで説明したEL素子15に逆バイアス電圧を印加する方法あるいは構成も、図6、図19、図49、図62、図66、図67、図72～図76、図79～図83、図85～図87、図155～図162、図165、図169、図172～図184、図244～図247、図251などの画素構成あるいはアレイ構成などに適用することは言うまでもない。また、これらの構成で、図48～図51、図53～図60、図63～図65、図68、図70、図71、図85などを實現できることも説明を要しない。図23～図32、図187～図200、図206～図209などの3辺フリー構成と組み合わせることも有効であることは言うまでもない。特に、3辺フリー構成の場合は、画素がアモルファスシリコン技術を用いて作製されている時に有効である。また、アモルファスシリコン技術で形成されたパネルでは、TFT素子の特性ばらつきのプロセス制御が不可能なため、本発明の電流駆動を実施することが好ましい。

50 【1294】さらに、これらの技術を用いて、図2～図5、図23～図33、図37、図38、図164、図169、図172～図183、図225、図227～図229、図234、図237、図239～図242などの

表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。

【1295】図168、図169、図170～図183などで説明した画素構成、あるいは駆動方法における画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。例えば、液晶の場合は、TN (Twisted Nematic)、IPS (In-Plane Switching)、FLC (Ferroelectric Liquid Crystal)、OCB (Optically Compensatory Bend)、STN (Super Twisted Nematic)、VA (Vertically Aligned)、ECB (Electrically Controlled Birefringence) およびHAN (Hybrid Aligned Nematic) モード、DSMモード (動的散乱モード) などである。特に、DSMは印加する電流により光変調できるので、本発明とはマッチングがよい。

【1296】また、スイッチング素子についてもTFTに限定されるものではない。また、本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【1297】図1、図6、図19、図28～図32、図49、図62、図66、図67、図72～図76、図79～83、図85～図87、図95、図100～106、図109～図115、図155～図162、図165、図169、図172～図184、図244～図256、図258～図267、図269、図270、図272、図273、図275～図280などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。また、スイッチング素子についてもTFTに限定されるものではないことは、図226などで説明した。

【1298】また、図3、図10～図12、図23、図26、図28～図32、図164、図232、図234、図235、図239～図242、図268、図288、図296などの構成、装置、方式はEL表示パネルを用いたものに限定されるものではない。例えば、PDP表示パネル、PLZT表示パネル、液晶表示パネルなどを用いたものにも適用することができる。

【1299】図13～図16、図20、図43の製造方法を用いることにより、図1、図6、図10～図12、図19、図39、図49、図62、図66、図67、図72～図76、図79～図83、図85～図87、図9

5、図100～図106、図109～図115、図155～図162、図165、図169、図172～図184、図244～図256、図258～図267、図269、図270、図272、図273、図275～図280などの画素構成あるいはアレイ構成の表示パネルを容易に製造できる。また、これらを用いて情報表示装置を構成することができる。また、図7～図12、図17の構成あるいは構造は、本発明の表示パネルあるいは表示装置に適用できることは言うまでもない。

【1300】また、図101～図106、図109、図110の表示パネルの構成もしくはその駆動方法は、画素構成が、図1、図6、図10～図12、図19、図39、図49、図62、図66、図67、図72～図76、図79～図83、図85～図87、図95、図100～106、図109～図115、図155～162、図165、図169、図172～図184、図244～図256、図258～図267、図269、図270、図272、図273、図275～図280などのいずれの構成であっても適用できることは言うまでもない。

【1301】図1、図6、図19、図49、図62、図157～図159、図162、図184、図81、図160、図161、図66、図85、図86、図72～図75、図83、図67、図76、図80、図82、図79、図183、図169、図172～図182、図87、図165、図155、図156、図244～図247、図251、図39、図248、図275～図280、図252～図256、図249、図250、図258～図267、図269、図100～図106、図109～図115、図270、図273、図272、図95などの画素構成あるいはアレイ構成は、図230、図231、図233、図238、図295、図288、図294などの情報表示装置に適用できることは言うまでもない。

【1302】また、図6、19、図49、図62、図157、図158、図159、図162、図184、図81、図160、図161、図66、図85、図86、図72～図75、図83、図67、図76、図80、図82、図79、図183、図169、図172～図182、図87、図165、図155、図156、図244～図247、図251、図248、図275～図280、図252～図256、図249、図250、図258～図267、図269、図100、図1、図101～図104、図110、図109、図105、図106、図111～図115、図270、図10～図12、図273、図272などの画素構成あるいはアレイ構成は、図164、図232、図235、図234、図3、図23、図26、図239、図240、図241、図242、図28～図32、図210～図217、図230、図231、図233、図238、図218～図223、図251、図248、図275～図280、図252～

図 256、図 249、図 250、図 258～図 267、図 269、図 100、図 1、図 101～図 104、図 110、図 109、図 105、図 106、図 111～図 115、図 270、図 273、図 272、図 95 に採用できることは言うまでもない。

【1303】また、図 281～図 283 のソースドライバの構成、図 284～図 287 の電流出力回路 1222 などの構成は、画素構成が、図 6、図 19、図 49、図 62、図 157、図 158、図 159、図 162、図 184、図 81、図 160、図 161、図 66、図 85、図 86、図 72～図 75、図 83、図 67、図 76、図 80、図 82、図 79、図 183、図 169、図 172～182、図 87、図 165、図 155、図 156、図 244～247、図 251、図 248、図 275～図 280、図 252～図 256、図 249、図 250、図 258～図 267、図 269、図 100、図 1、図 101～図 104、図 110、図 109、図 105、図 106、図 111～図 115、図 270、図 10～図 12、図 273、図 272 などに適用できることは言うまでもない。同様に、図 107、図 108、図 110、図 253、図 255、図 256、図 260、図 261、図 263、図 264、図 289～図 293 の駆動方法あるいはデータ処理方式にあっても適用できることは言うまでもない。また、図 101～図 106、図 109、図 110 などで説明した駆動方法、画素構成についても同様である。また、これらを用いて情報表示装置などを構成することも言うまでもない。

【1304】図 13～図 16、図 43、図 44 などの製造方法にあつては、EL 表示パネルの製造方法に限定されるものではない。例えば、液晶表示パネルの製造方法にも適用できる。また、図 23～図 32 の構成あるいは方法にあつても EL 表示パネルに限定されるものではなく、LED 表示パネル、液晶表示パネルなどにも適用できることは言うまでもない。図 49、図 48、図 53～図 59、図 63～図 65、図 68、図 70、図 71、図 85、図 50、図 51、図 60、図 288、図 294、図 295 などの表示方法についても同様である。

【1305】以上、本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。さらに、家庭電器機器の表示モニター、ホケットゲーム機器およびそのモニター、表示パネル用バックライトあるい

は家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGB の画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGB の信号器、警報表示灯などにも応用できる。

【1306】また、スキャナの光源としても有機 EL パネルは有効である。RGB のドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定されるものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【1307】また、液晶表示装置のバックライトにも有機 EL 表示装置は有効である。EL 表示装置（バックライト）の RGB の画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B 光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用液晶表示パネルのバックライトとしても用いることができる。

【1308】

【発明の効果】本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【1309】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであつても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図 1】本発明の表示パネルの説明図

40 【図 2】本発明の表示装置の断面図

【図 3】本発明の表示パネルの断面図

【図 4】本発明の表示装置の断面図

【図 5】本発明の表示装置の断面図

【図 6】本発明の表示パネルの回路構成図

【図 7】本発明の表示パネルの説明図

【図 8】本発明の表示パネルの説明図

【図 9】本発明の表示パネルの説明図

【図 10】本発明の表示パネルの説明図

【図 11】本発明の表示パネルの説明図

50 【図 12】本発明の表示パネルの説明図

20304050

[illegible]

236

[illegible]

【図 2 1 3】本発明の表示パネルの駆動方法の説明図
 【図 2 1 4】本発明の表示パネルの駆動方法の説明図
 【図 2 1 5】本発明の表示装置の駆動方法の説明図
 【図 2 1 6】本発明の表示装置の駆動方法の説明図
 【図 2 1 7】本発明の表示装置の駆動方法の説明図
 【図 2 1 8】本発明の表示パネルの駆動方法の説明図
 【図 2 1 9】本発明の表示パネルの駆動方法の説明図
 【図 2 2 0】本発明の表示パネルの駆動方法の説明図
 【図 2 2 1】本発明の表示パネルの駆動方法の説明図
 【図 2 2 2】本発明の表示パネルの駆動方法の説明図
 【図 2 2 3】本発明の表示パネルの駆動方法の説明図
 【図 2 2 4】本発明の情報表示装置の説明図
 【図 2 2 5】本発明の情報表示装置の説明図
 【図 2 2 6】本発明の表示パネルの説明図
 【図 2 2 7】本発明の表示装置の構成図
 【図 2 2 8】本発明の表示装置の構成図
 【図 2 2 9】本発明の表示装置の説明図
 【図 2 3 0】本発明の表示パネルの説明図
 【図 2 3 1】本発明の情報表示装置の説明図
 【図 2 3 2】本発明の情報表示装置の平面図
 【図 2 3 3】本発明の情報表示装置の説明図
 【図 2 3 4】本発明の表示装置のデータ伝送方法の説明図
 【図 2 3 5】本発明の表示装置のデータ伝送方法の説明図
 【図 2 3 6】本発明の表示装置のデータ伝送方法の説明図
 【図 2 3 7】本発明の情報表示装置の説明図
 【図 2 3 8】本発明の情報表示装置の説明図
 【図 2 3 9】本発明のビューファインダの断面図
 【図 2 4 0】本発明のビデオカメラの斜視図
 【図 2 4 1】本発明の電子カメラの斜視図
 【図 2 4 2】本発明のテレビの説明図
 【図 2 4 3】本発明のテレビの説明図
 【図 2 4 4】本発明の表示パネルの説明図
 【図 2 4 5】本発明の表示パネルの説明図
 【図 2 4 6】本発明の表示パネルの説明図
 【図 2 4 7】本発明の表示パネルの説明図
 【図 2 4 8】本発明の表示パネルの説明図
 【図 2 4 9】本発明の表示パネルの説明図
 【図 2 5 0】本発明の表示パネルの説明図
 【図 2 5 1】本発明の表示パネル置の説明図
 【図 2 5 2】本発明の表示パネルの説明図
 【図 2 5 3】本発明の表示パネルの説明図
 【図 2 5 4】本発明の表示パネルの説明図
 【図 2 5 5】本発明の表示パネルの説明図
 【図 2 5 6】本発明の表示パネルの説明図
 【図 2 5 7】本発明の表示パネルの説明図
 【図 2 5 8】本発明の表示パネルの説明図
 【図 2 5 9】本発明の表示パネルの説明図

【図 2 6 0】本発明の表示パネルの説明図
 【図 2 6 1】本発明の表示パネルの説明図
 【図 2 6 2】本発明の表示パネルの説明図
 【図 2 6 3】本発明の表示パネルの説明図
 【図 2 6 4】本発明の表示パネルの説明図
 【図 2 6 5】本発明の表示パネルの説明図
 【図 2 6 6】本発明の表示パネルの説明図
 【図 2 6 7】本発明の表示パネルの説明図
 【図 2 6 8】本発明の表示パネルの説明図
 【図 2 6 9】本発明の表示パネルの説明図
 【図 2 7 0】本発明の表示パネルの説明図
 【図 2 7 1】本発明の表示パネルの説明図
 【図 2 7 2】本発明の表示パネルの説明図
 【図 2 7 3】本発明の表示パネルの説明図
 【図 2 7 4】本発明の表示パネルの説明図
 【図 2 7 5】本発明の表示パネルの説明図
 【図 2 7 6】本発明の表示パネルの説明図
 【図 2 7 7】本発明の表示パネルの説明図
 【図 2 7 8】本発明の表示パネルの説明図
 【図 2 7 9】本発明の表示パネルの説明図
 【図 2 8 0】本発明の表示パネルの説明図
 【図 2 8 1】本発明の表示パネルの説明図
 【図 2 8 2】本発明の表示パネルの説明図
 【図 2 8 3】本発明の表示パネルの説明図
 【図 2 8 4】本発明の表示パネルの説明図
 【図 2 8 5】本発明の表示パネルの説明図
 【図 2 8 6】本発明の表示パネルの説明図
 【図 2 8 7】本発明の表示パネルの説明図
 【図 2 8 8】本発明の表示パネルの説明図
 【図 2 8 9】本発明の表示パネルの説明図
 【図 2 9 0】本発明の表示パネルの説明図
 【図 2 9 1】本発明の表示パネルの説明図
 【図 2 9 2】本発明の表示パネルの説明図
 【図 2 9 3】本発明の表示パネルの説明図
 【図 2 9 4】本発明の表示パネルの説明図
 【図 2 9 5】本発明の表示パネルの説明図
 【図 2 9 6】本発明の表示パネルの説明図
 【図 2 9 7】本発明の表示パネルの駆動方法の説明図
 【図 2 9 8】本発明の表示パネルの画素構成の説明図
 【図 2 9 9】本発明の表示パネルの画素構成の説明図
 【図 3 0 0】本発明の表示パネルの画素構成の説明図
 【図 3 0 1】従来の表示パネルの説明図
 【図 3 0 2】従来の表示パネルの回路構成図
 【符号の説明】
 1 1 T F T
 1 2 ゲートドライバ
 1 4 ソースドライバ
 1 4 c 1 チップドライバ I C
 1 5 E L 素子
 1 6 画素

17	ゲート信号線	205	アップコンバータ
18	ソース信号線	206	PAブリッドライバ
19	コンデンサ	207	PA
20	電流供給線	230	レーザー照射スポット
21	表示画面	241	ガラス基板
22	シフトレジスタ	242	位置決めマーカ
23	インバータ回路	251	凸部
24	出力ゲート	252	凹凸部（エンボス加工部）
41	封止フタ	311	画像表示領域
43	凹部	10 312	非表示領域
44	凸部	351	カウンタ回路
45	シール剤	352	輝度メモリ
46	反射膜	353	CPU
47	有機EL層	354	フレームメモリ（フィールドメモリ）
48	画素電極	355	切り替え回路
49	アレイ基板	391	書き込み画素行
50	$\lambda/4$ 板	392	保持画素行
51	カソード配線	401	電圧源
52	コンタクトホール	402	電流源
53	カソード電極	20 403	電源切り替え手段
54	偏光板	404	寄生容量
55	乾燥剤	451	ボディー
61, 62	接続端子	452	接眼リング
63	アノード配線	453	拡大レンズ
71	平滑化膜	454	正レンズ
72	透明電極	461	撮影レンズ
73	封止膜	462	ビデオカメラ本体
74	円偏光板	463	格納部
81	エッジ保護膜	464	接眼カバー
82	表示パネル	30 465	表示モード切り替えスイッチ
91	遮光膜	466	ビューファインダ
92	低抵抗化配線	467	蓋
101	コントロールIC	468	支点
102	電源IC	471	シャッタ
103	プリント基板	472	デジタルカメラ本体
104	フレキシブル基板	481	外枠
105	データ信号	482	固定部材
141	誤差拡散コントローラ	483	脚
151	内蔵表示メモリ	484	脚取り付け部
152	演算メモリ	40 491	壁
153	演算回路	492	固定金具
154	バッファ回路	493	保護フィルム（保護板）
191	アンテナ	501	走査領域
192	テンキー	601	ENBL端子
193	筐体	602	OR回路
194	キー	851	シャッタ
201	デュプレクサ	852	観察用眼鏡（切り替え手段）
202	LNA	861	プリズム
203	LOバッファ	862	光結合材
204	ダウンコンバータ	50 871	書き込み画素行

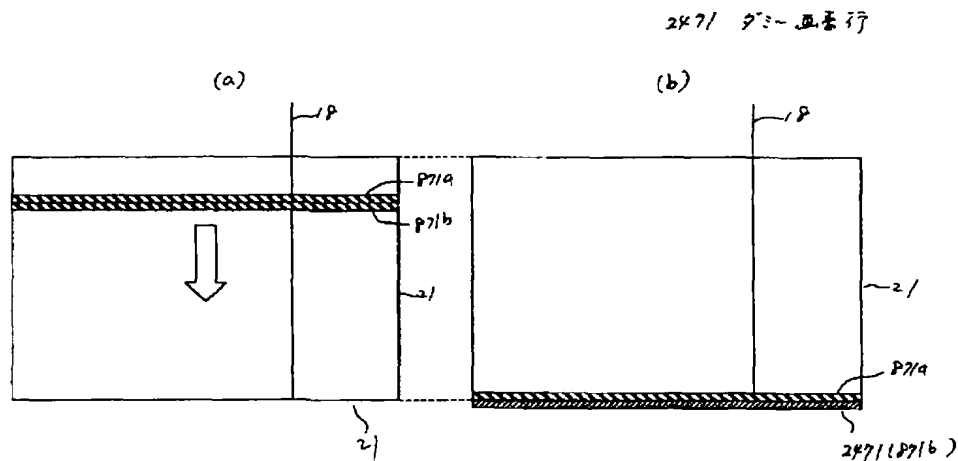
241

1001 フライングコンデンサ
 1221 電圧出力回路
 1222 電流出力回路
 1223 スイッチ回路 (アナログスイッチ)
 1224 オペアンプ (出力バッファ)
 1225 調整ポリウム
 1226 DA回路 (デジタル-アナログ変換手段)
 1227 出力トランジスタ (FET)
 1228 抵抗
 1271 出力段回路
 1321 信号配線
 1751 画素コンタクト部
 1761 保護膜
 1771 マスク
 1772 コンタクトホール
 1781 スペーサ
 1791 点灯制御線
 1891 点灯制御ドライバ回路
 1981 ブロック
 2041 スピーカー
 2043 ファンクションスイッチ (FSW)
 2044 マイク
 2045 ミラー
 2046 表示パネル
 2111 逆バイアス制御線
 2271 トランジスタ
 2341 ゲート波形

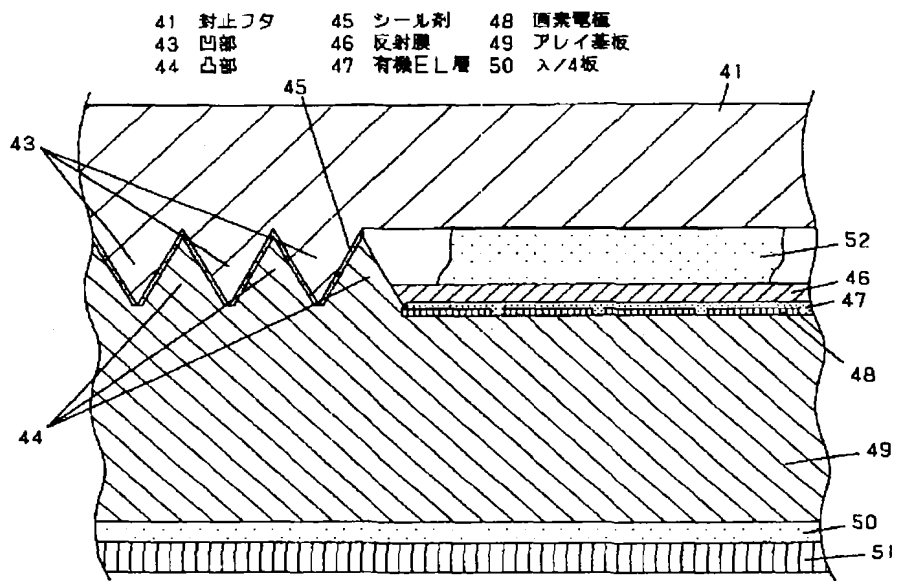
242

2471 ダミー画素行
 2561 絶縁膜
 2621, 2681 フレーム (フィールド) メモリ
 2622 カウンタ回路
 2623 データ変換回路
 2682 加算回路 (演算処理回路)
 2683 ゲートドライバ制御回路
 2691 データ制御回路
 2692 データ変換回路
 10 2751 バイアス抵抗 (電子ポリウム、電流変更手段)
 2752 スイッチングトランジスタ (選択スイッチ)
 2753 親トランジスタ
 2754 子トランジスタ
 2791 光 (軌跡)
 2801 屈折シート (板、フィルム)
 2802 屈折部
 2861 透明膜
 2862 ローラー
 20 2863 凹凸部 (凹部)
 2871 凸部
 2881 メタルマスク
 2901 プレス板 (圧接手段、転写手段)
 2902 光 (UV光、可視光)
 3001 電流サンプリング回路
 3002 電流プログラム線

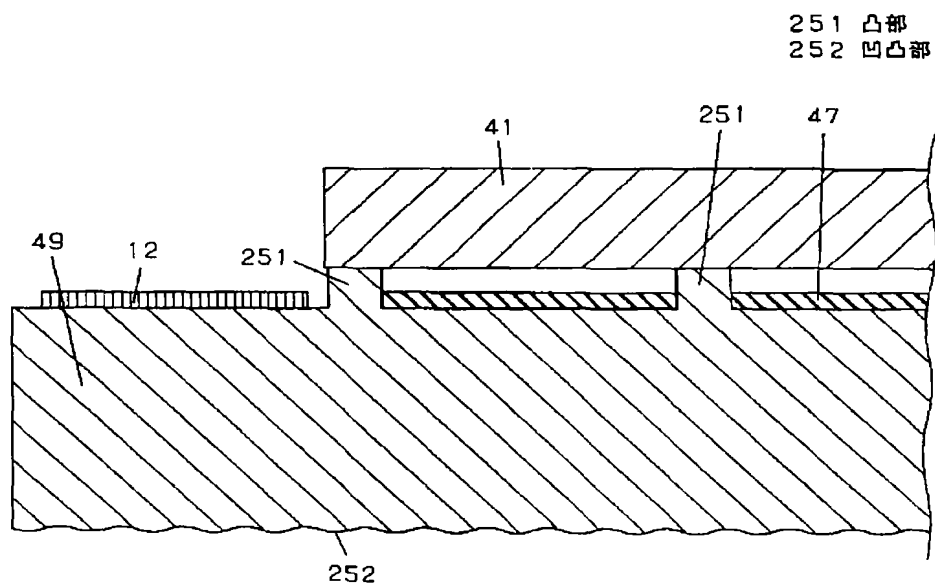
【図1】



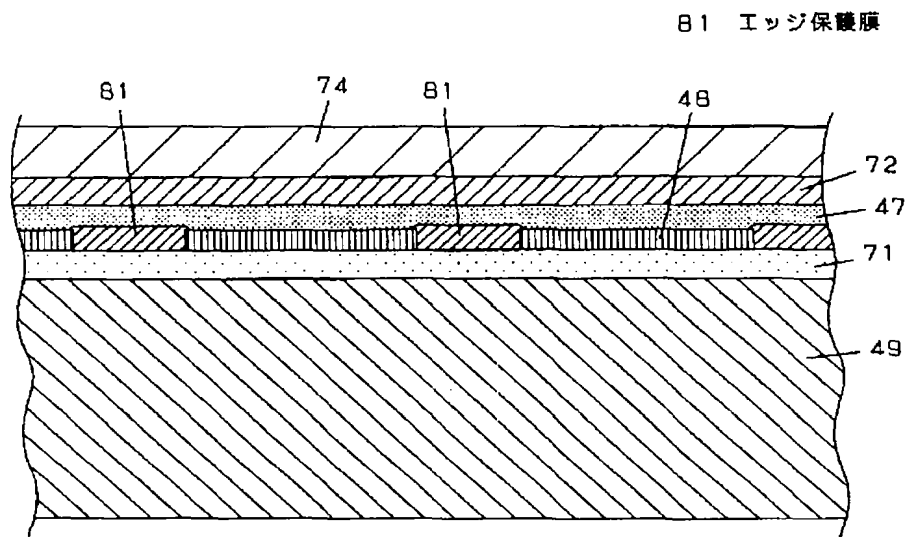
【図2】



【図3】

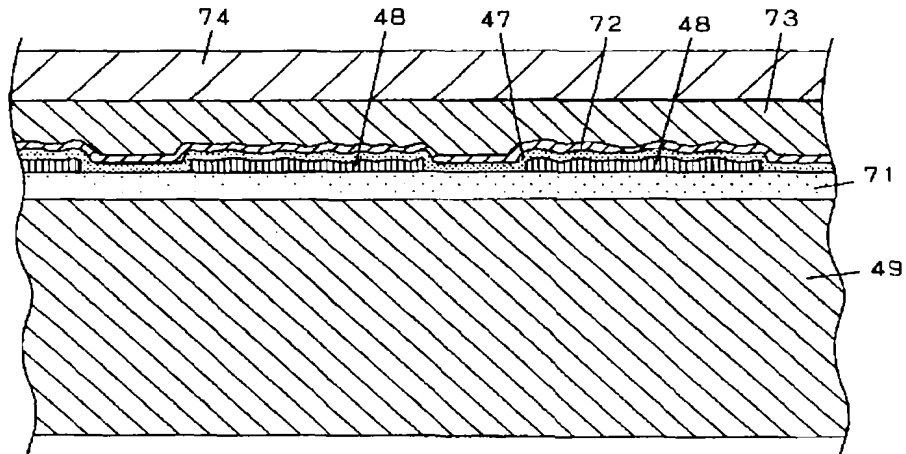


【図 4】

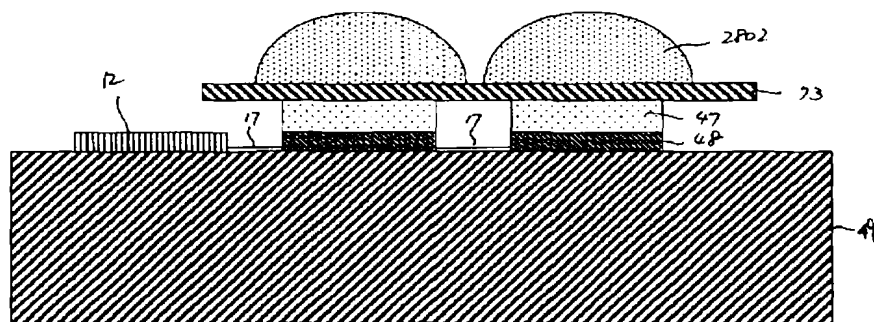


【図 5】

71 平滑化膜 73 封止膜
72 透明電極 74 円偏光板



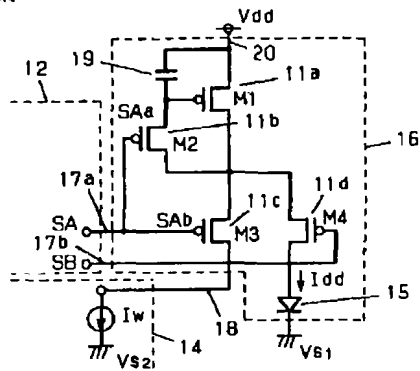
【図 17】



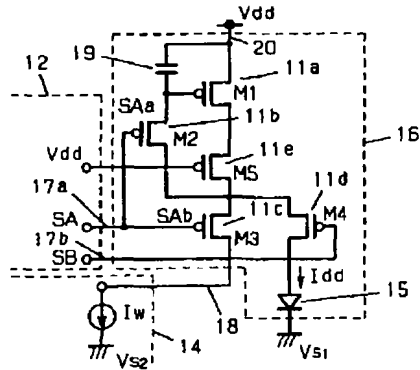
【図 6】

- 11 TFT
12 ゲートドライバ
14 ソースドライバ
15 EL素子
16 画素
17 ゲート信号線
18 ソース信号線
19 コンデンサ
20 電流供給線

(a)

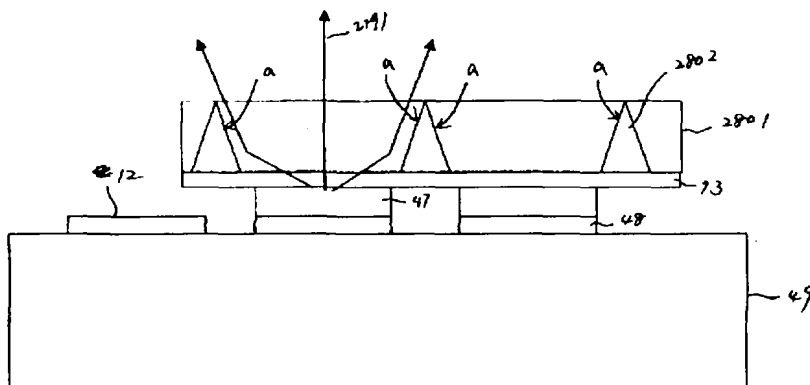


(b)

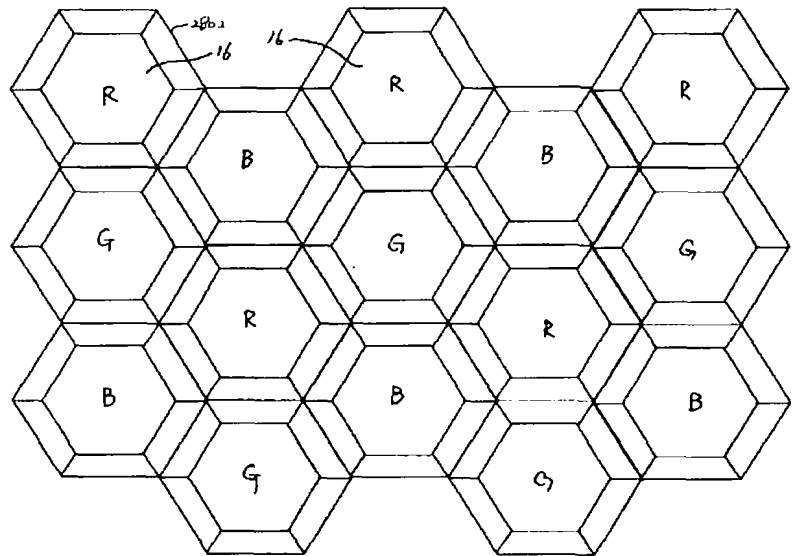


【図 7】

2801 層部(層部部材)
2802 層部部材

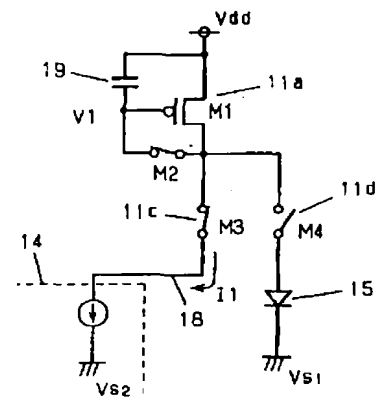


【図 9】

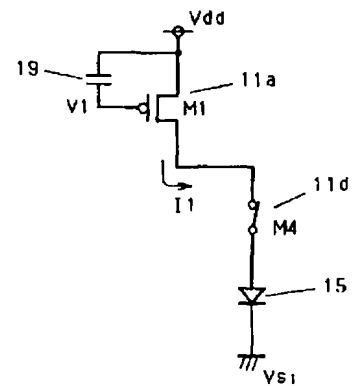


【図 18】

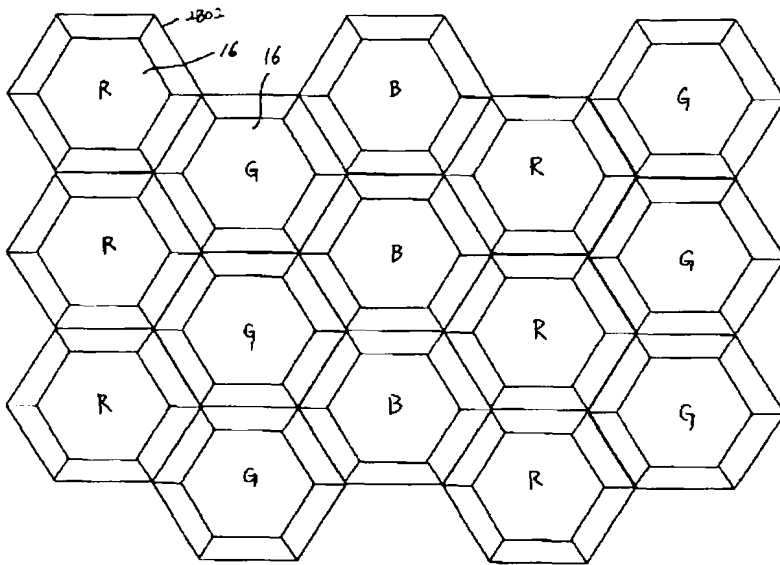
(a)



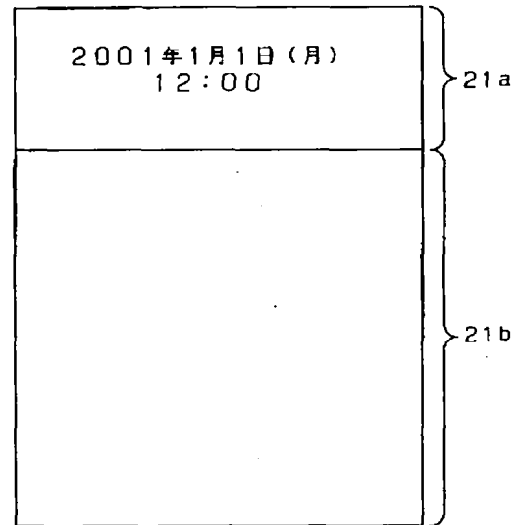
(b)



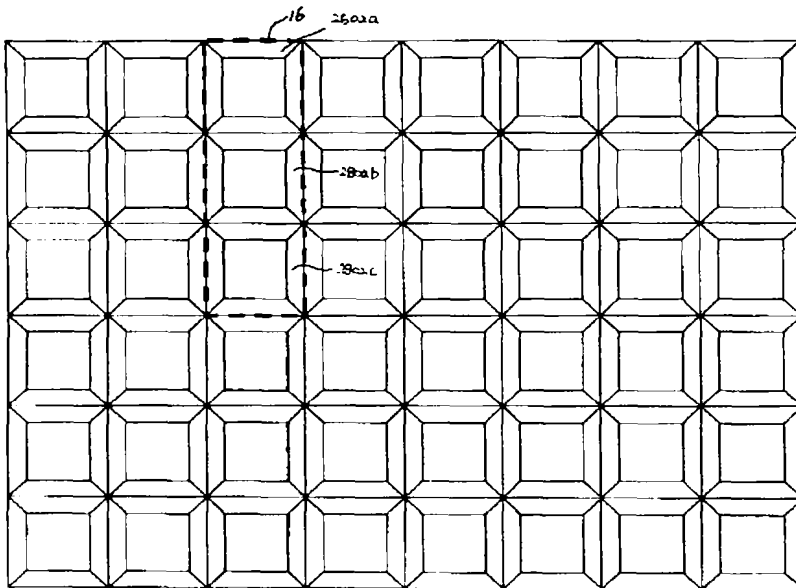
【図 8】



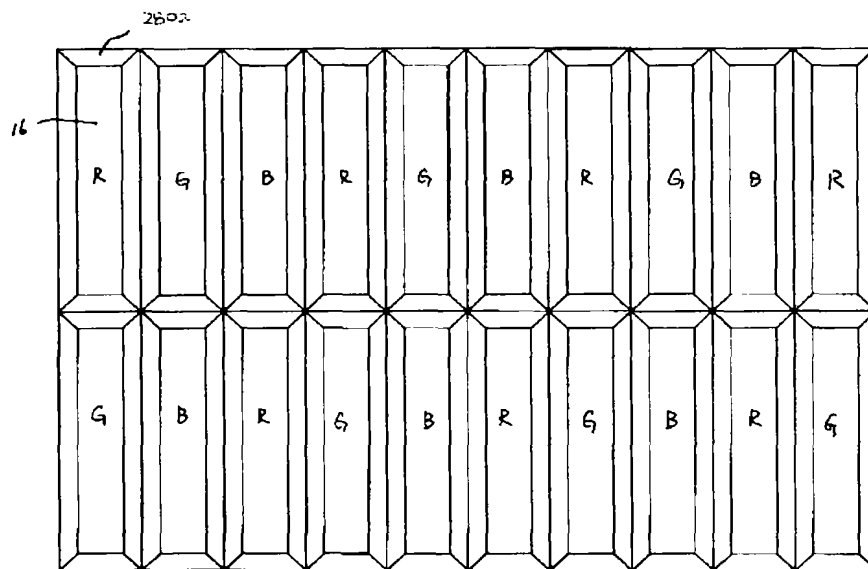
【図 28】



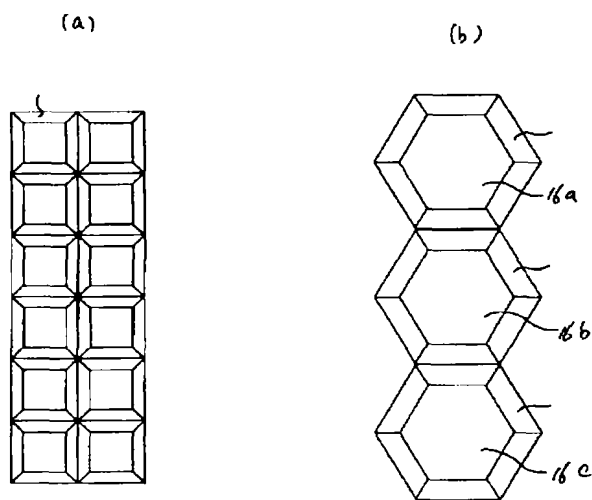
【図 10】



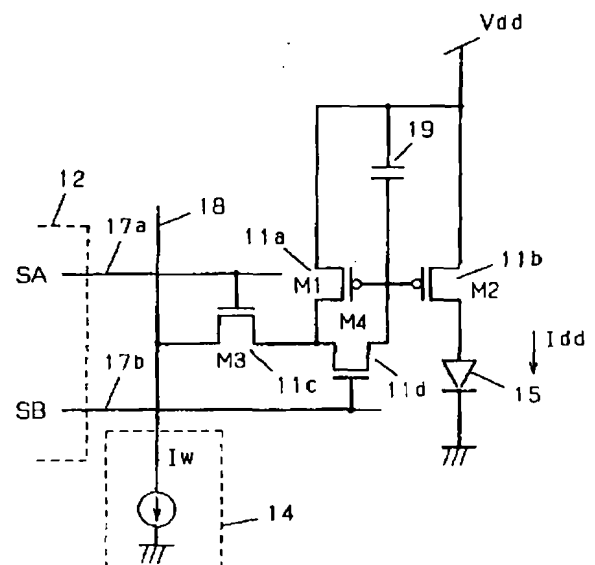
【図 11】



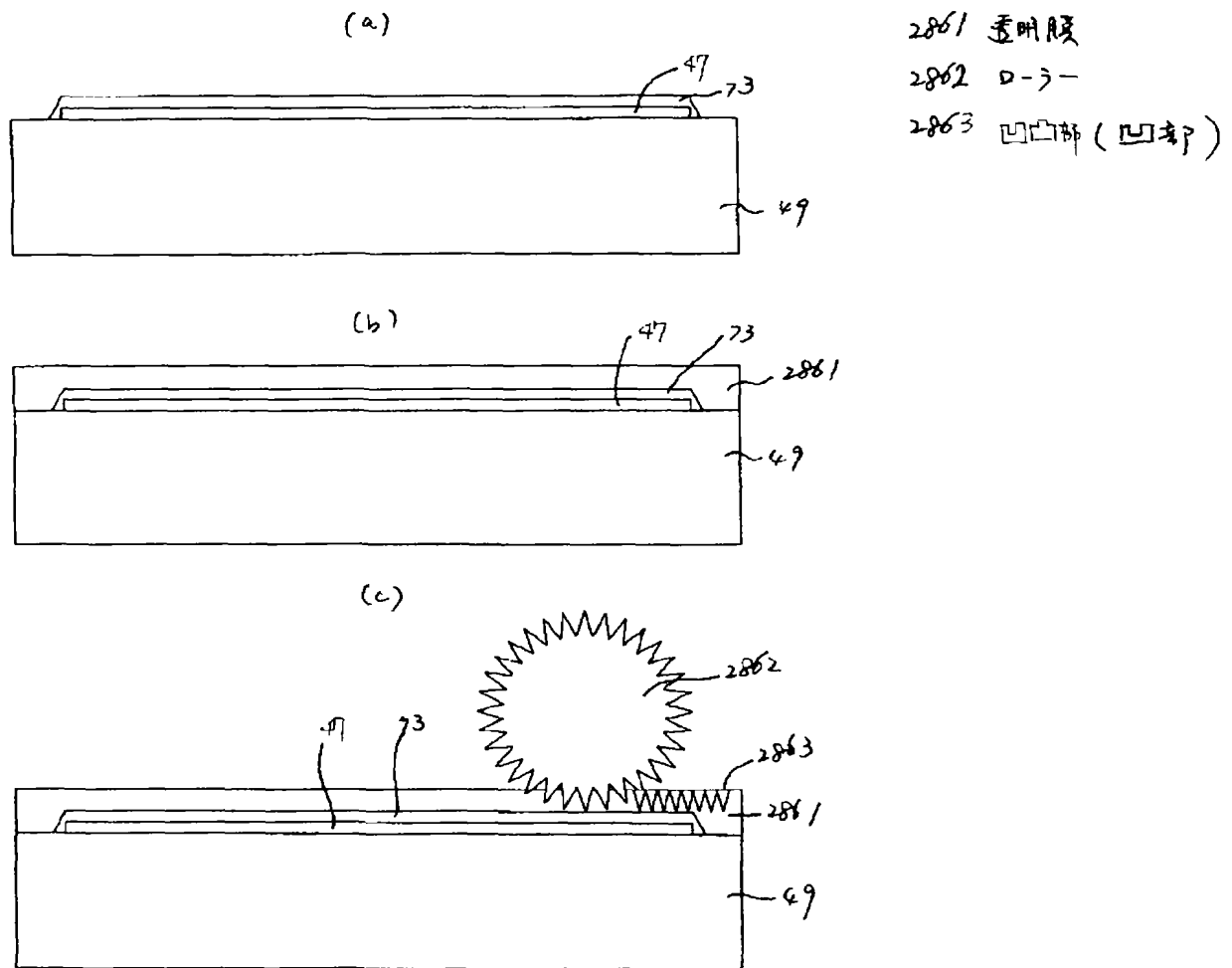
【図 12】



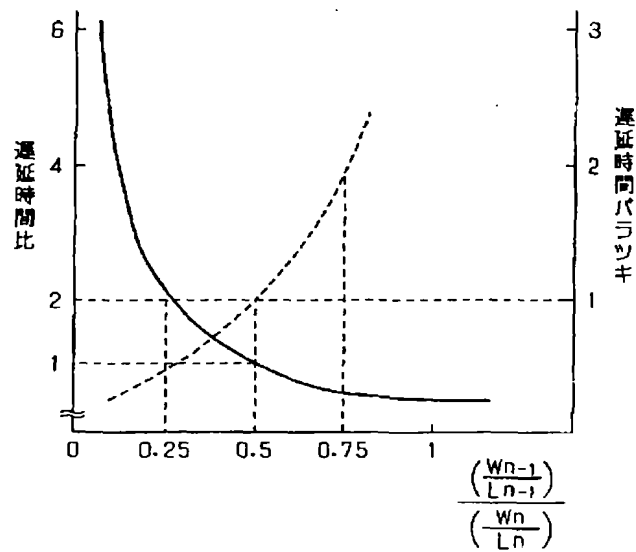
【図 19】



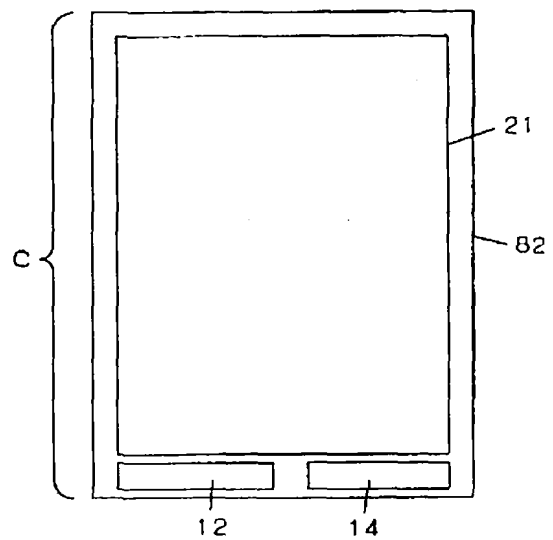
【図 13】



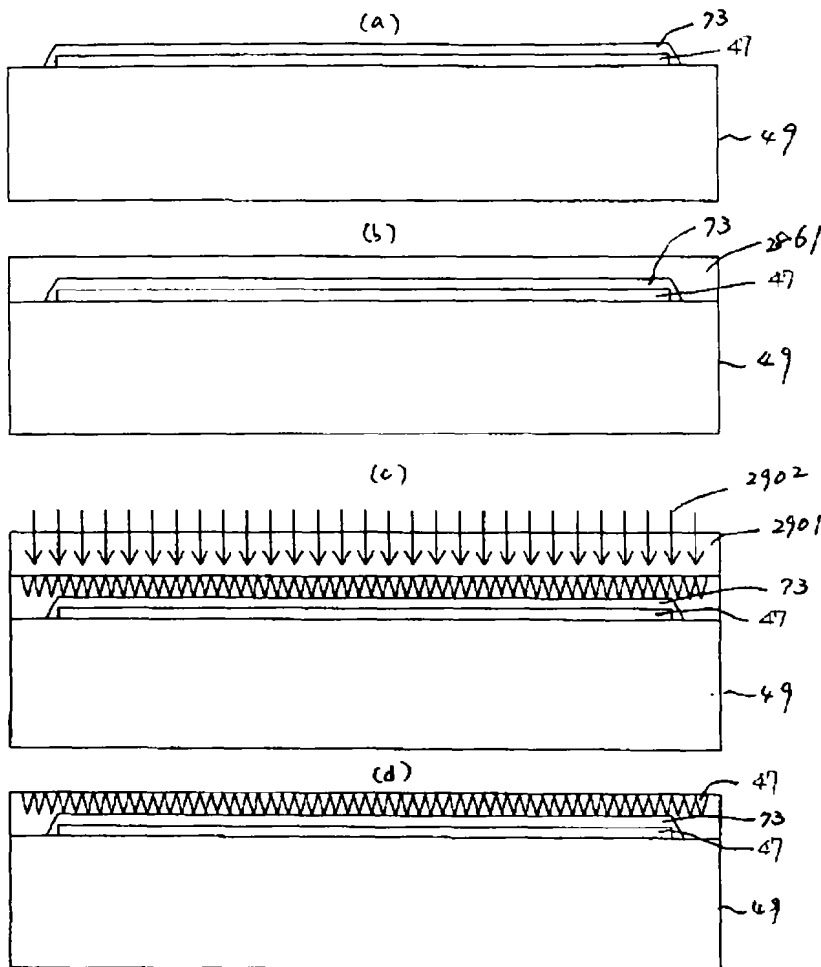
【図 22】



【図 23】



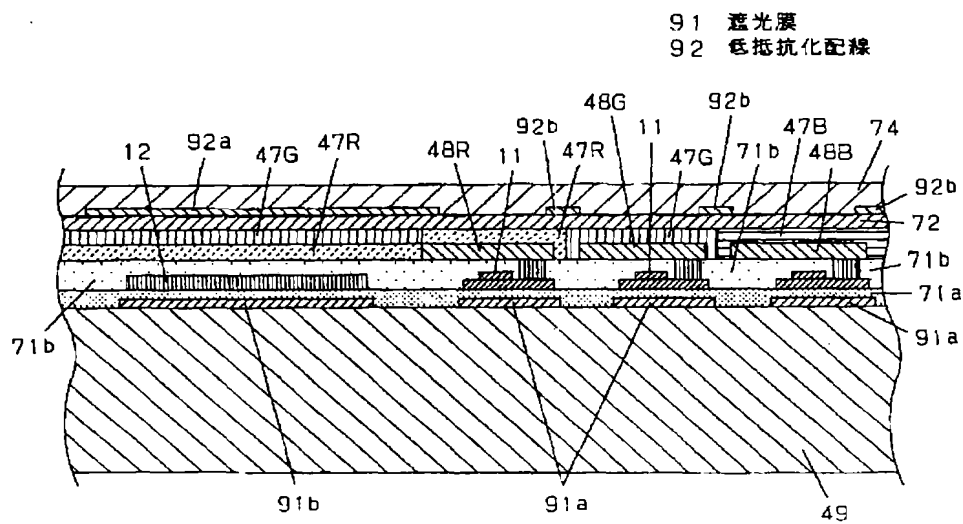
【図14】



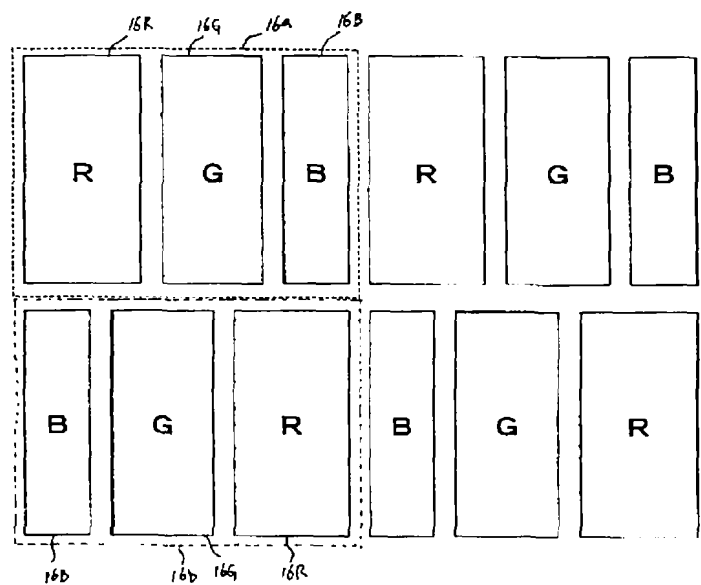
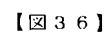
2901 フォス板

2902 光(UV光,可視光)

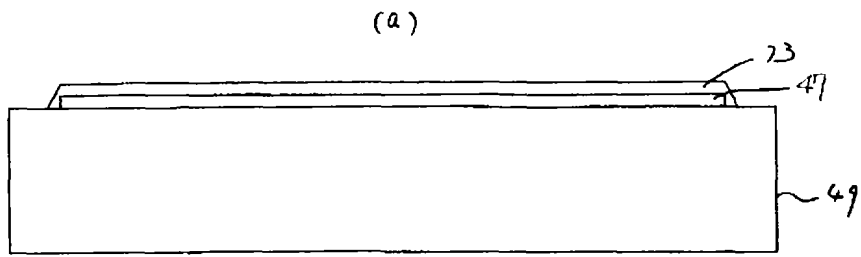
【図38】



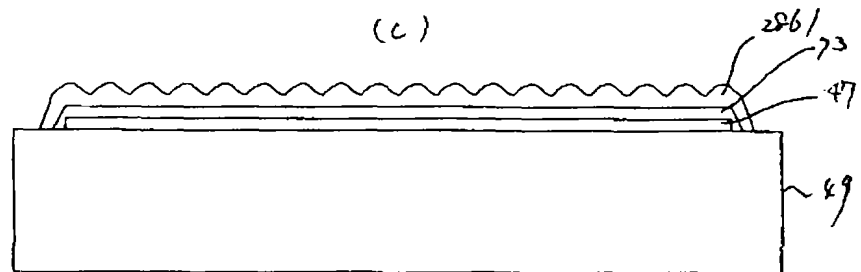
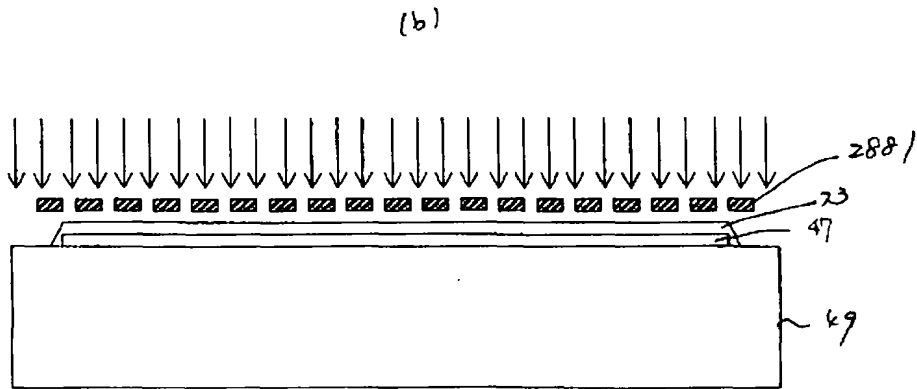
(A)



【図 16】

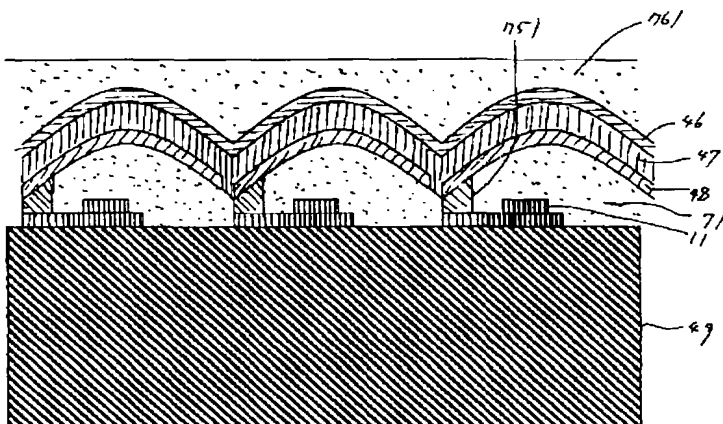


288/ 171227

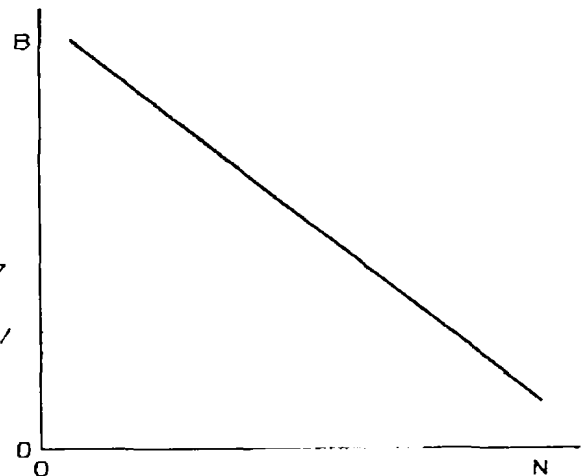


【図 40】

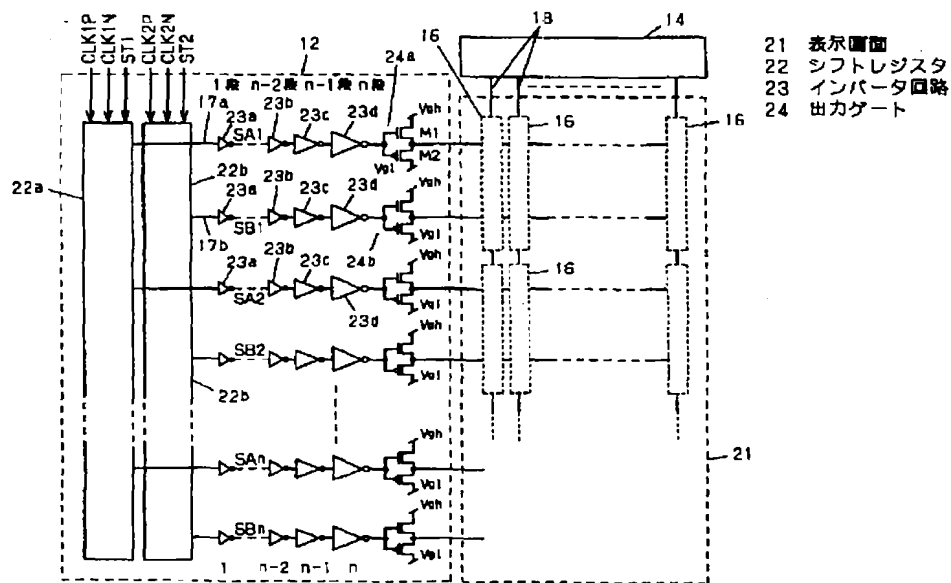
176/ 保護膜



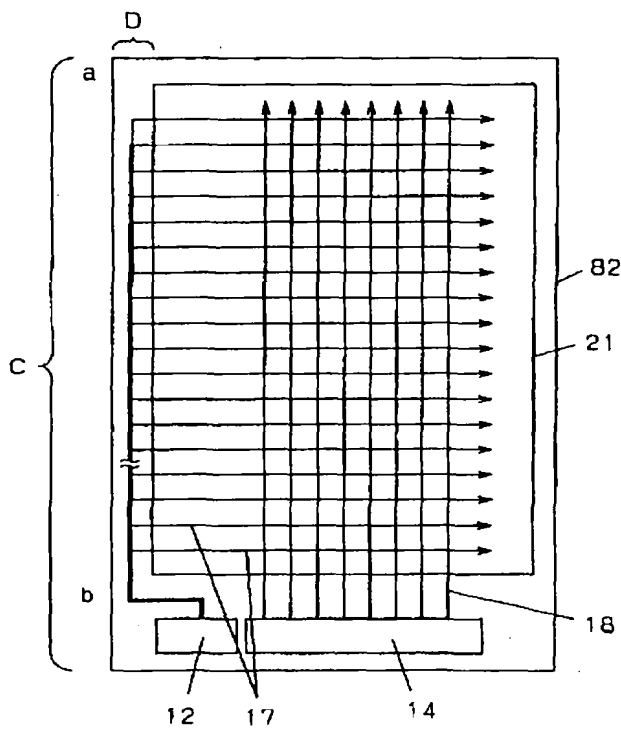
【図 54】



【図21】

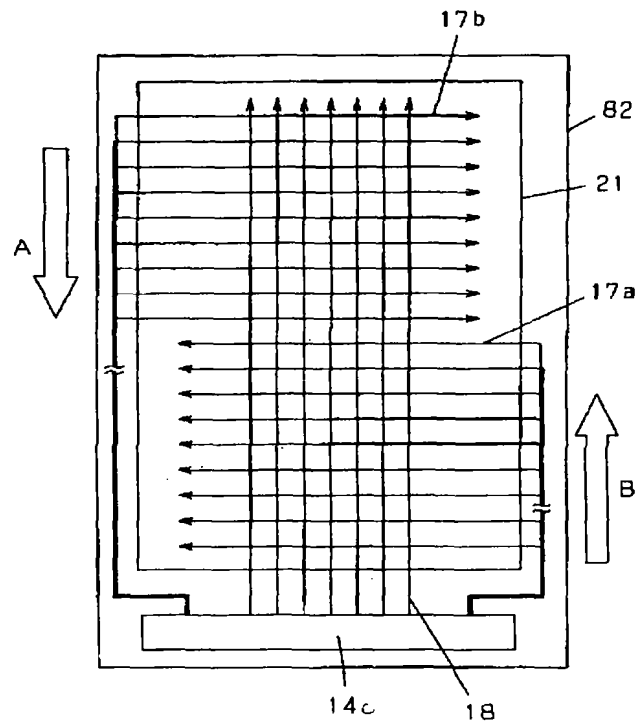


【図24】

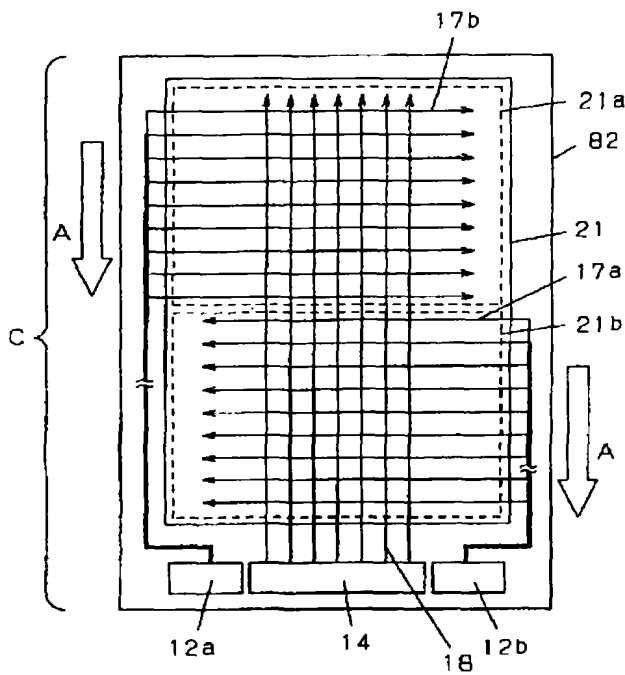


【図25】

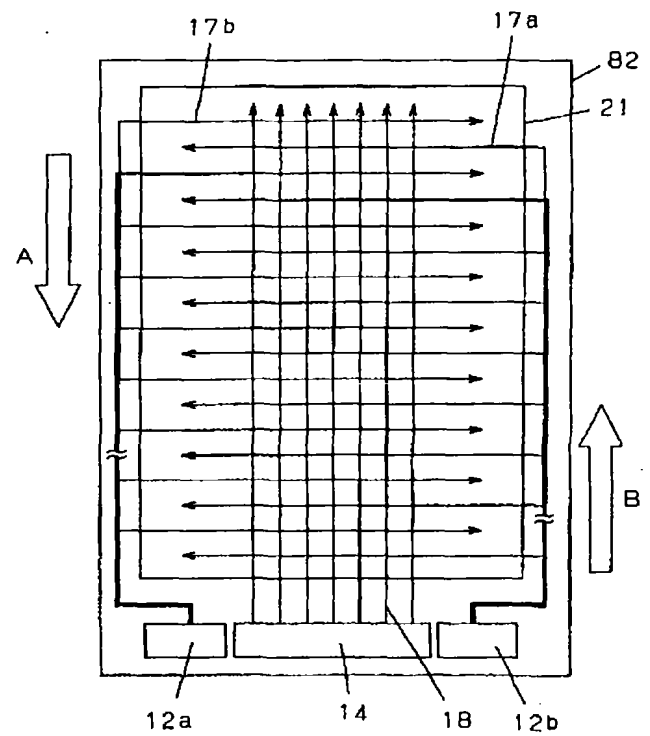
14c 1チップドライバIC



【図 26】

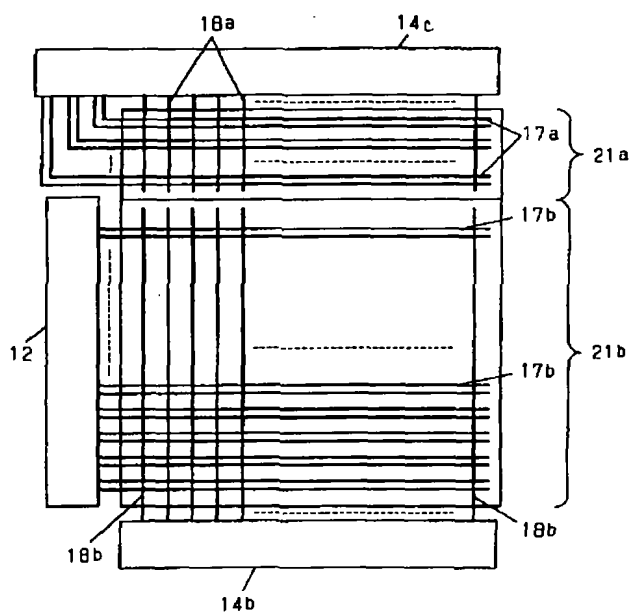


【図 27】

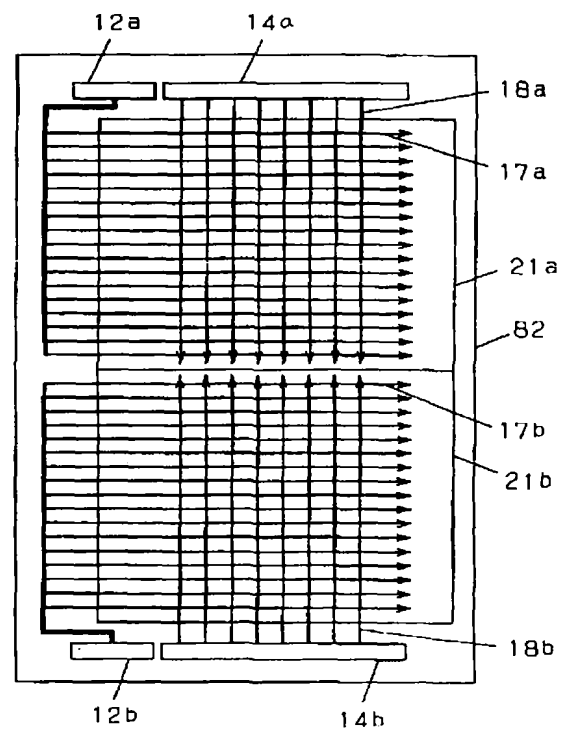


【図 29】

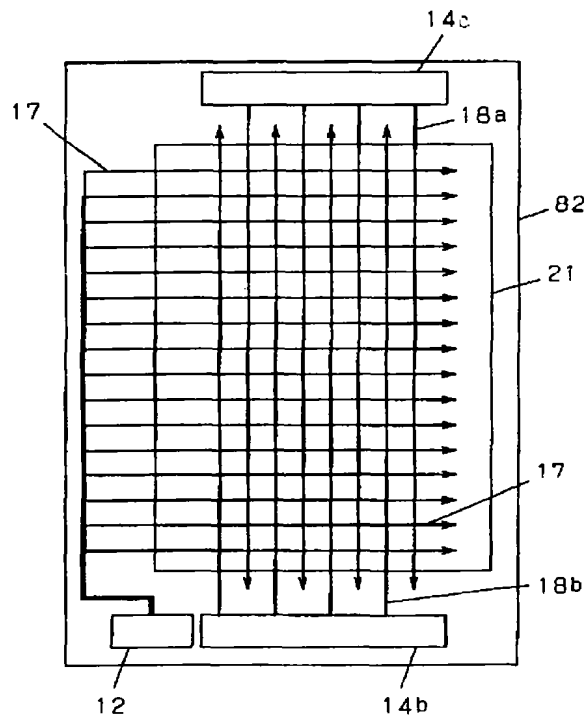
14c 1チップドライバIC



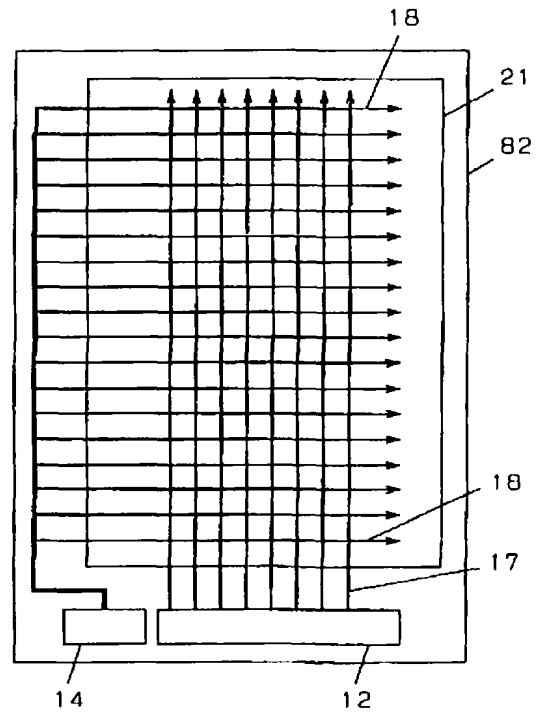
【図 30】



【図 3 1】

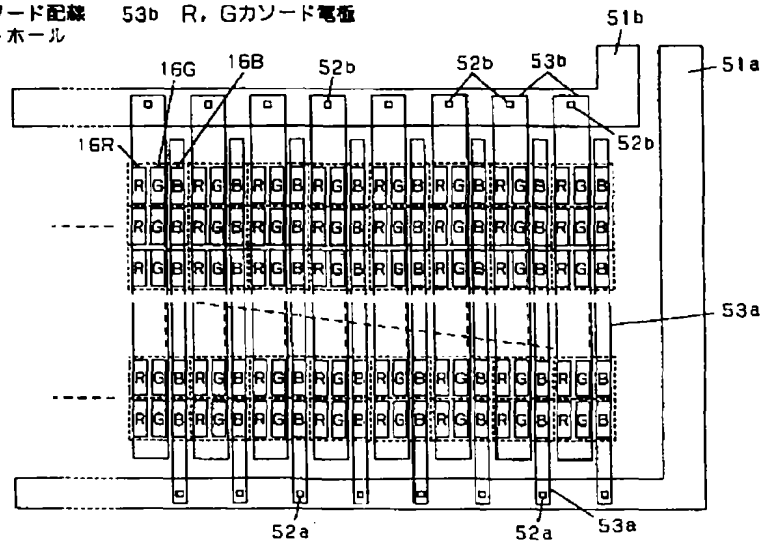


【図 3 2】

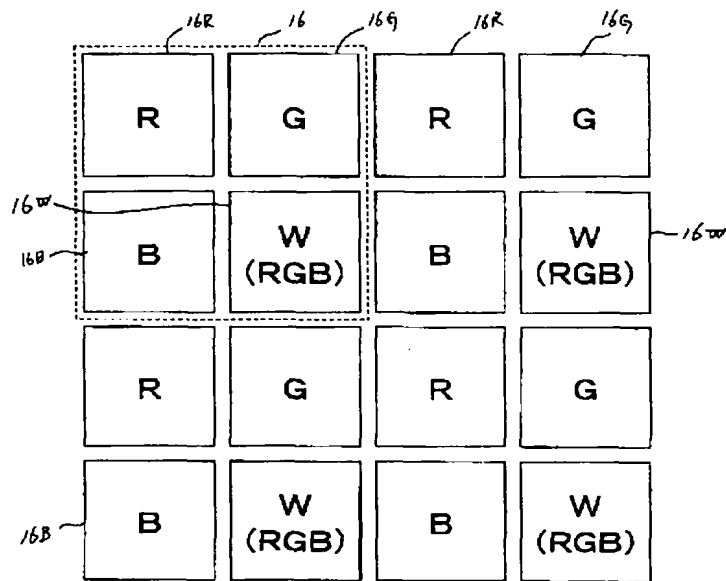


【図 3 3】

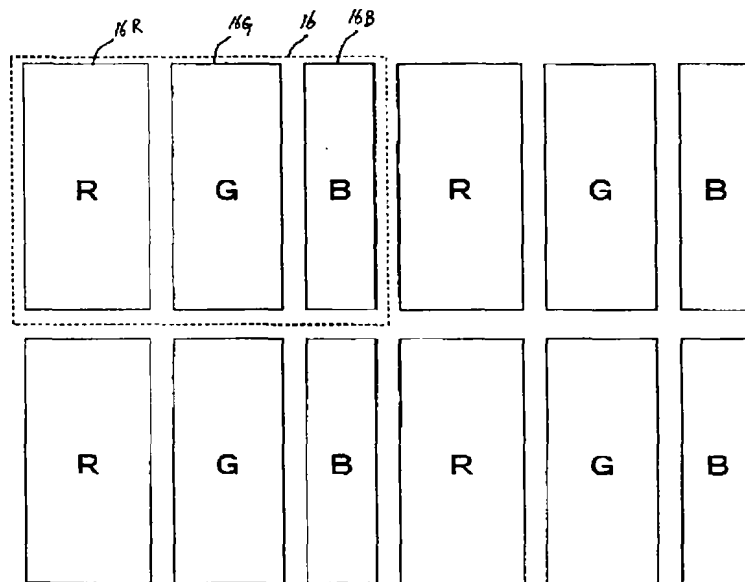
51a Bカソード配線 53a Bカソード電極
 51b R, Gカソード配線 53b R, Gカソード電極
 52 コンタクトホール



【図 34】

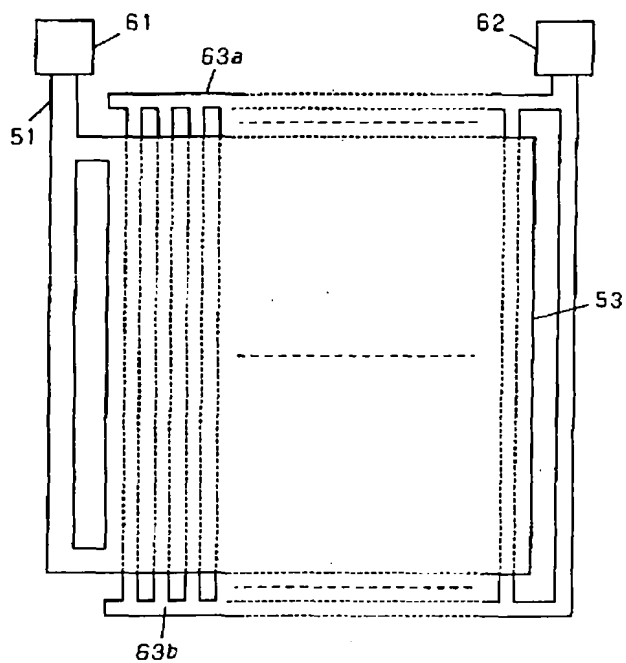


【図 35】



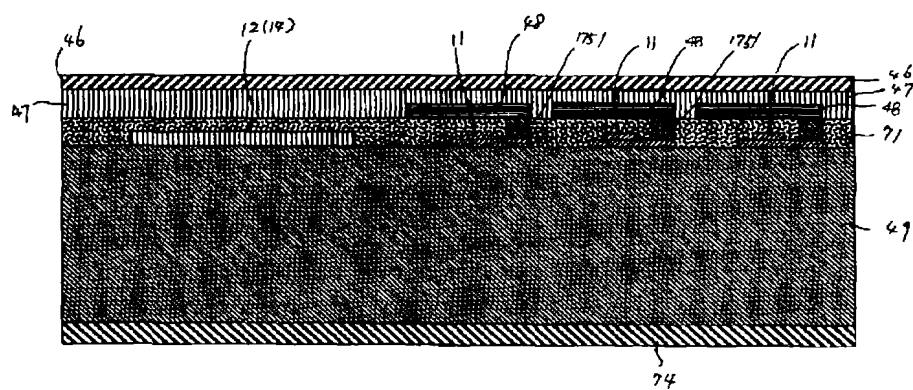
【図 37】

61, 62 接続端子
63 アノード配線

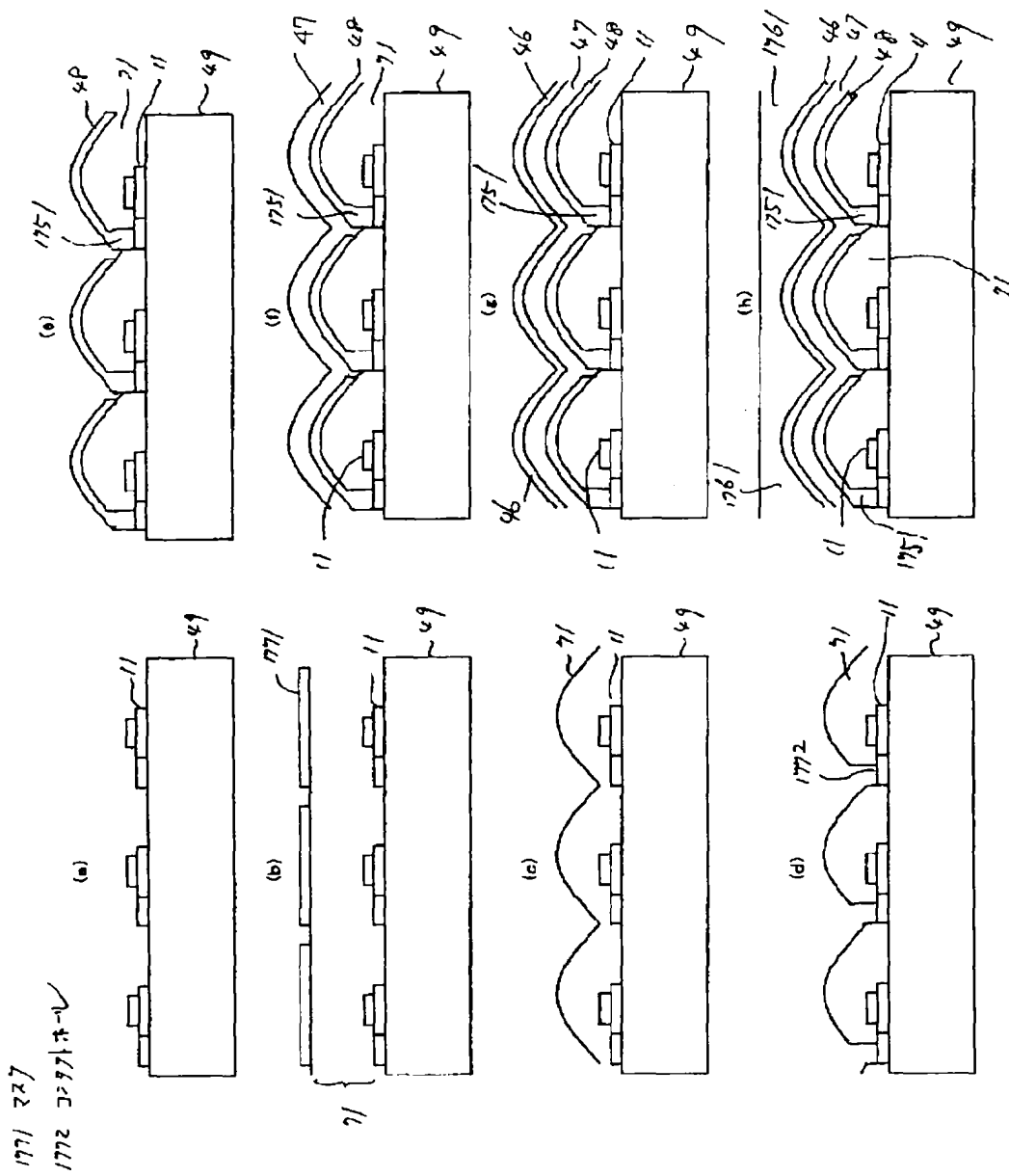


【図 39】

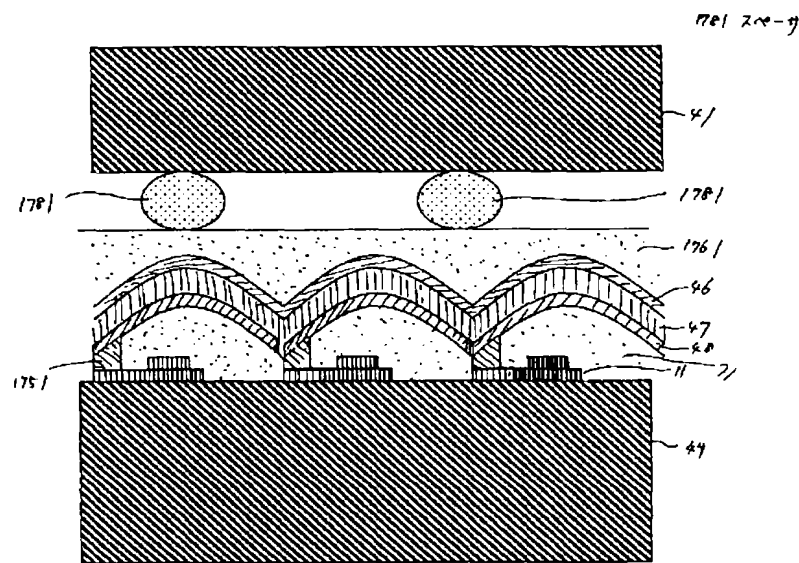
1751 面番コネクタ部



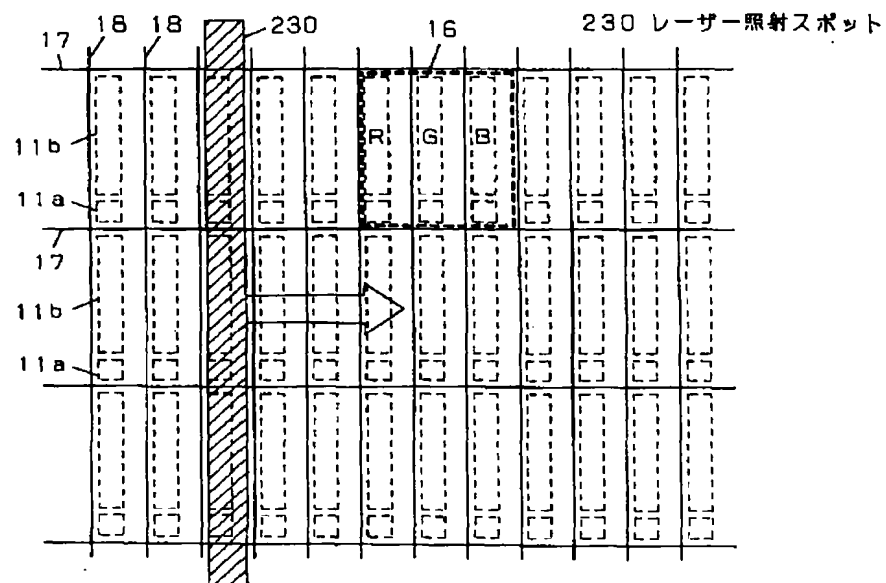
【 図 4 1 】



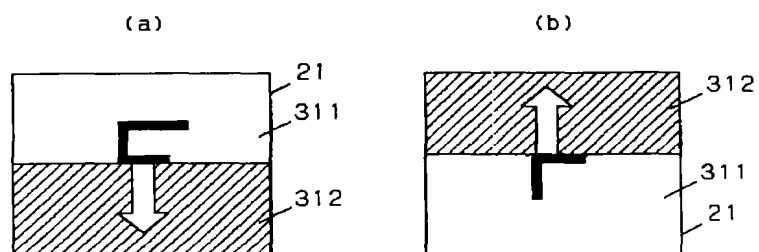
【図 42】



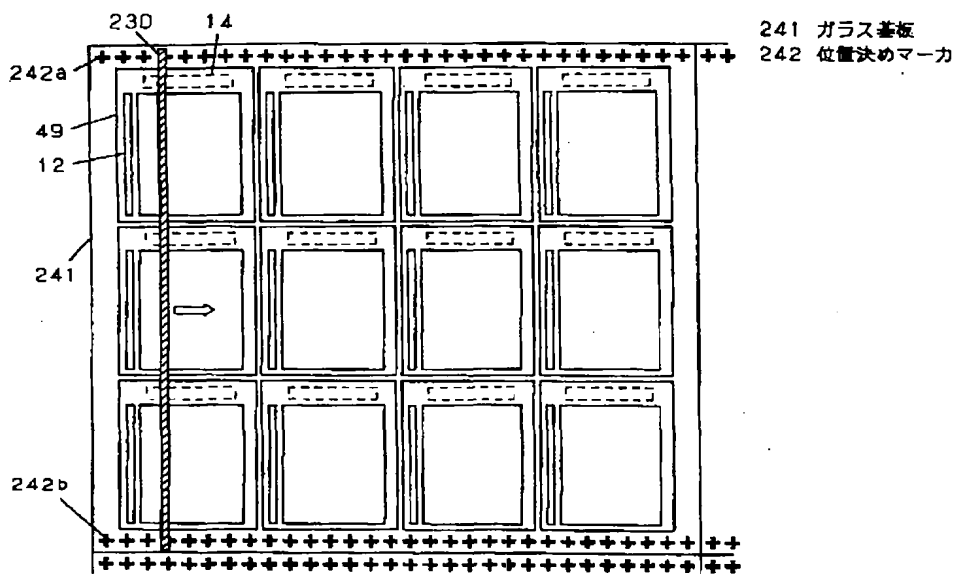
【図 43】



【図 50】

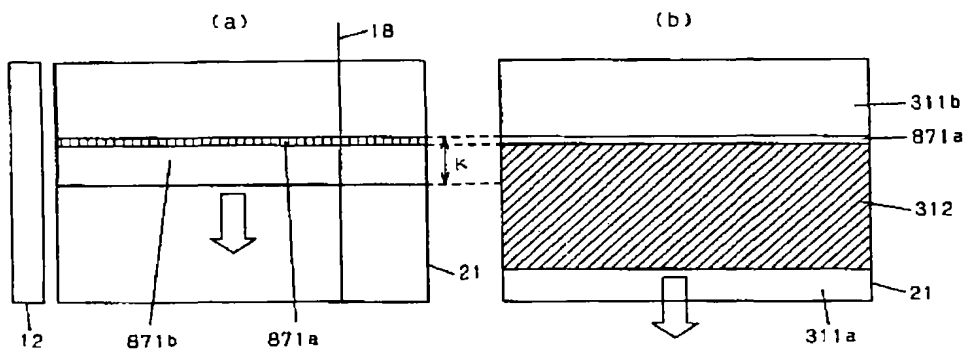


【图 4-4】

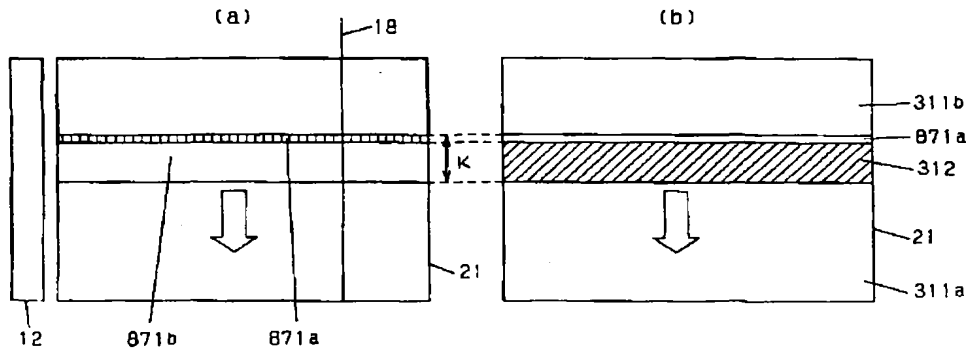


【图 4 5】

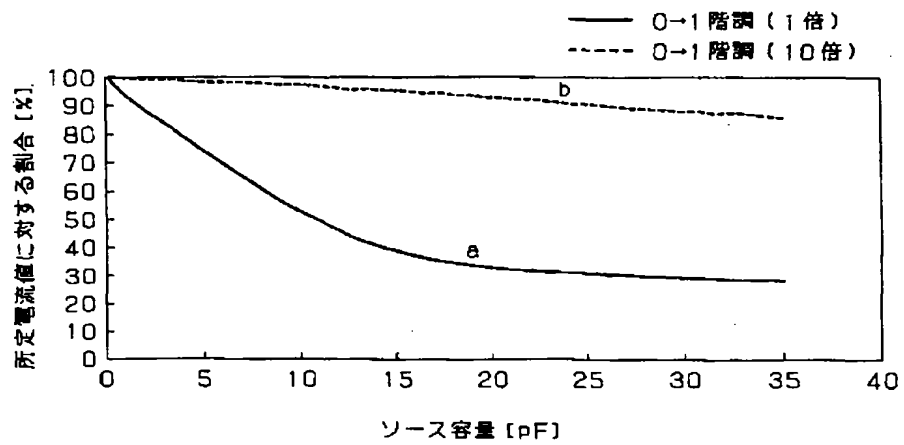
871 書き込み画集行



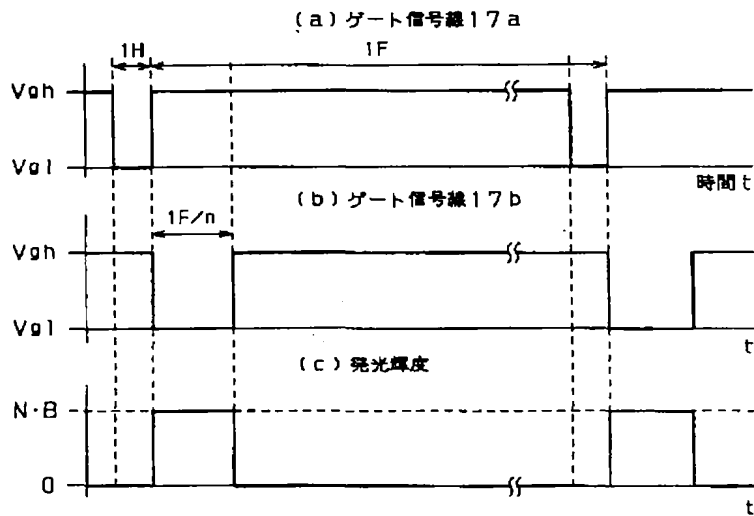
【图 4 6】



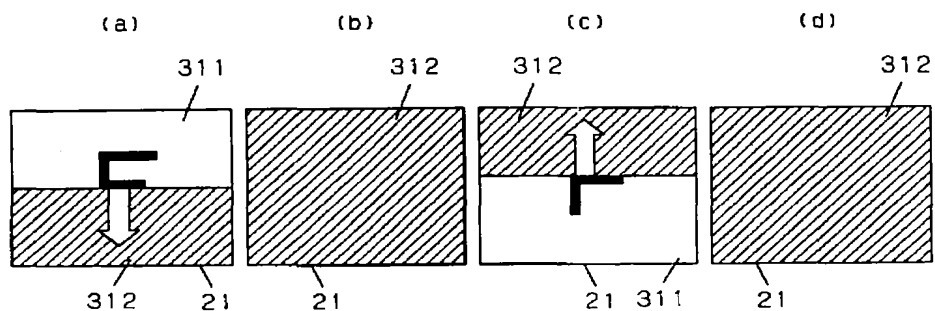
【図 47】



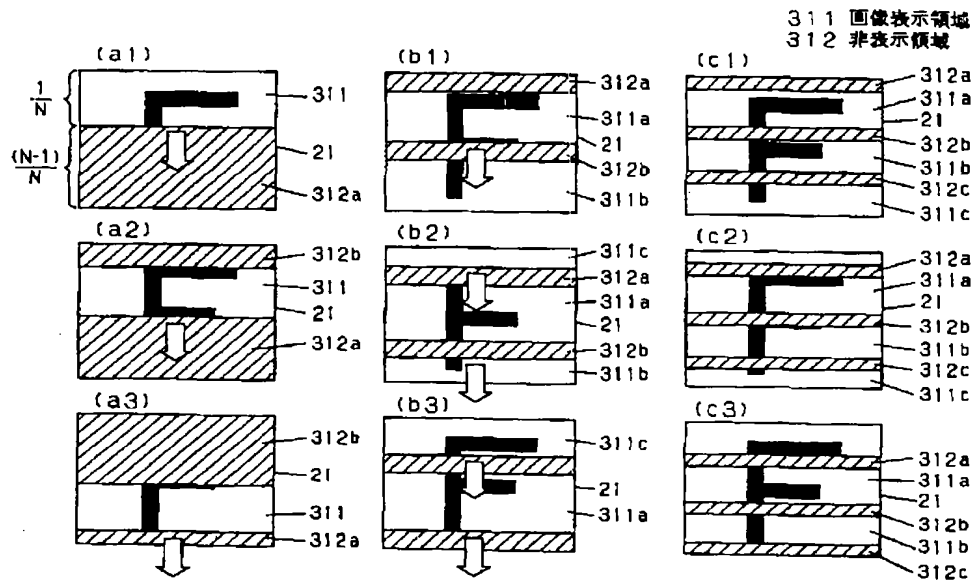
【図 48】



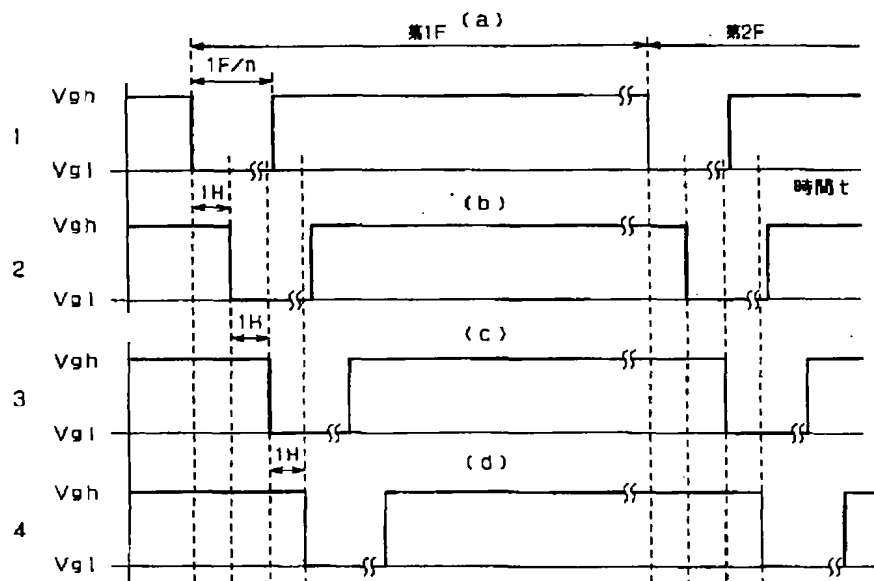
【図 51】



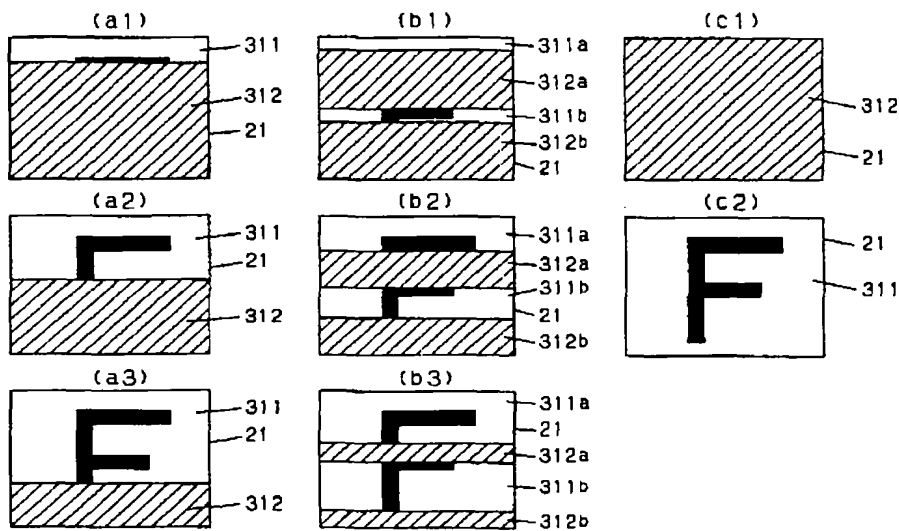
【図 49】



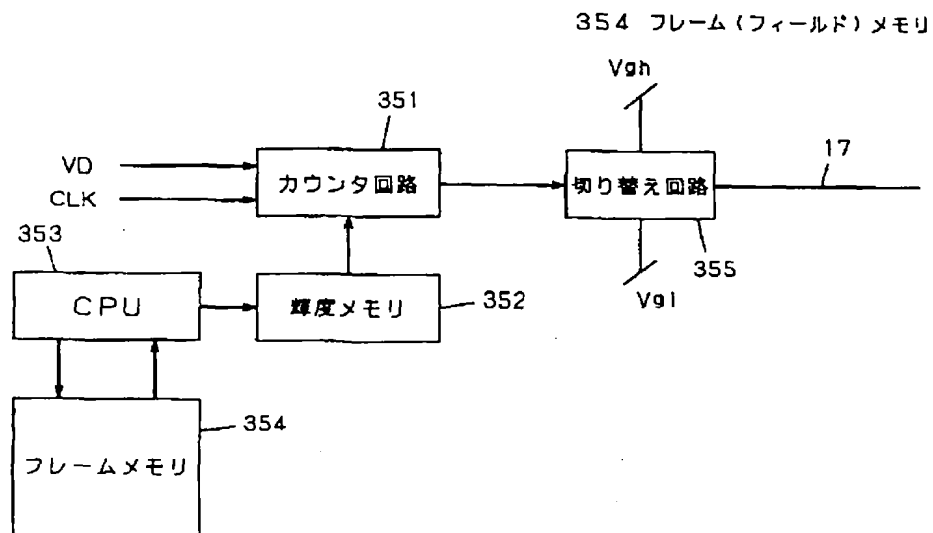
【図 52】



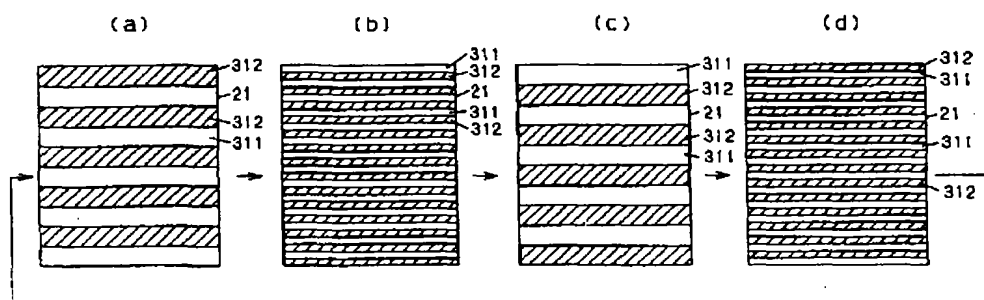
【図 5 3】



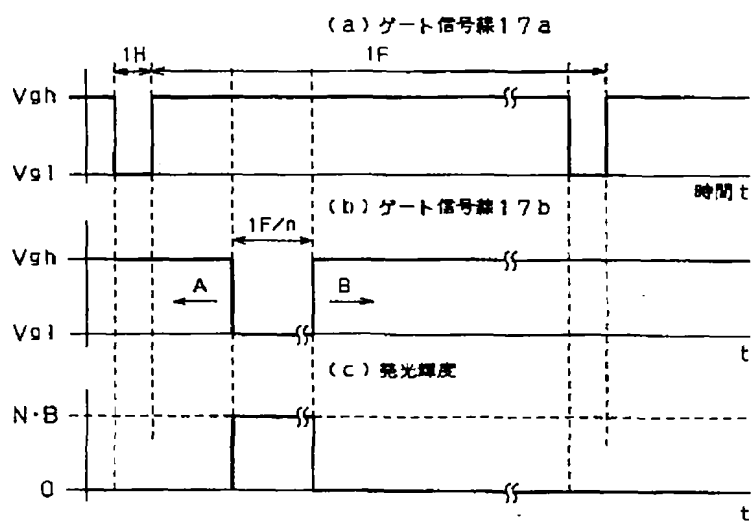
【図 5 5】



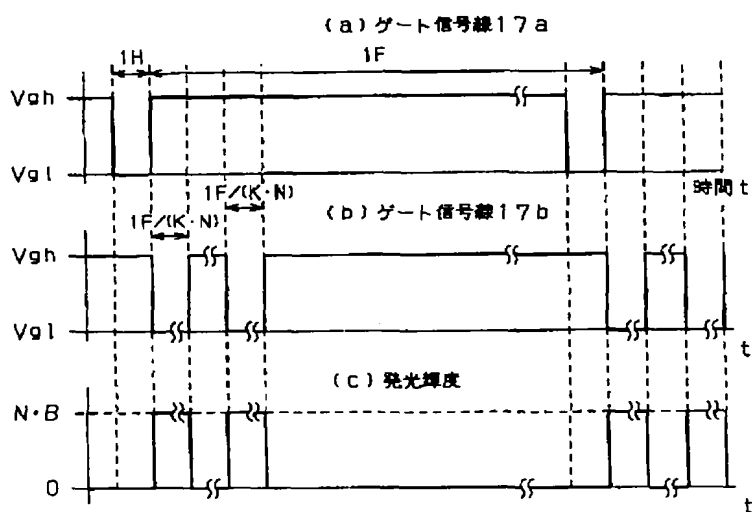
【図 6 4】



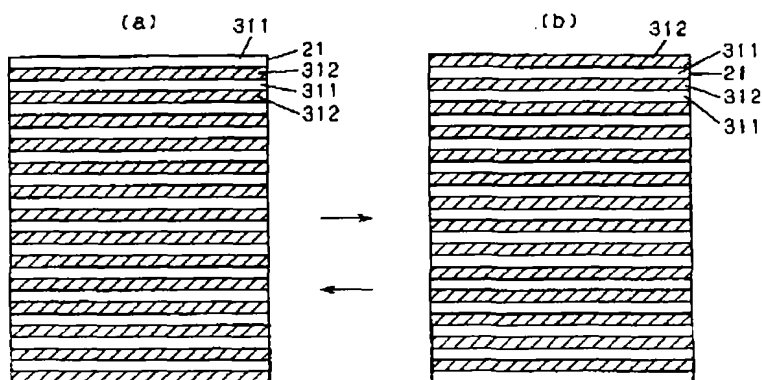
【図 5 6】



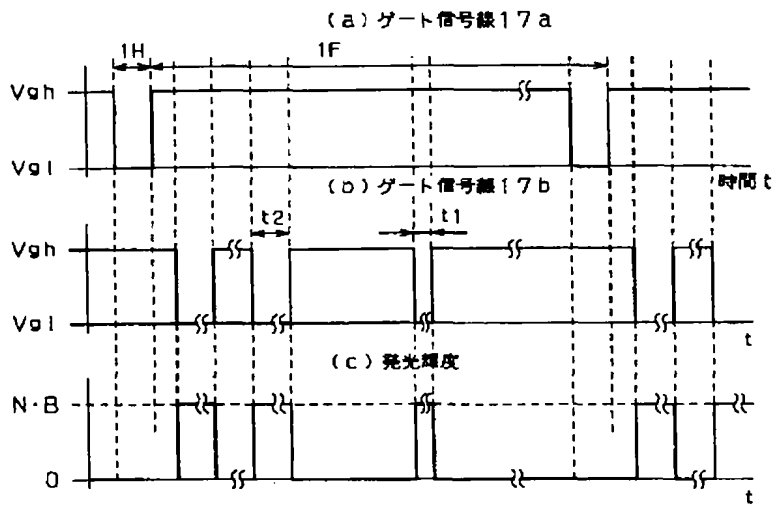
【図 5 7】



【図 6 3】

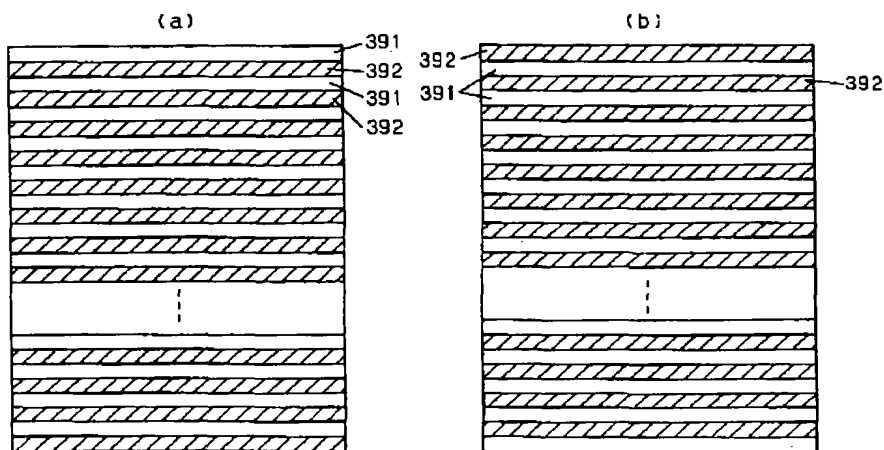


【図 58】

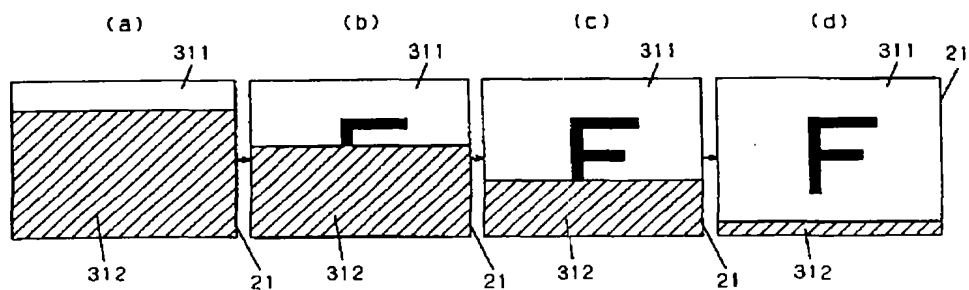


【図 59】

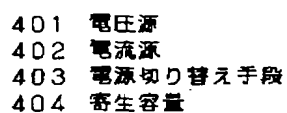
391 書き込み画素行
392 保持画素行



【図 65】



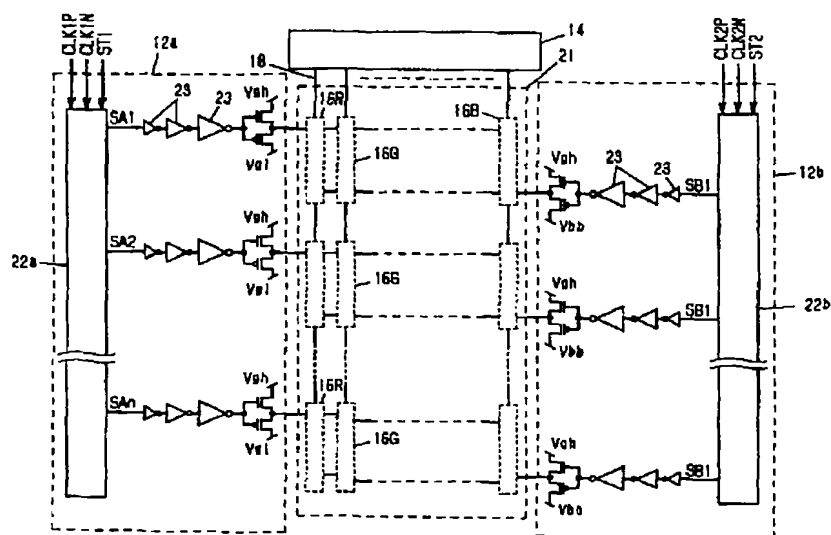
【图 6-2】



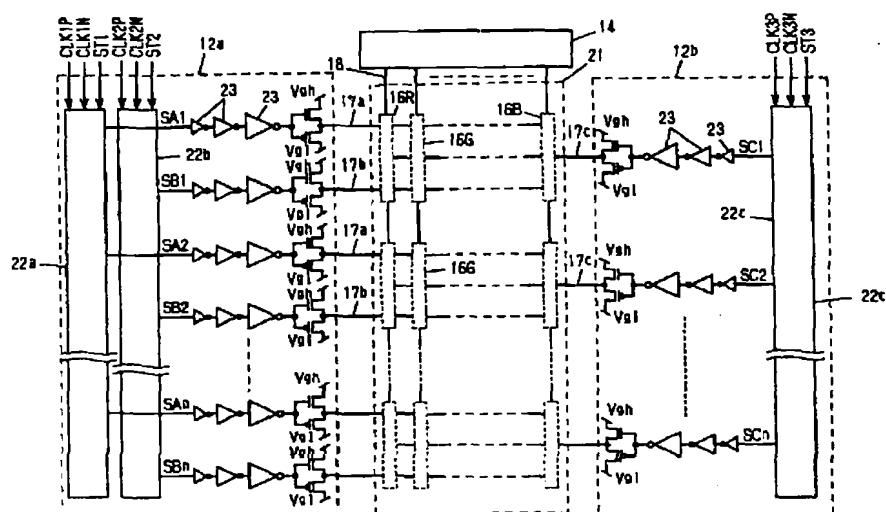
【図 6 6】



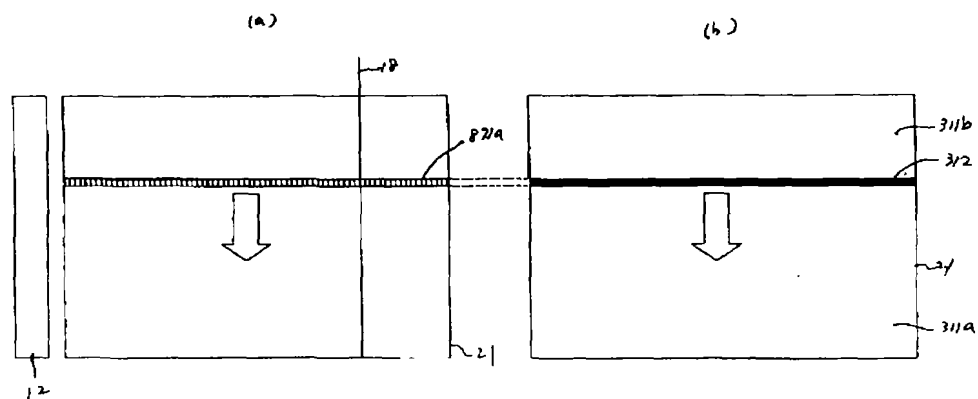
【図 67】



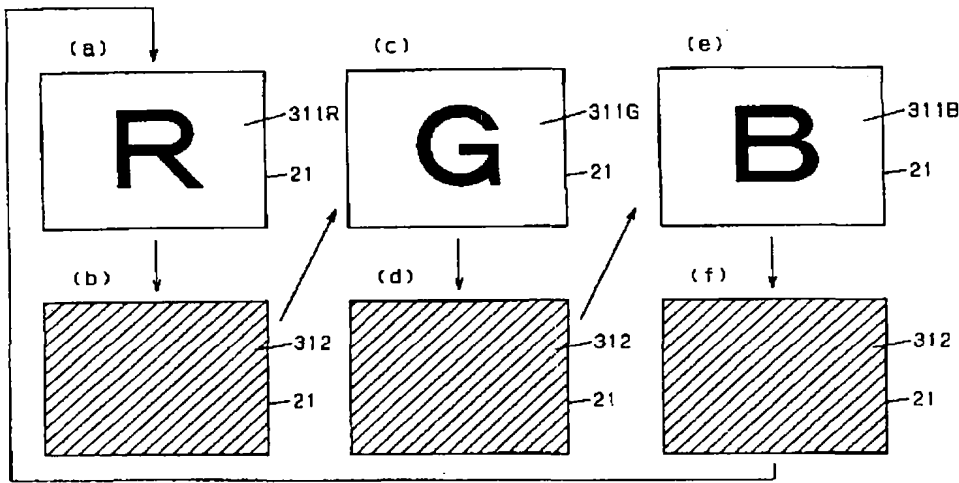
【図 69】



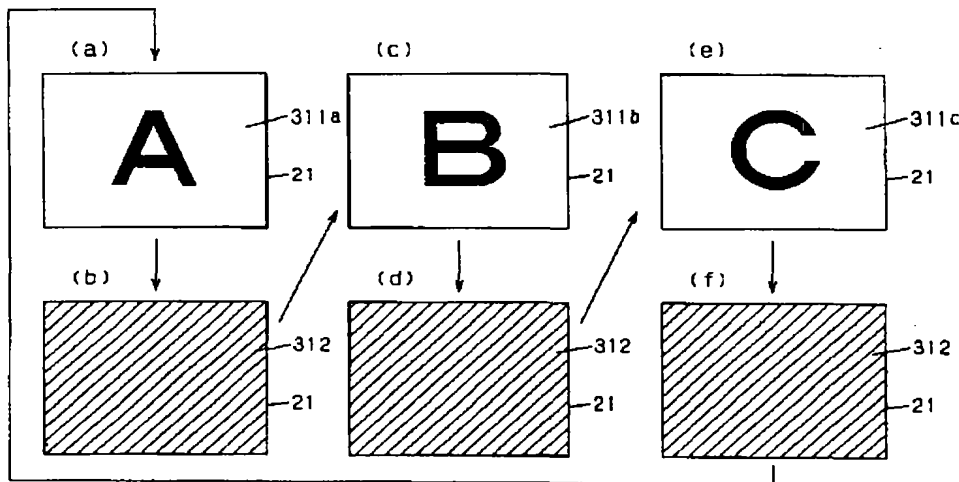
【図 84】



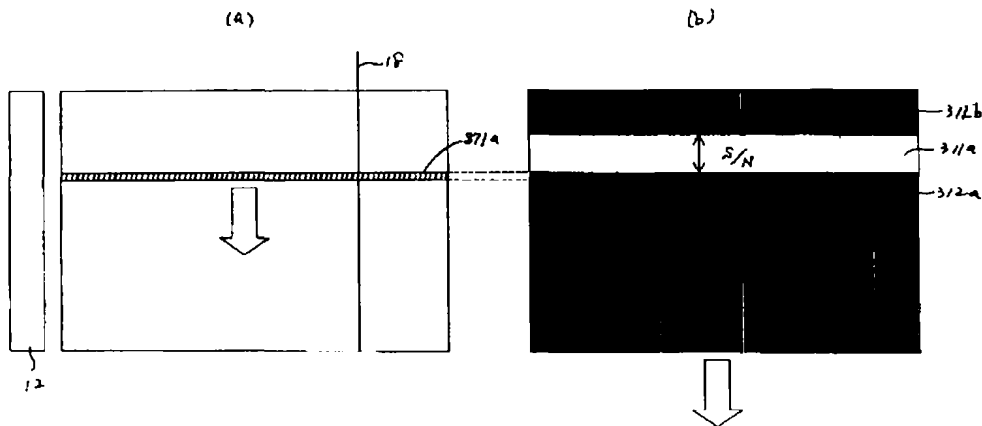
【図 70】



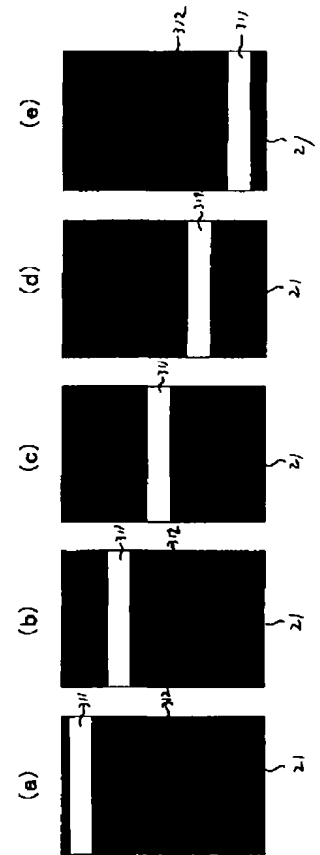
【図 71】



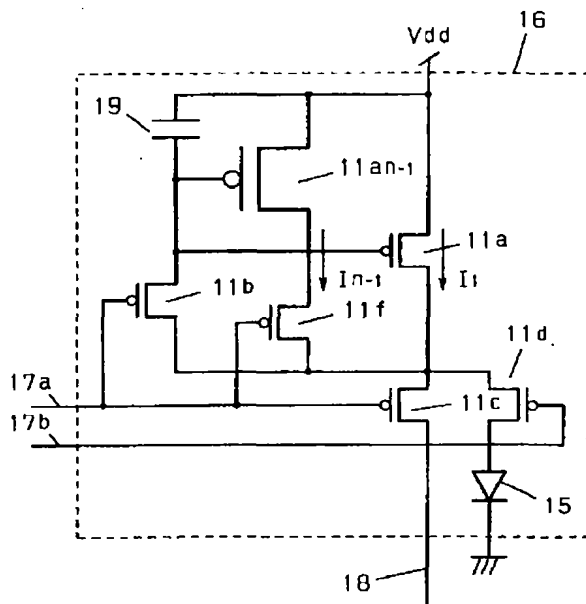
【図 89】



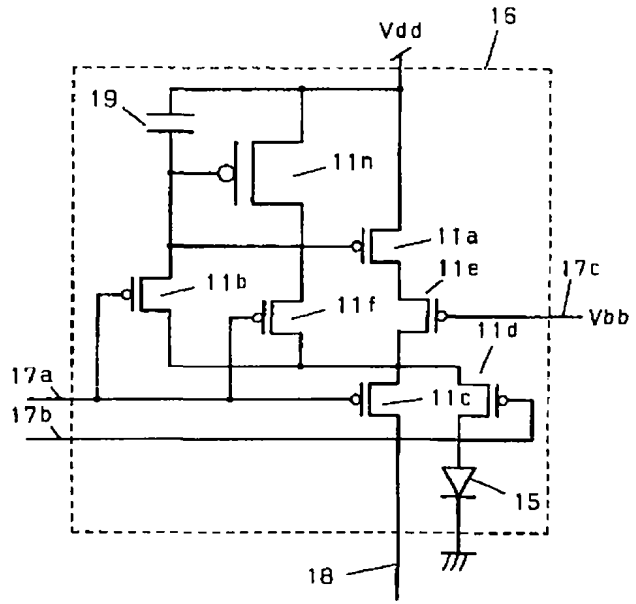
【図 218】



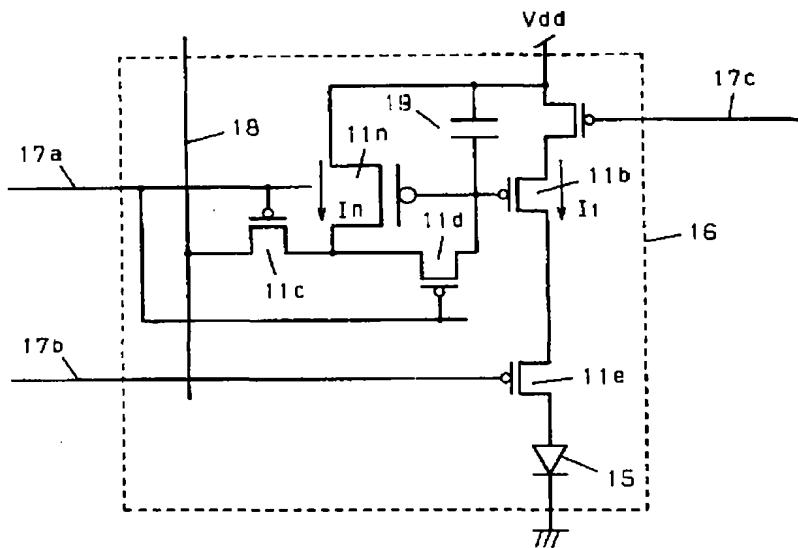
【図 7 2】



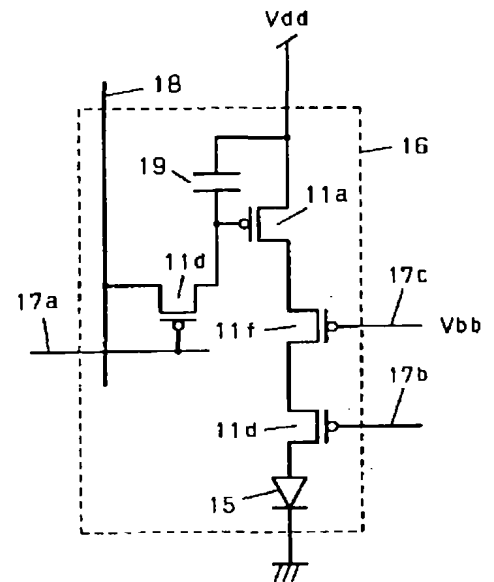
【図 7 6】



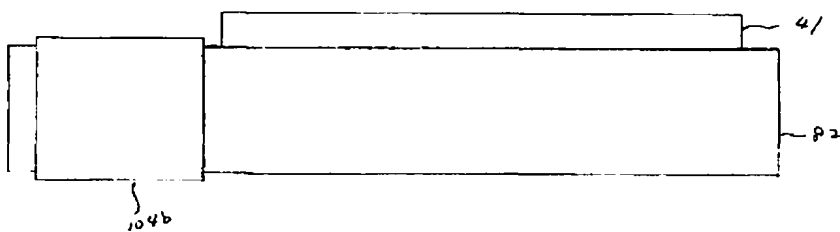
【図 7 3】



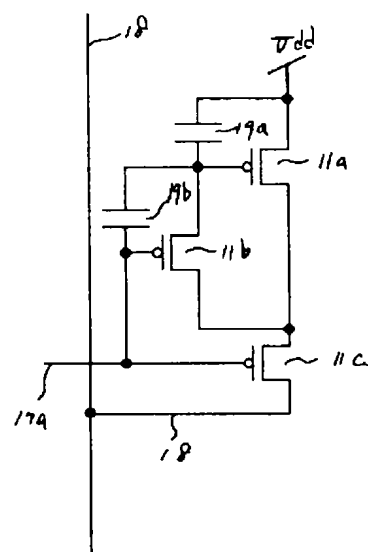
【図 8 0】



【図 1 5 4】



【 ㊦ 1 1 1 】



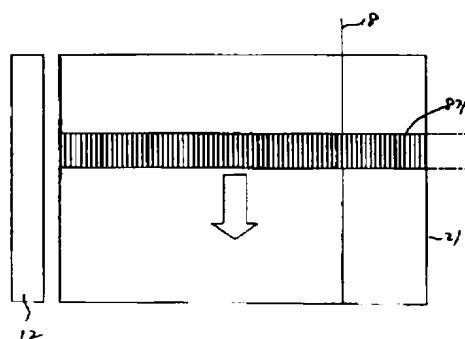
【 ㊦ 2 3 4 】



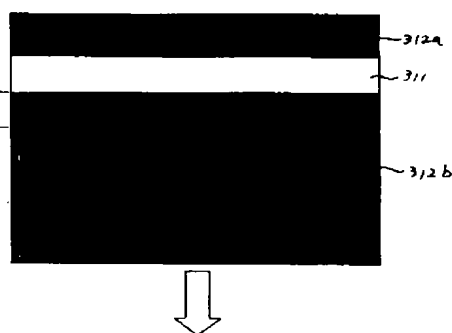
(b)
V-T

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	予約

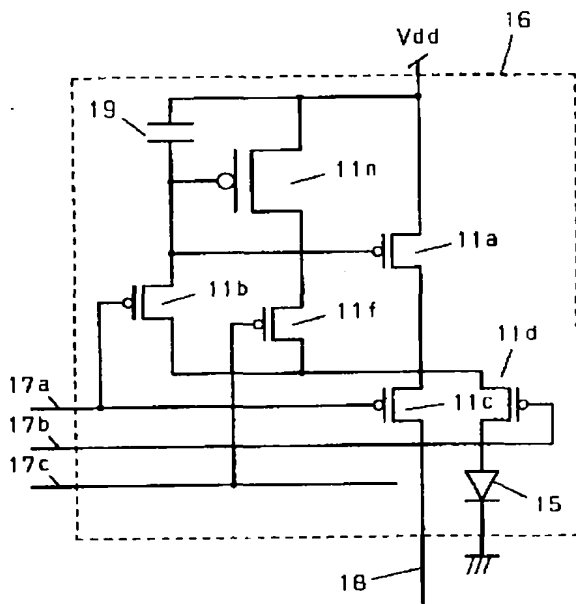
(2)



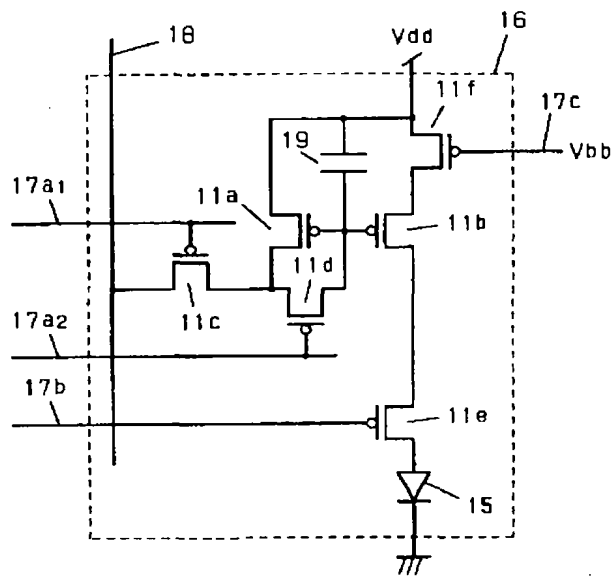
(16)



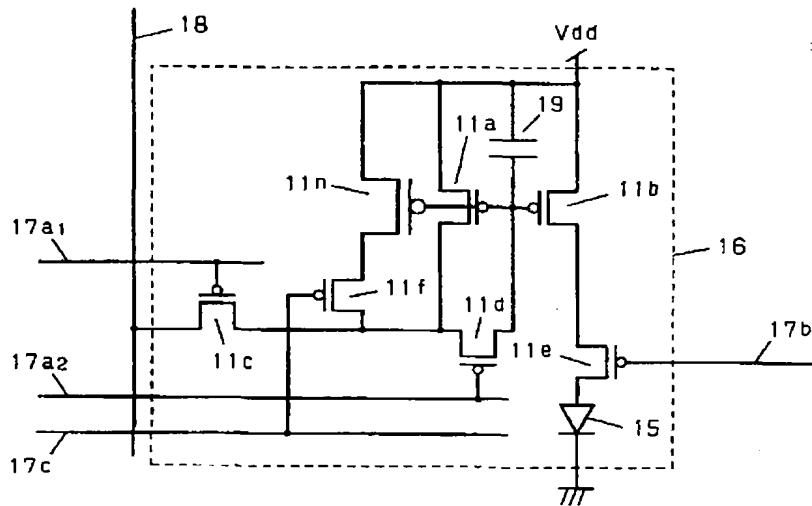
【図 77】



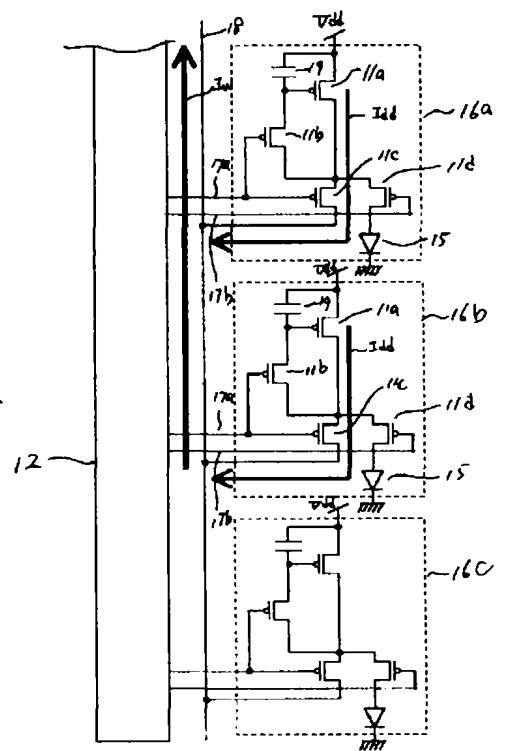
【図 79】



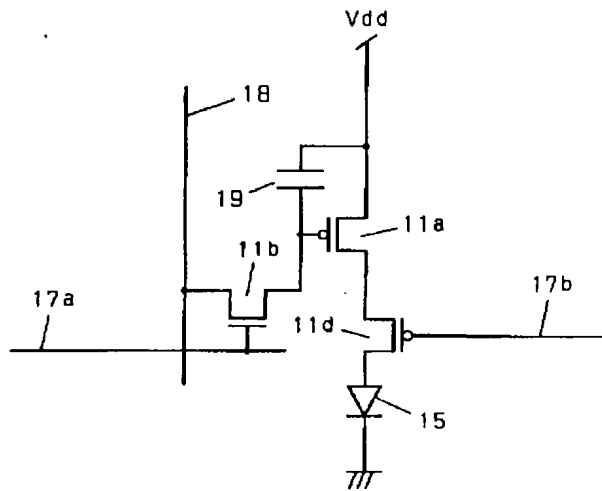
【図 78】



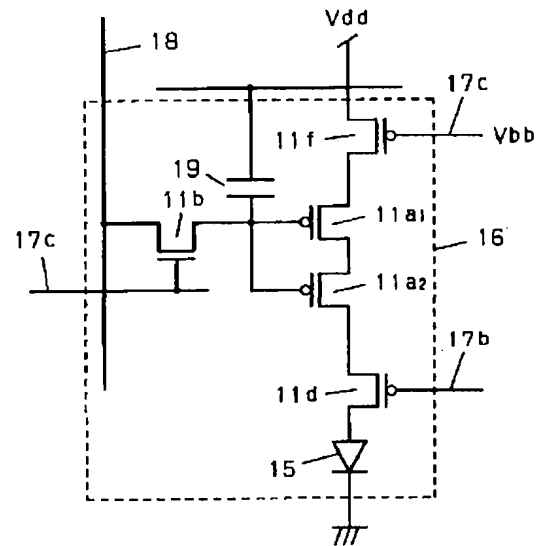
【図 100】



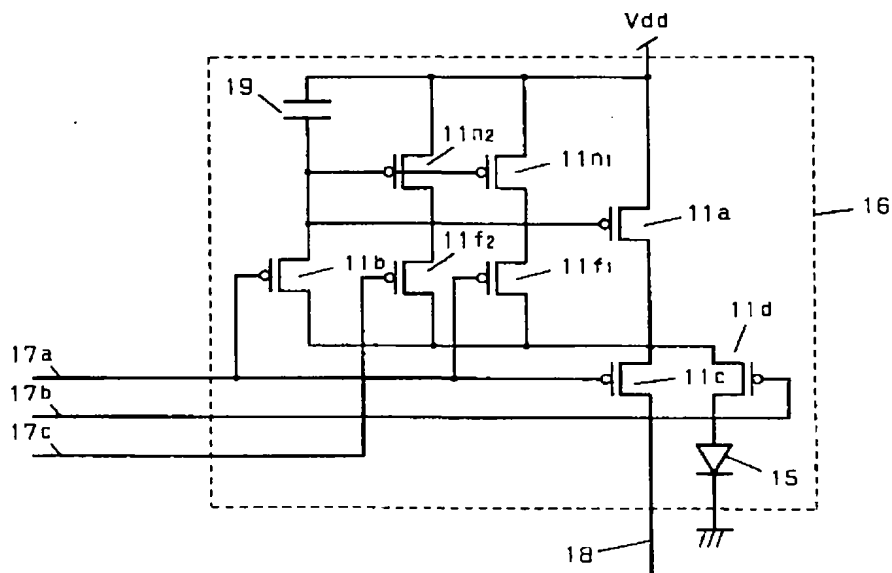
【図 8 1】



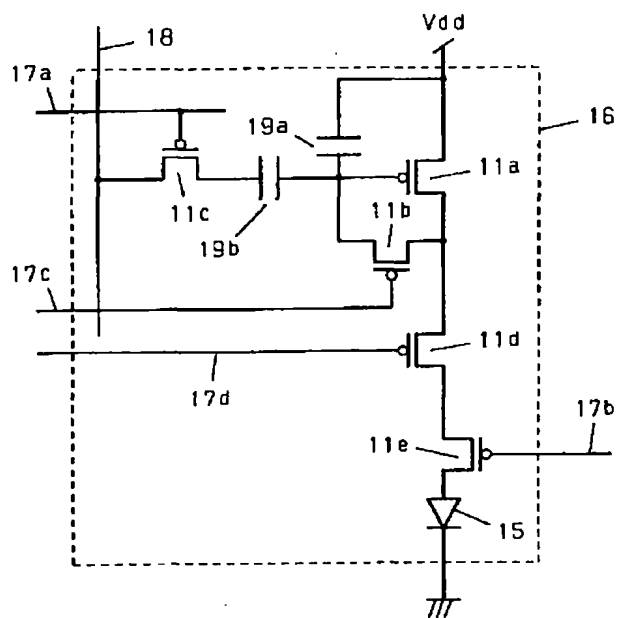
【図 8 2】



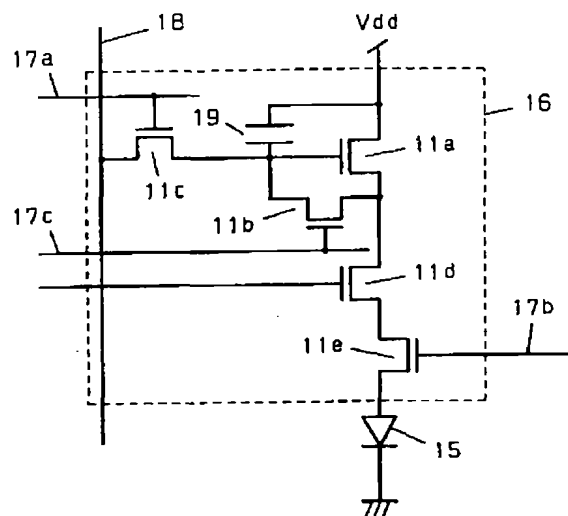
【図 8 3】



【図 85】

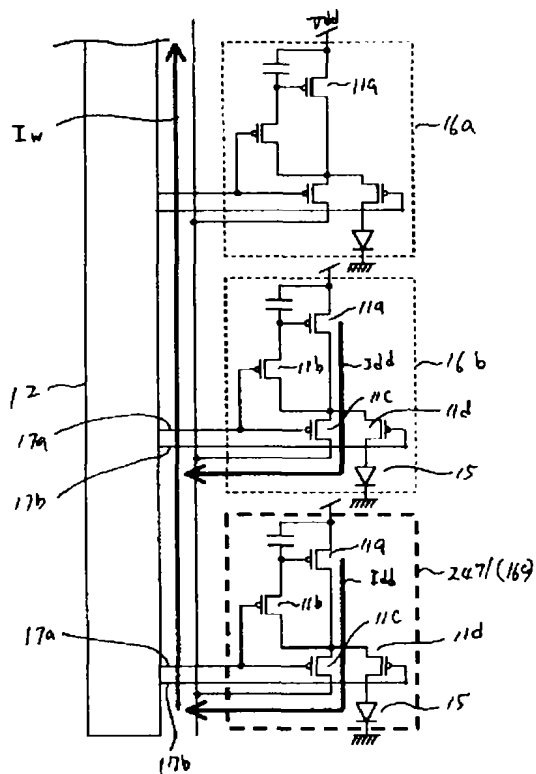
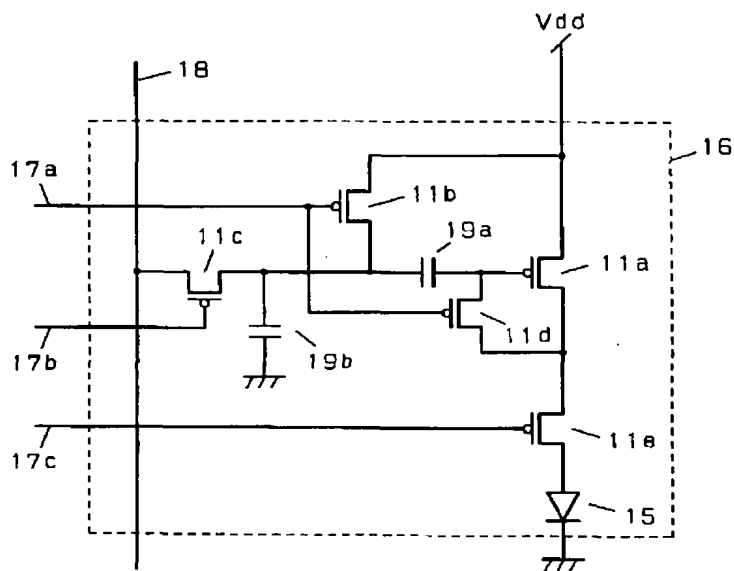


【図 86】

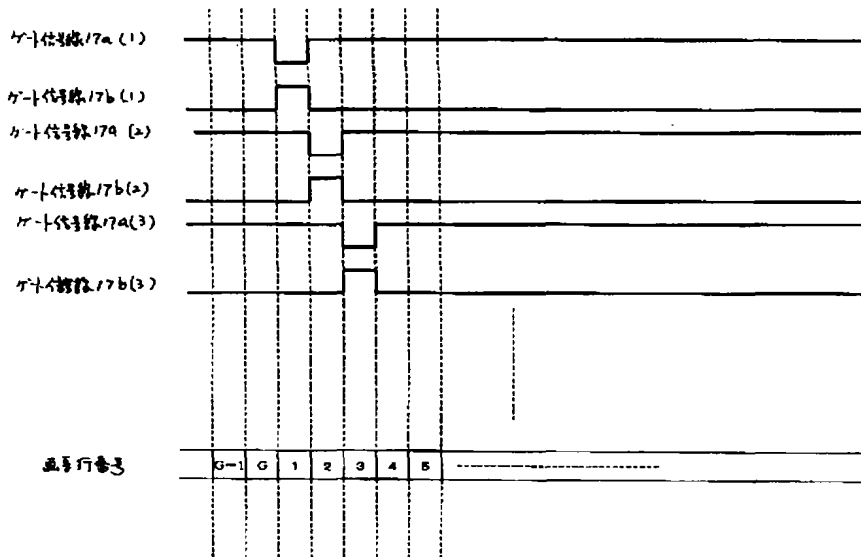


【図 101】

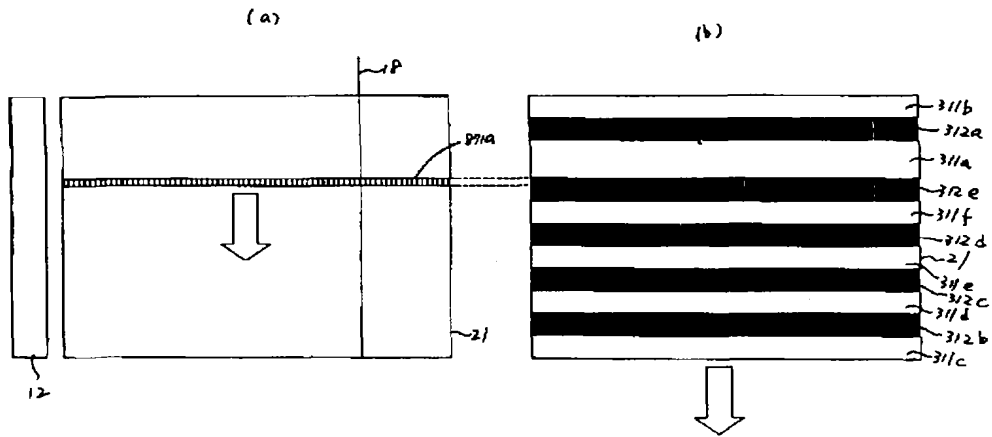
【図 87】



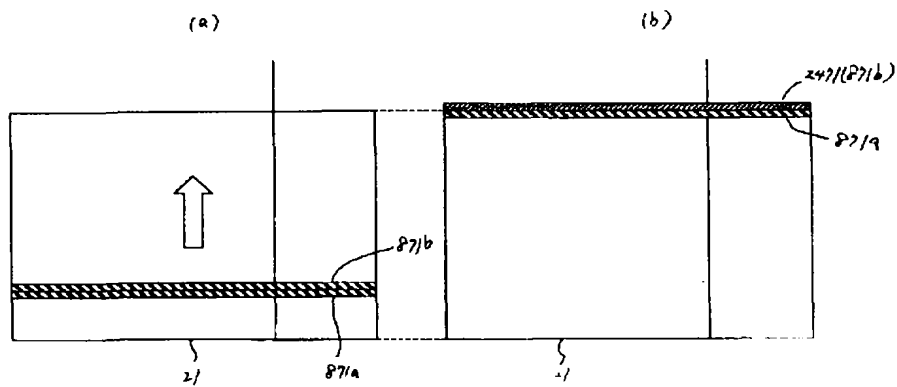
【図 88】



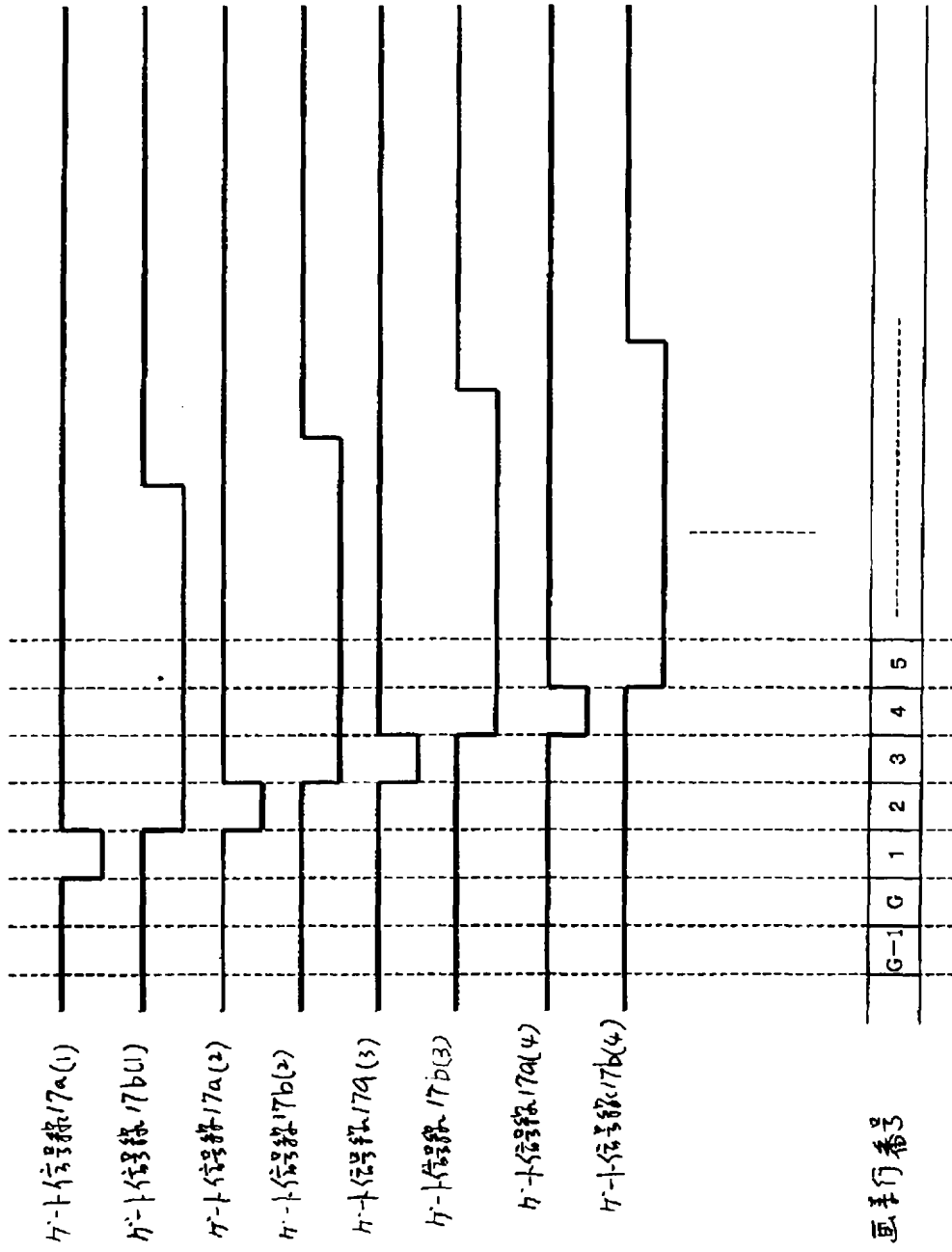
【図 91】



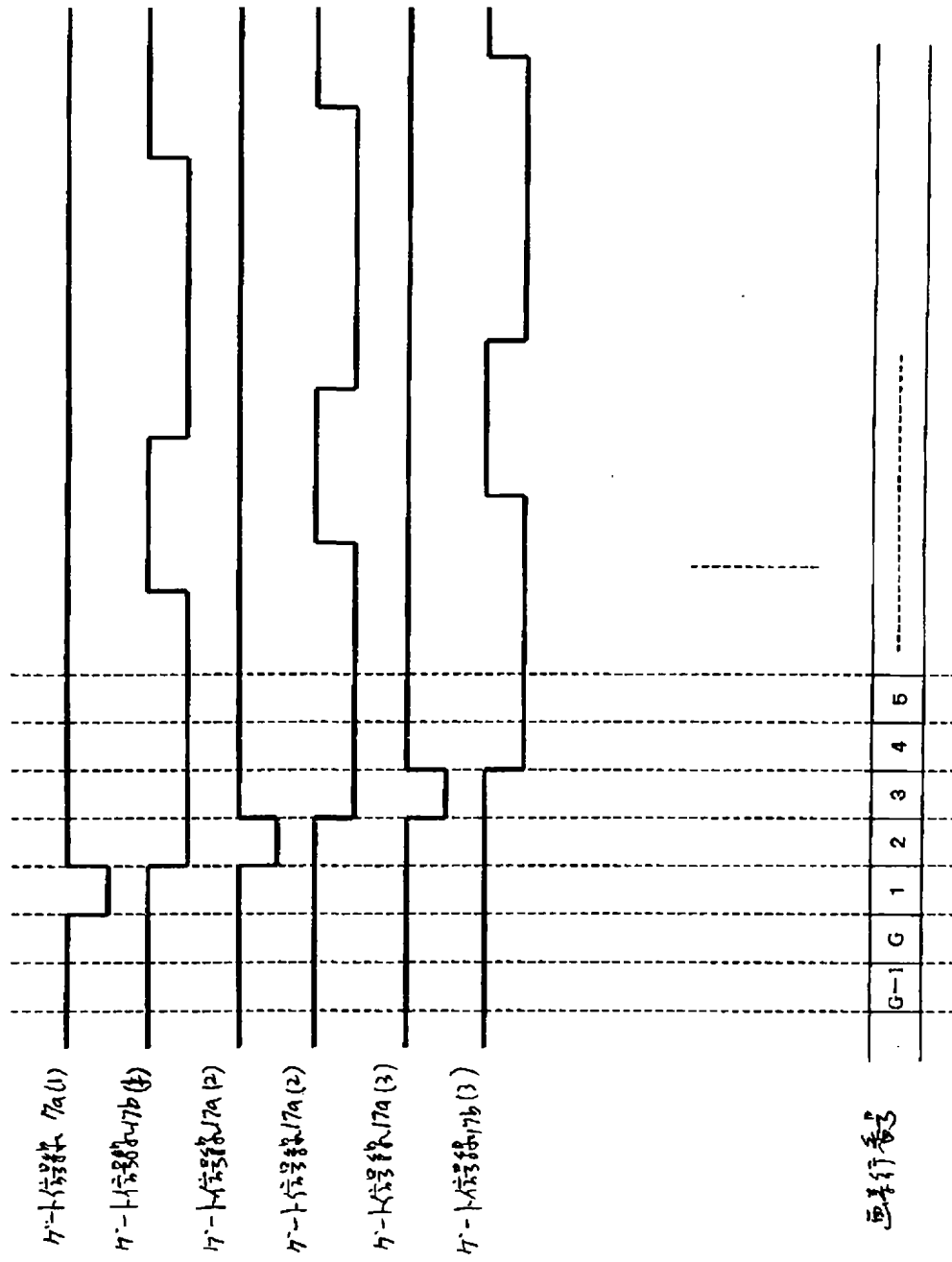
【図 104】



【図 90】



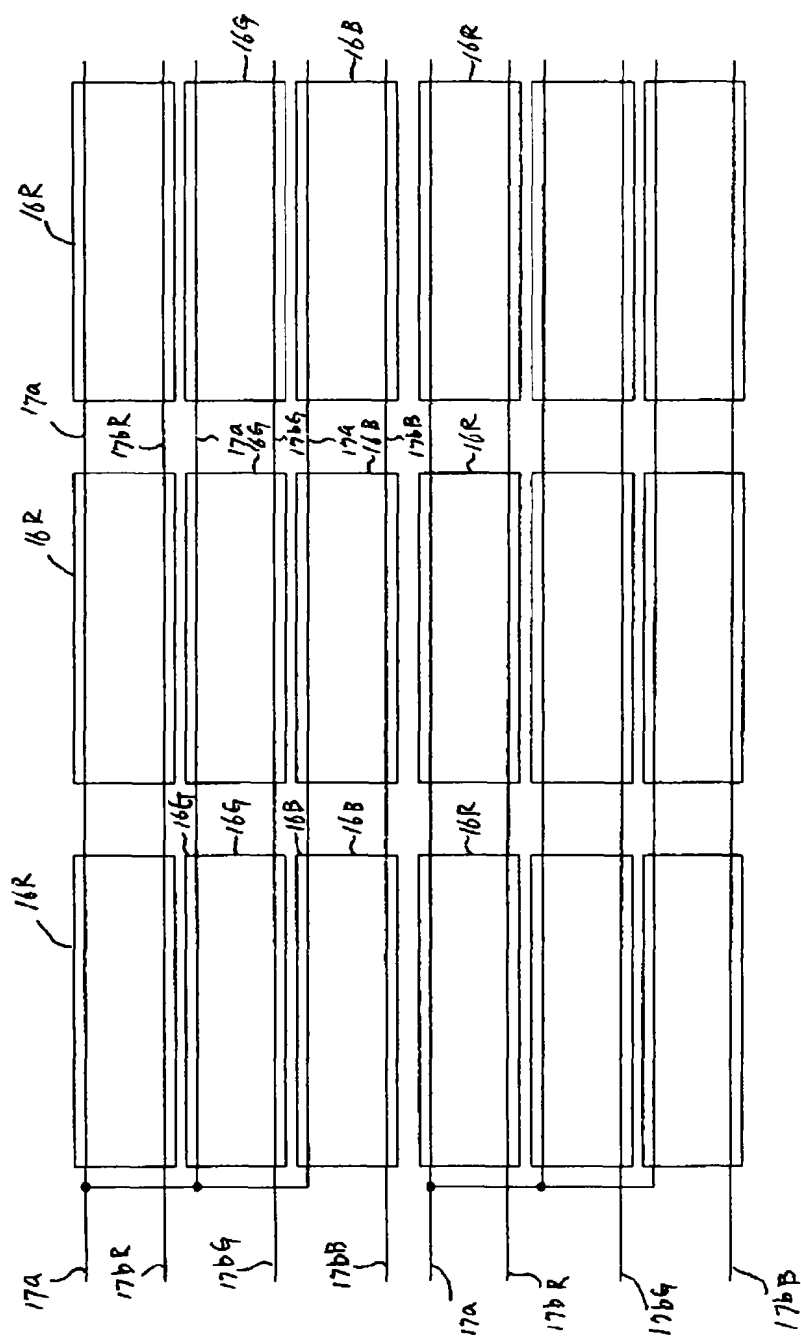
【図 9 2】



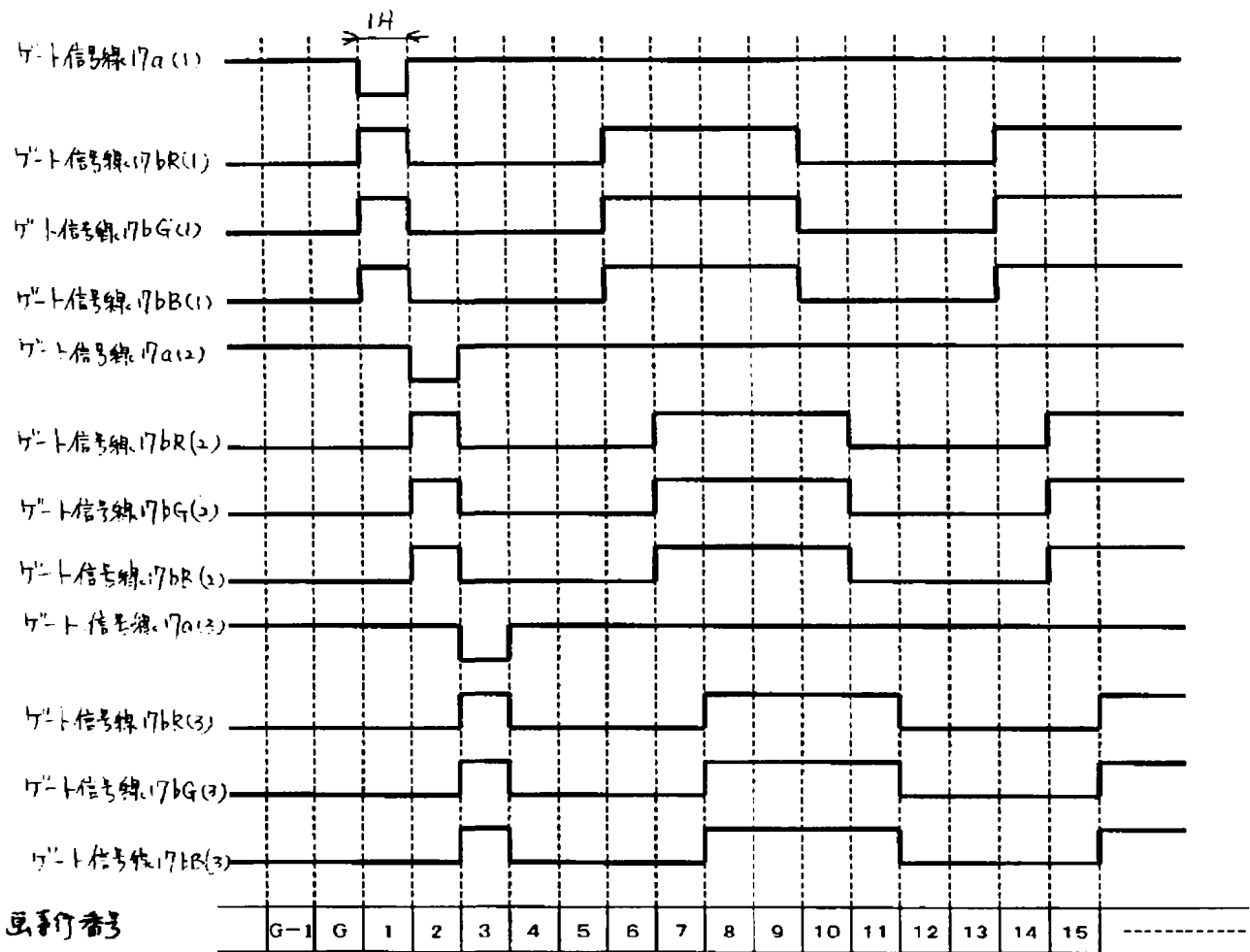
80/24/2000
Succumb to



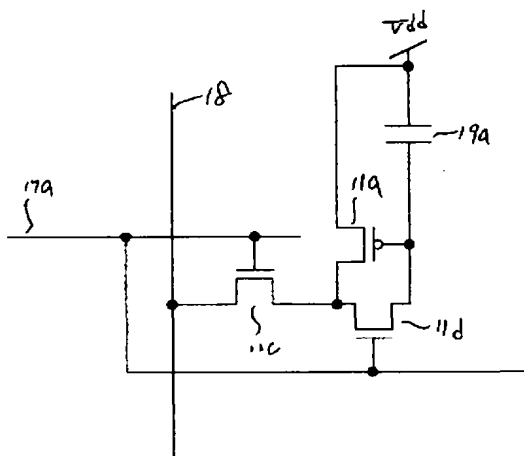
【図 96】



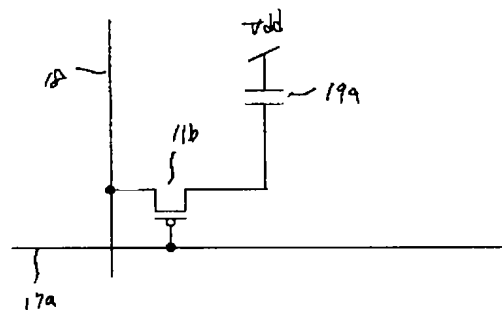
【図97】



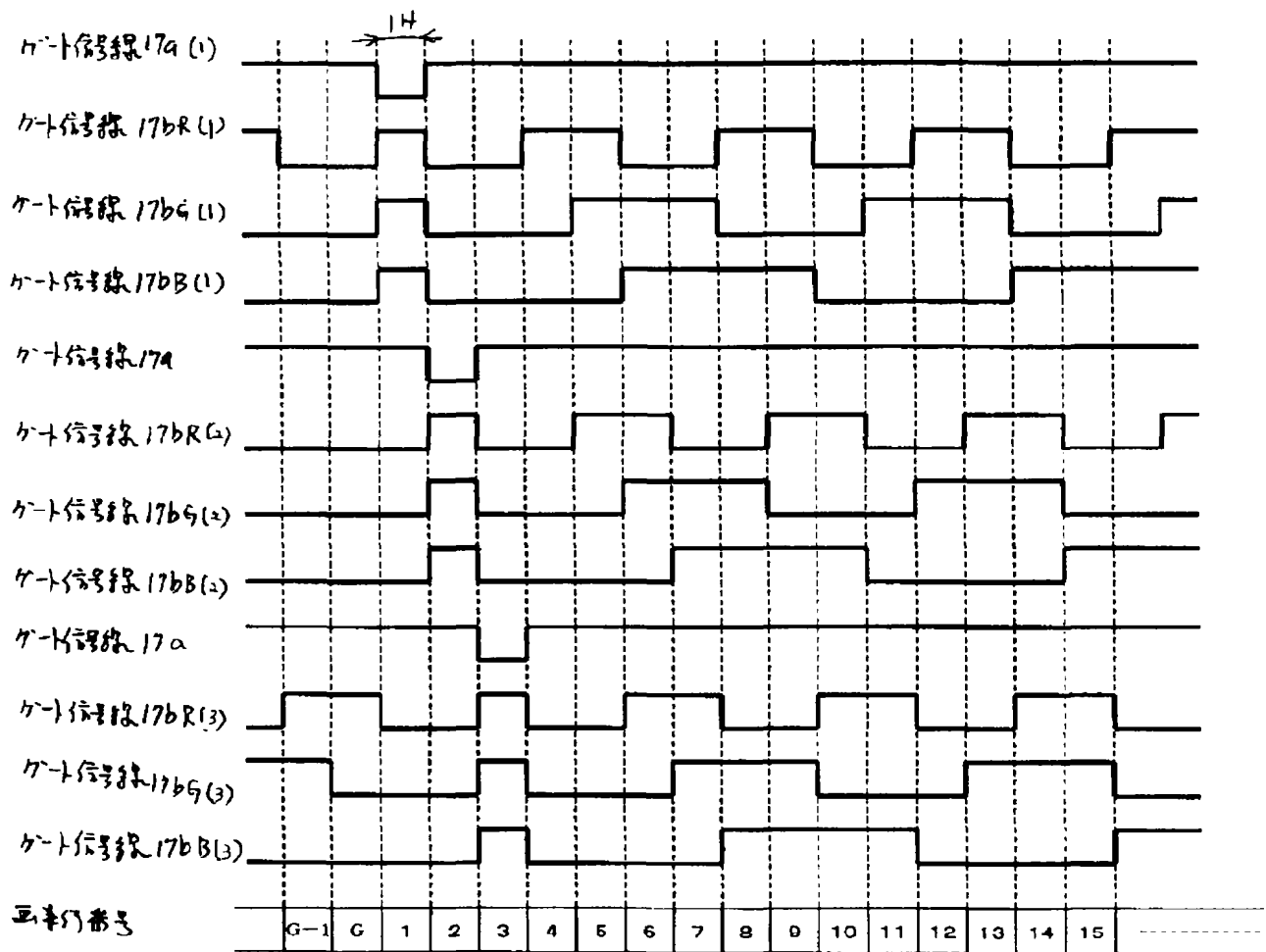
【図112】



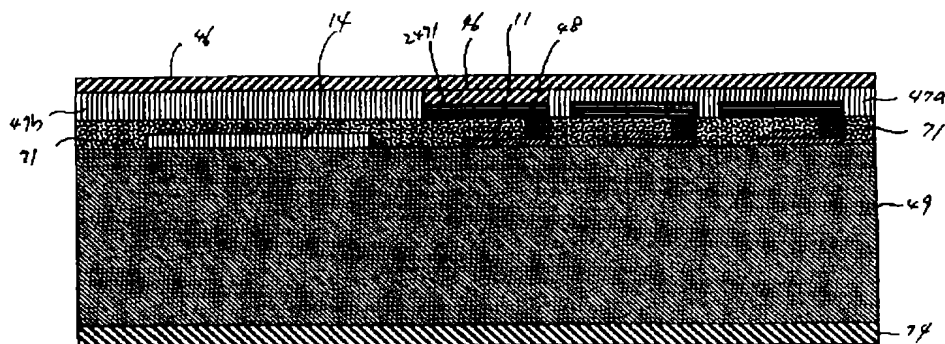
【図113】



【図98】



【図115】



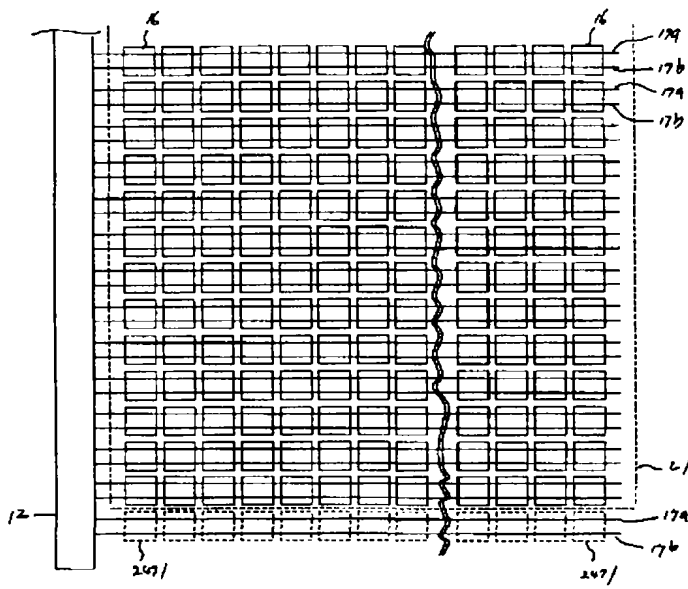
14

16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	16
16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	16

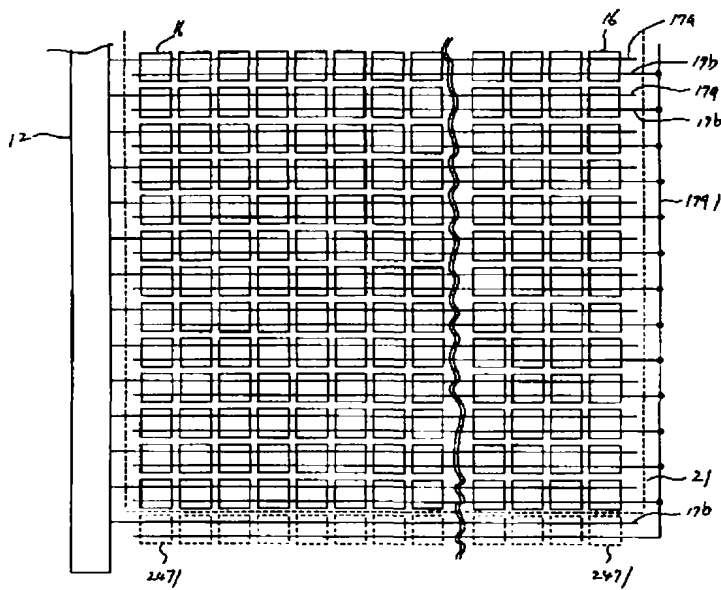
0-1 6 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

画素行番号

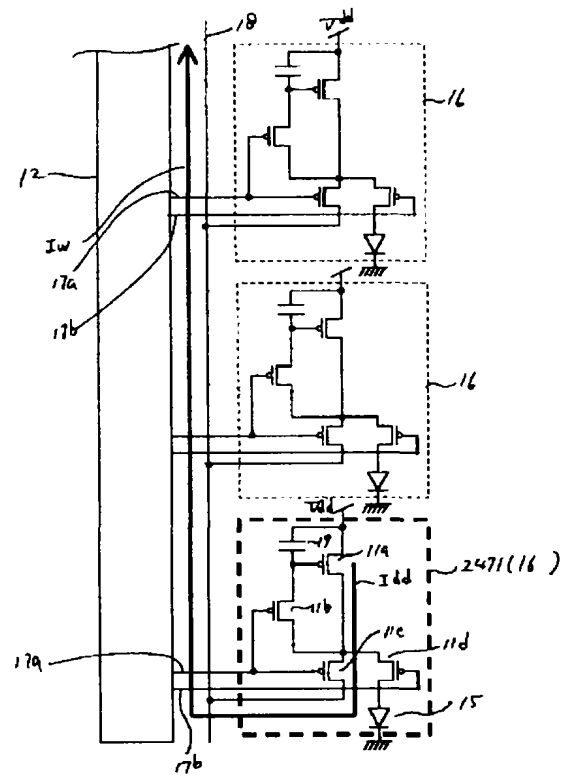
【図102】



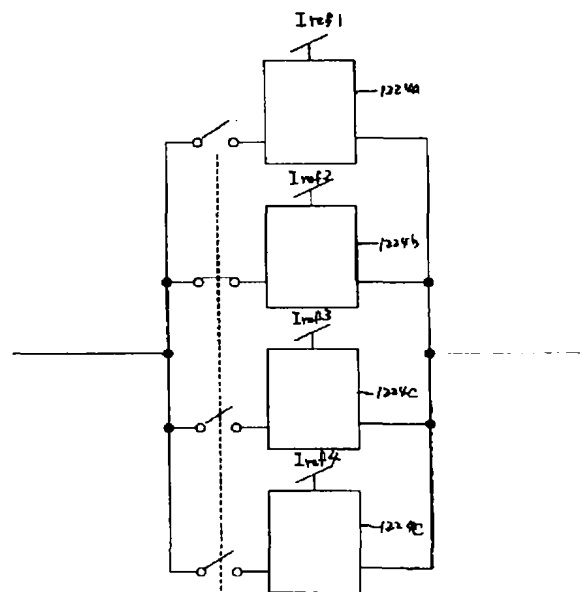
【図103】



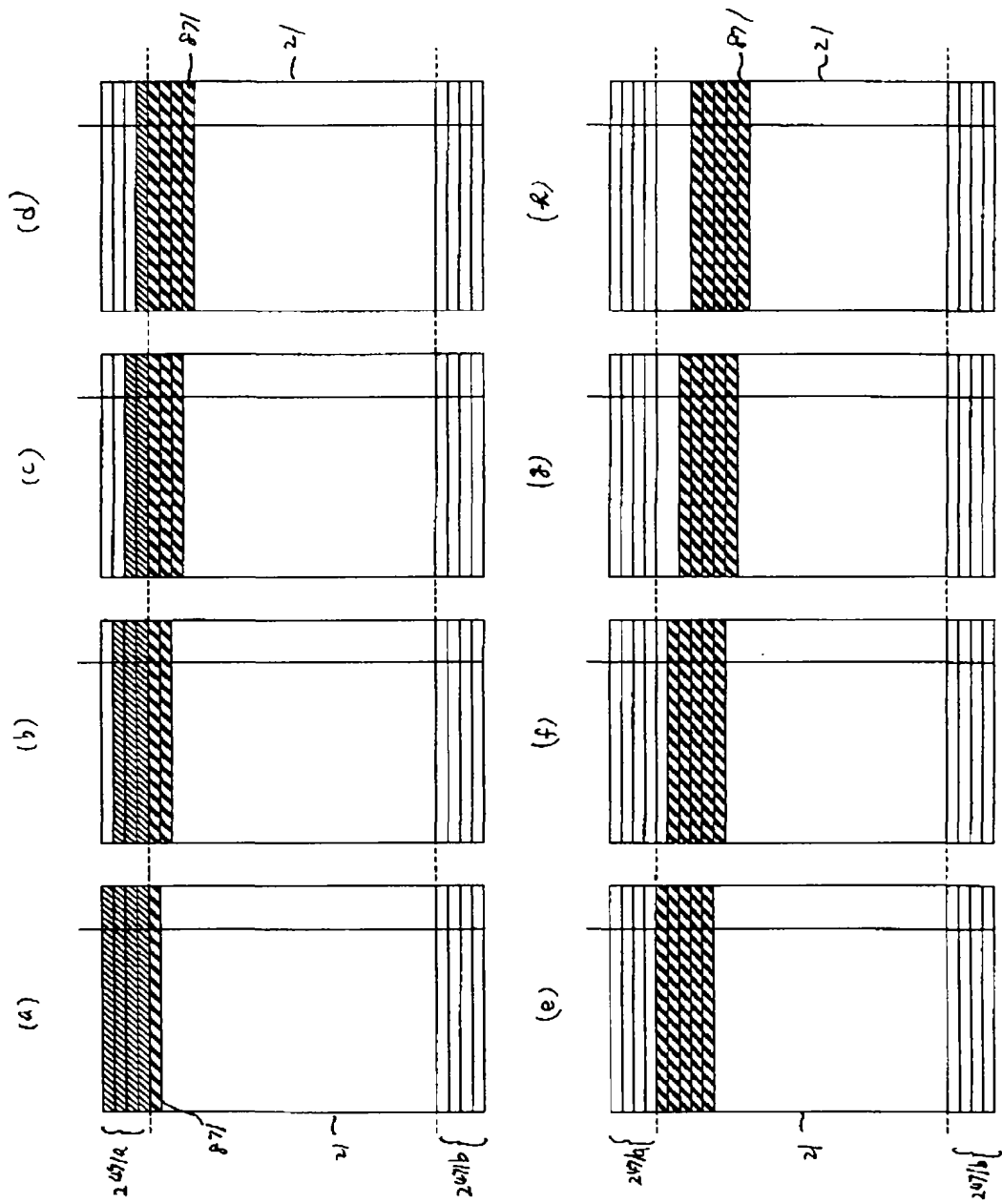
【図109】



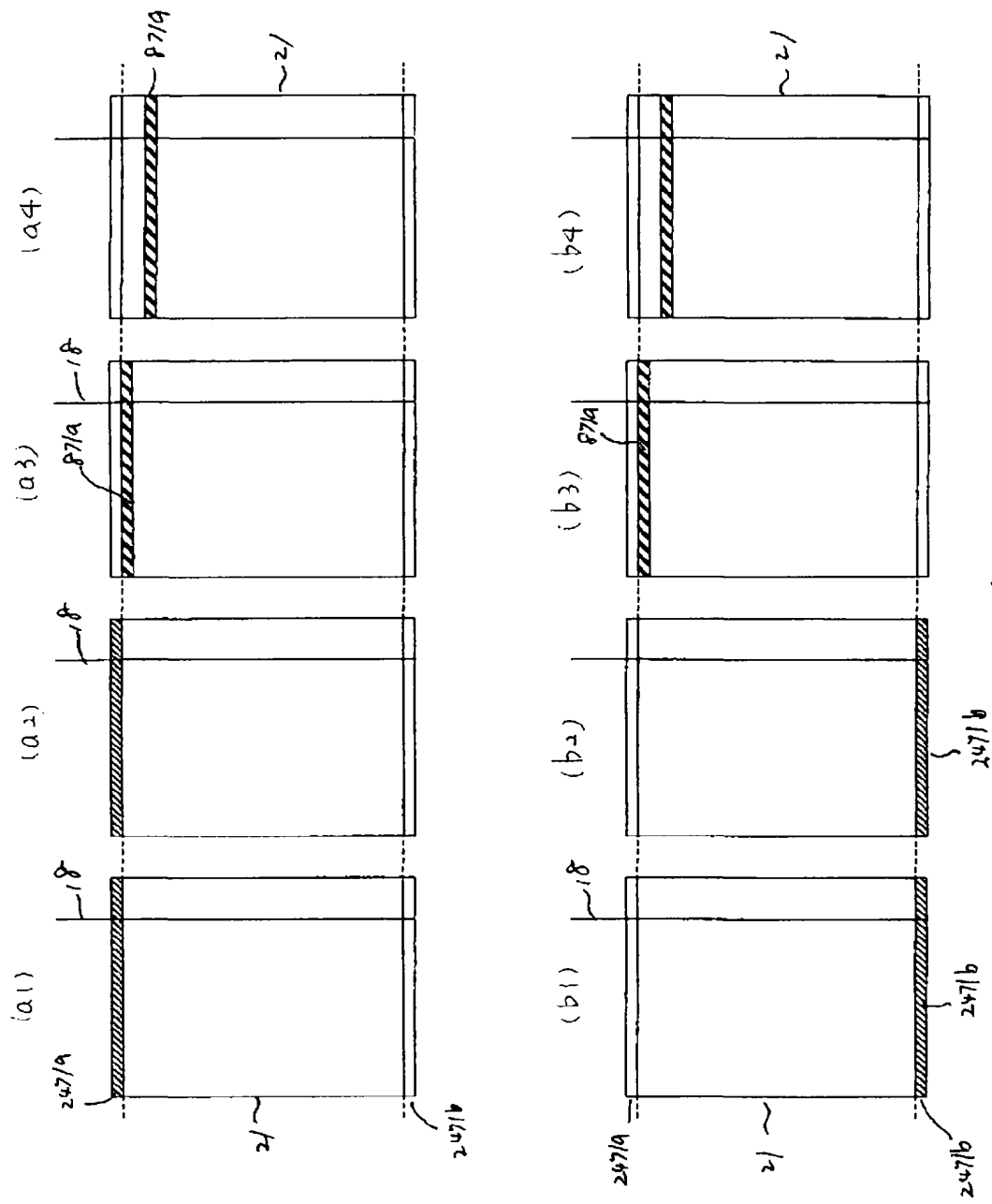
【図124】



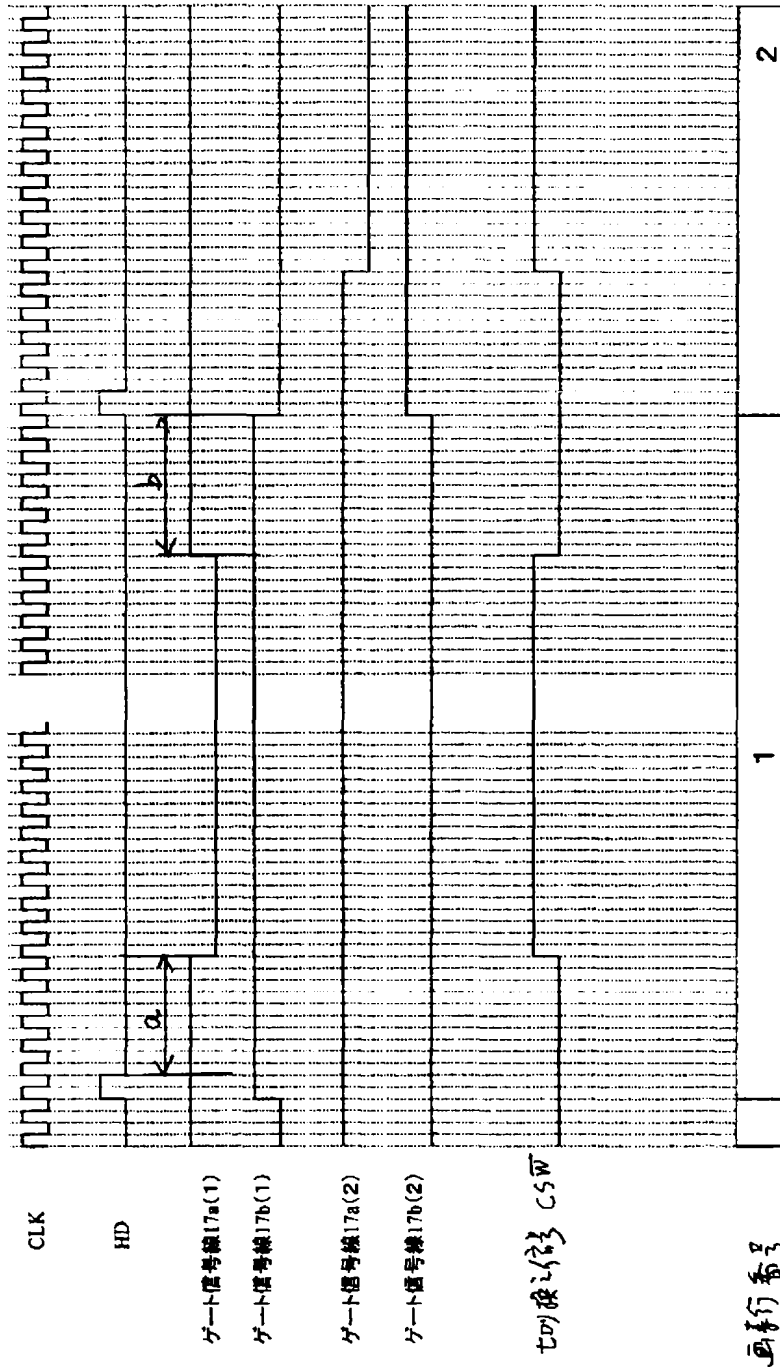
【図 107】



【図 108】

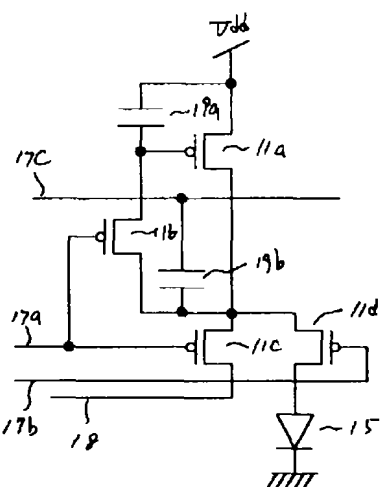


【図110】

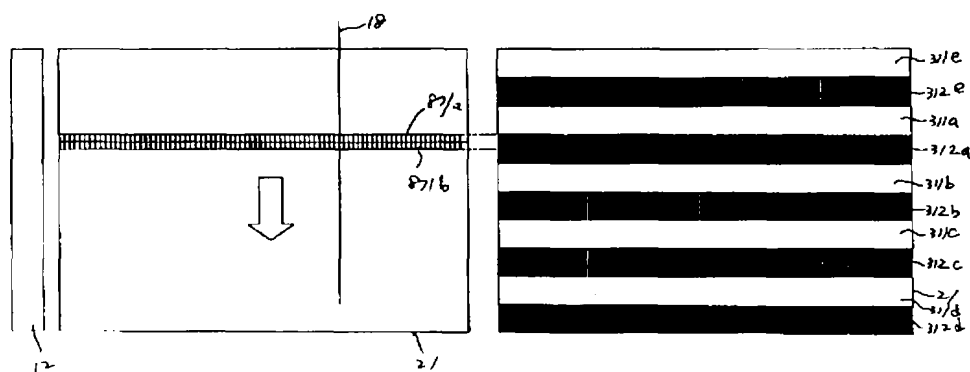
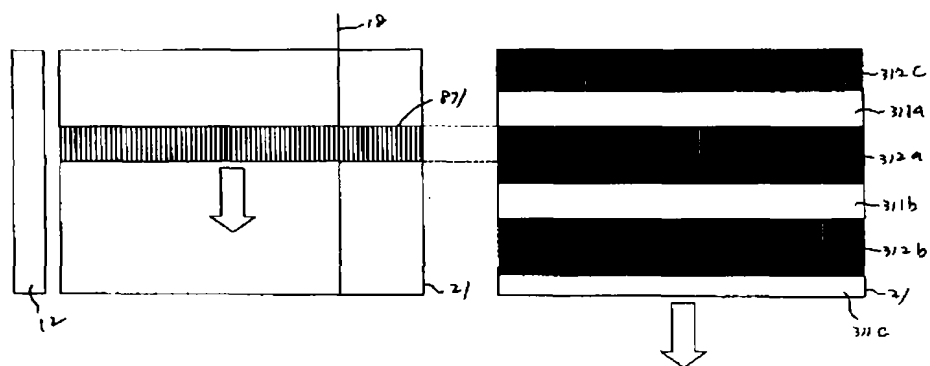


【图 2 6 5】

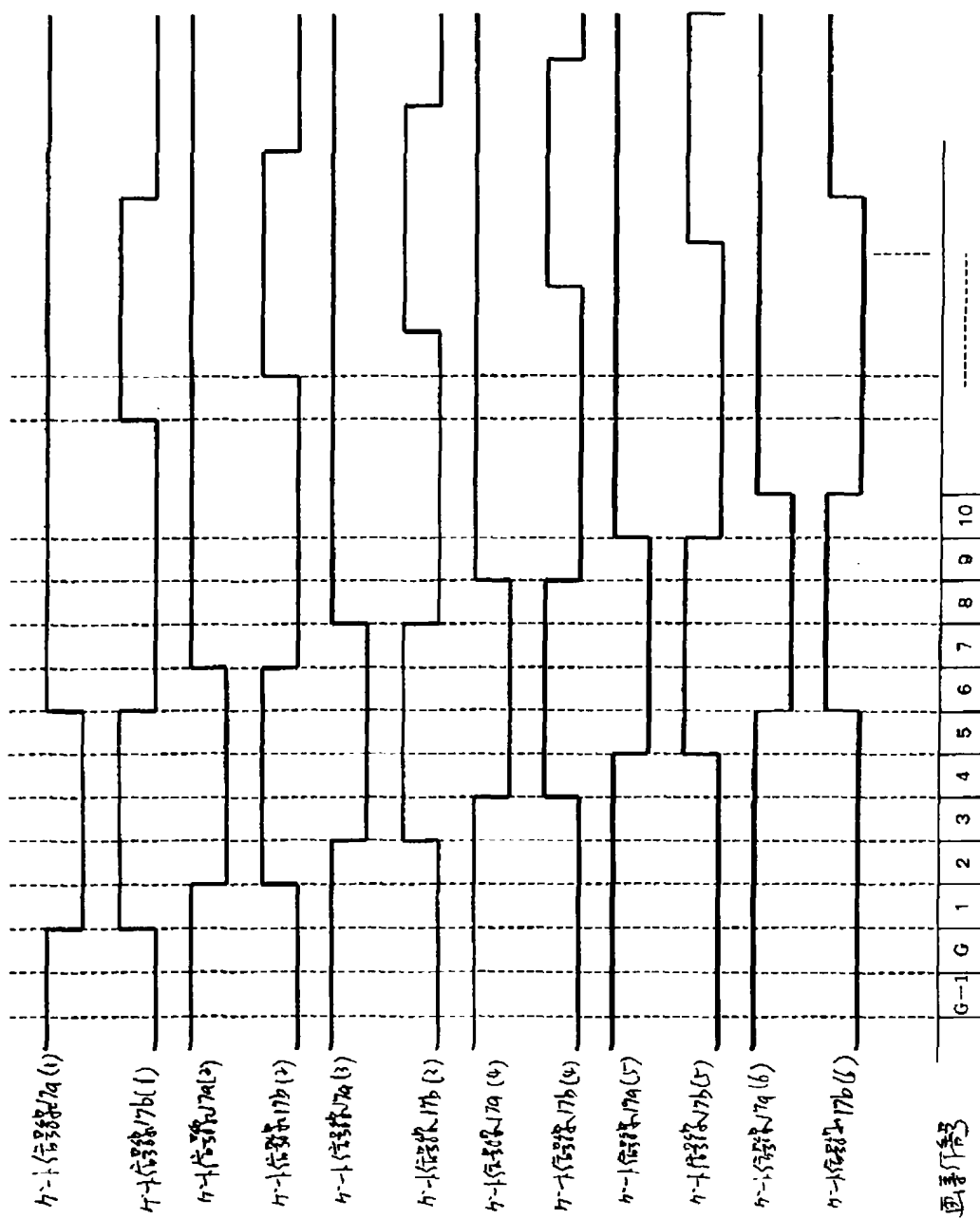
256/ 地絡膜



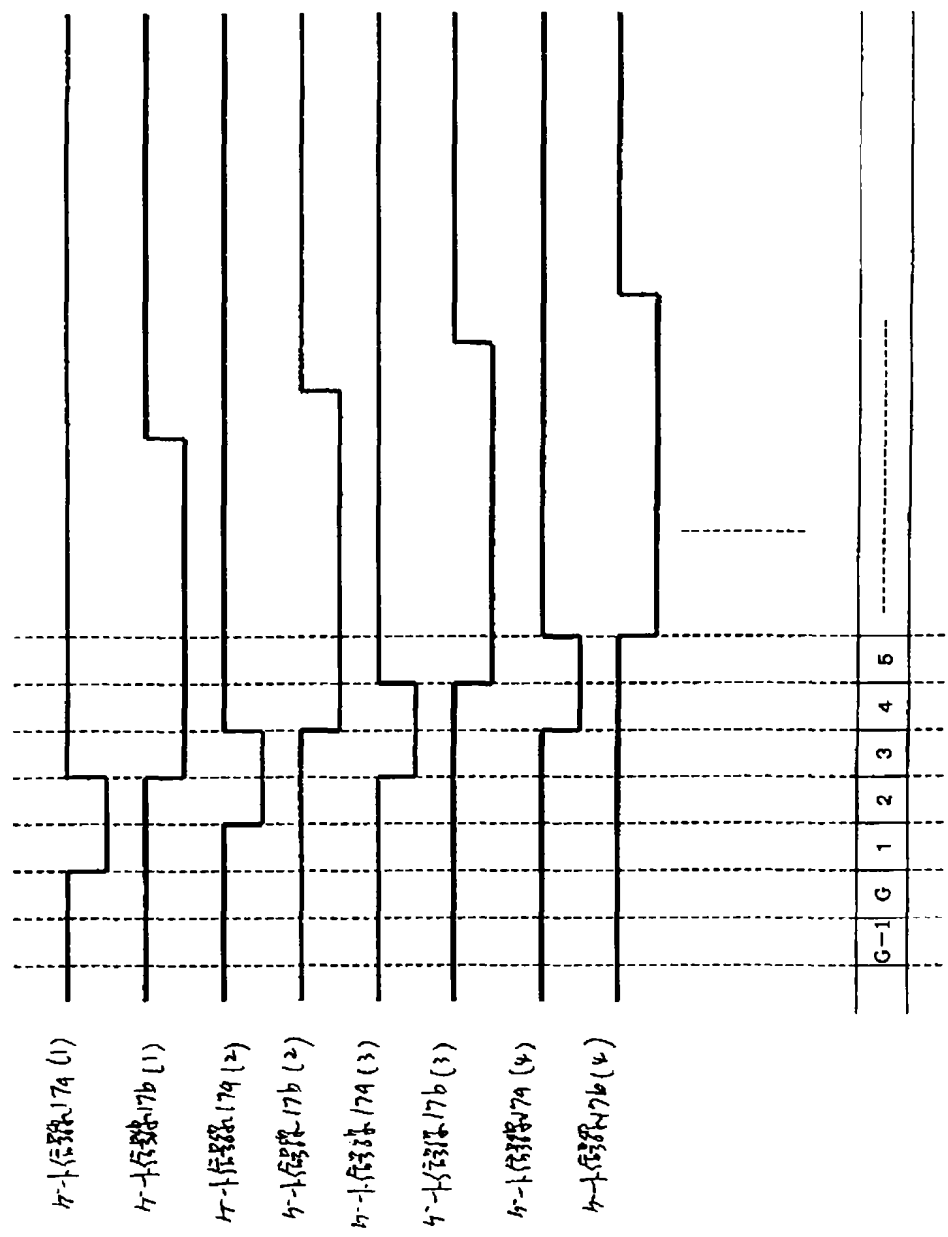
(b)



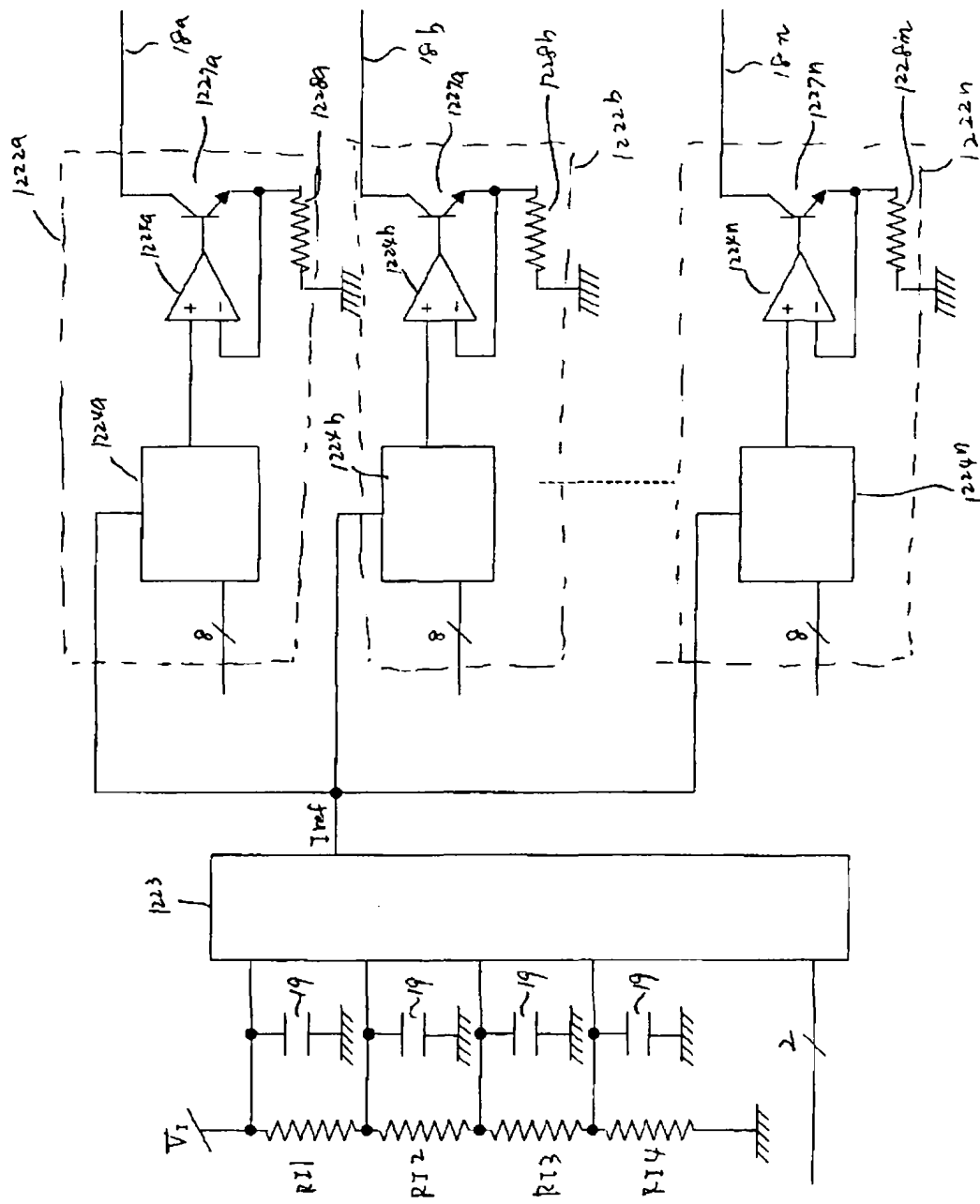
【図 117】



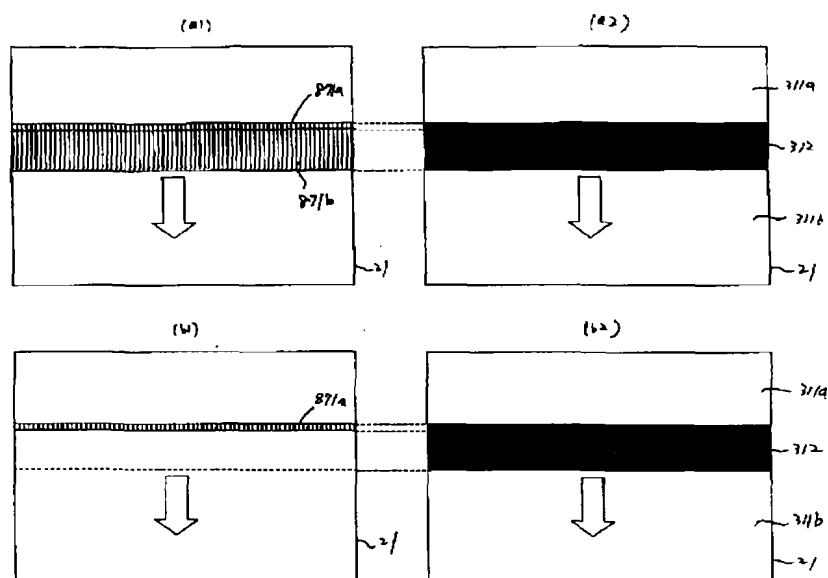
【図119】



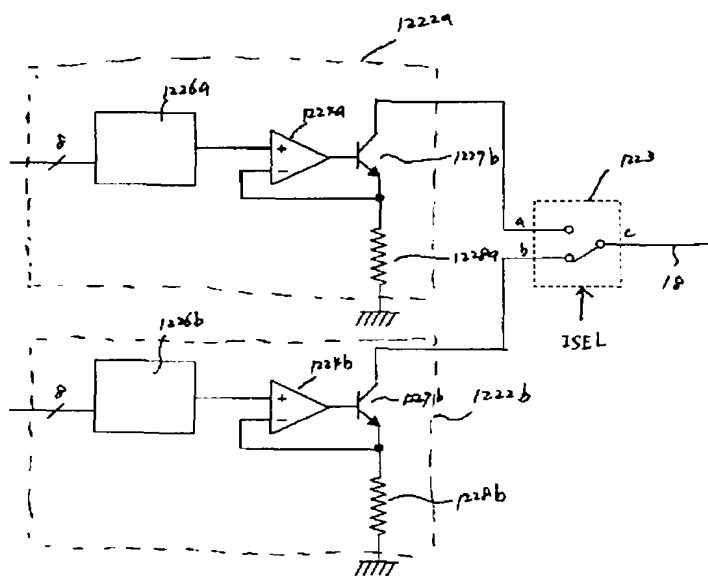
【図120】



【図 121】

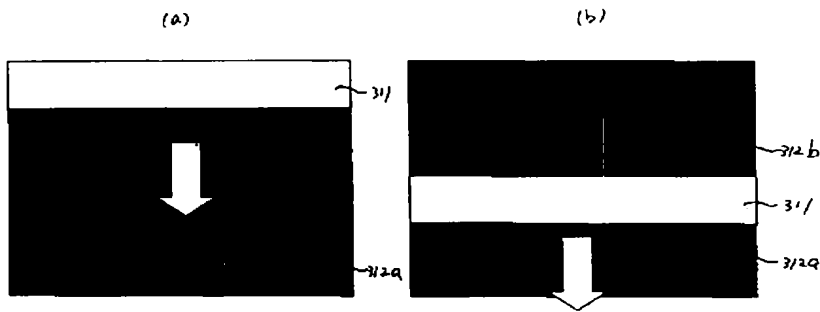


【図 123】

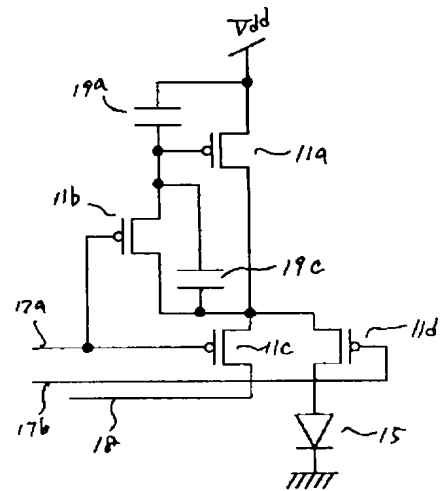


[illegible]

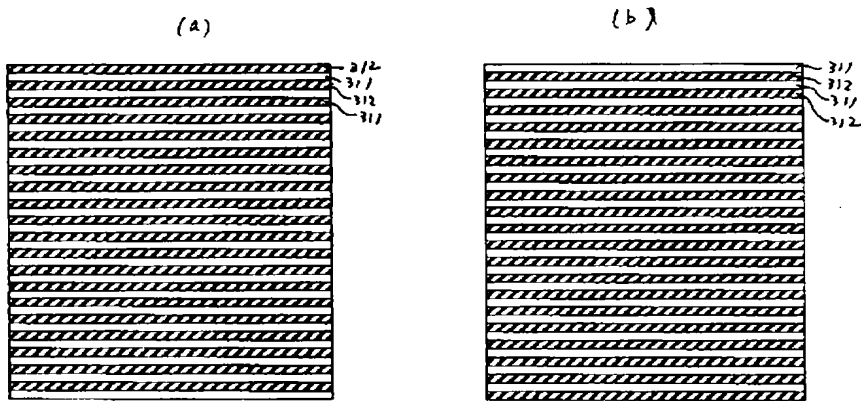
【図 125】



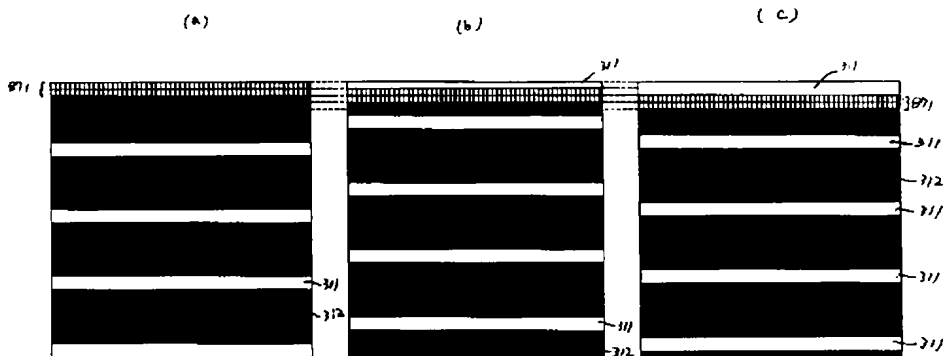
【図 245】



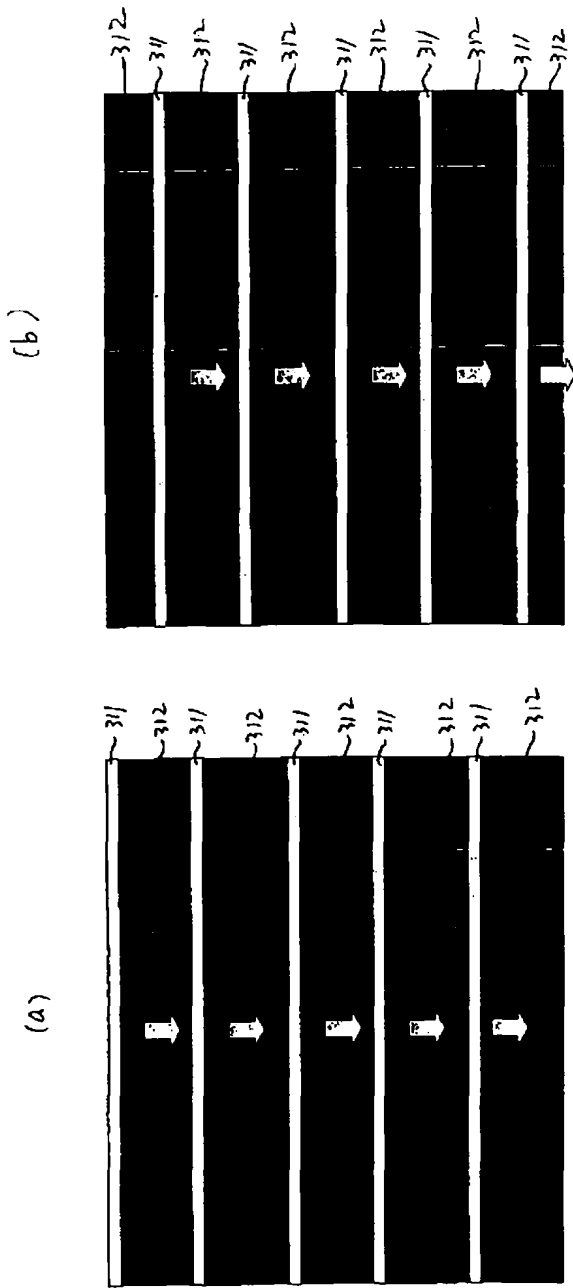
【図 128】



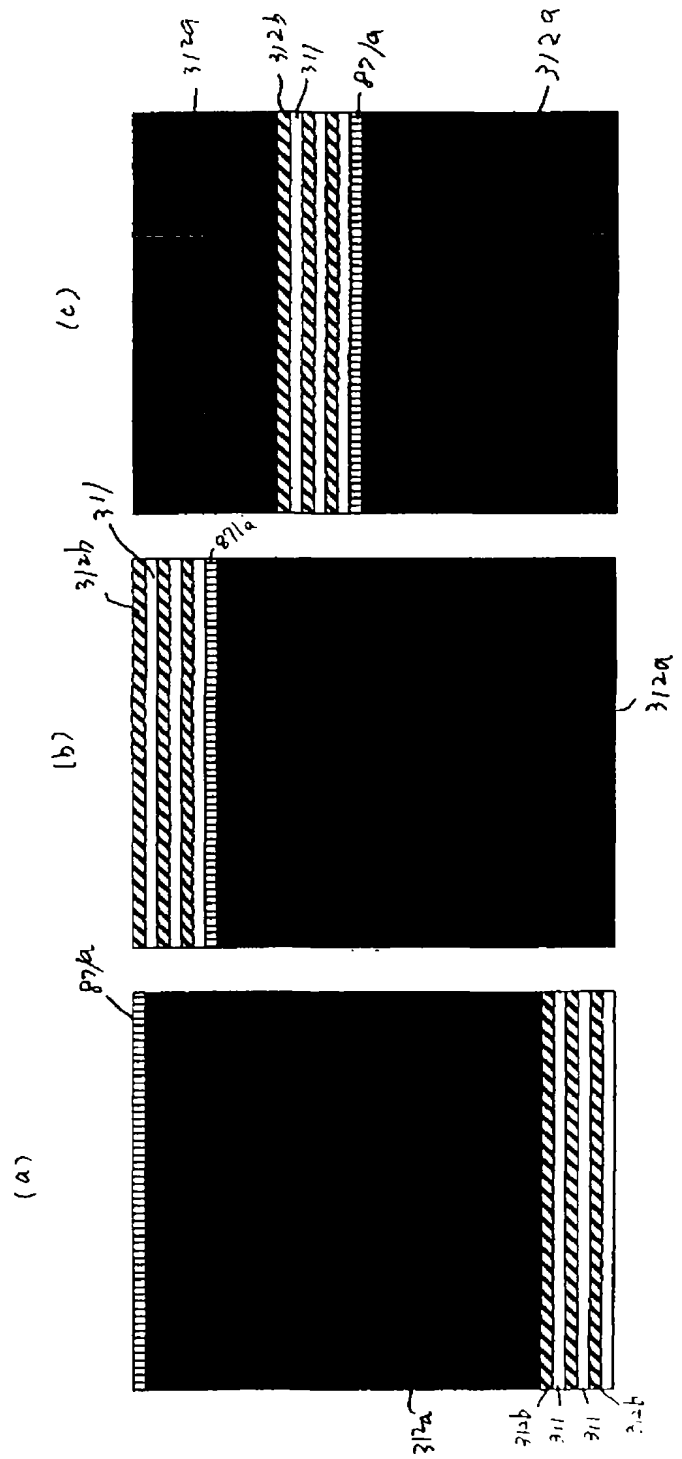
【図 133】



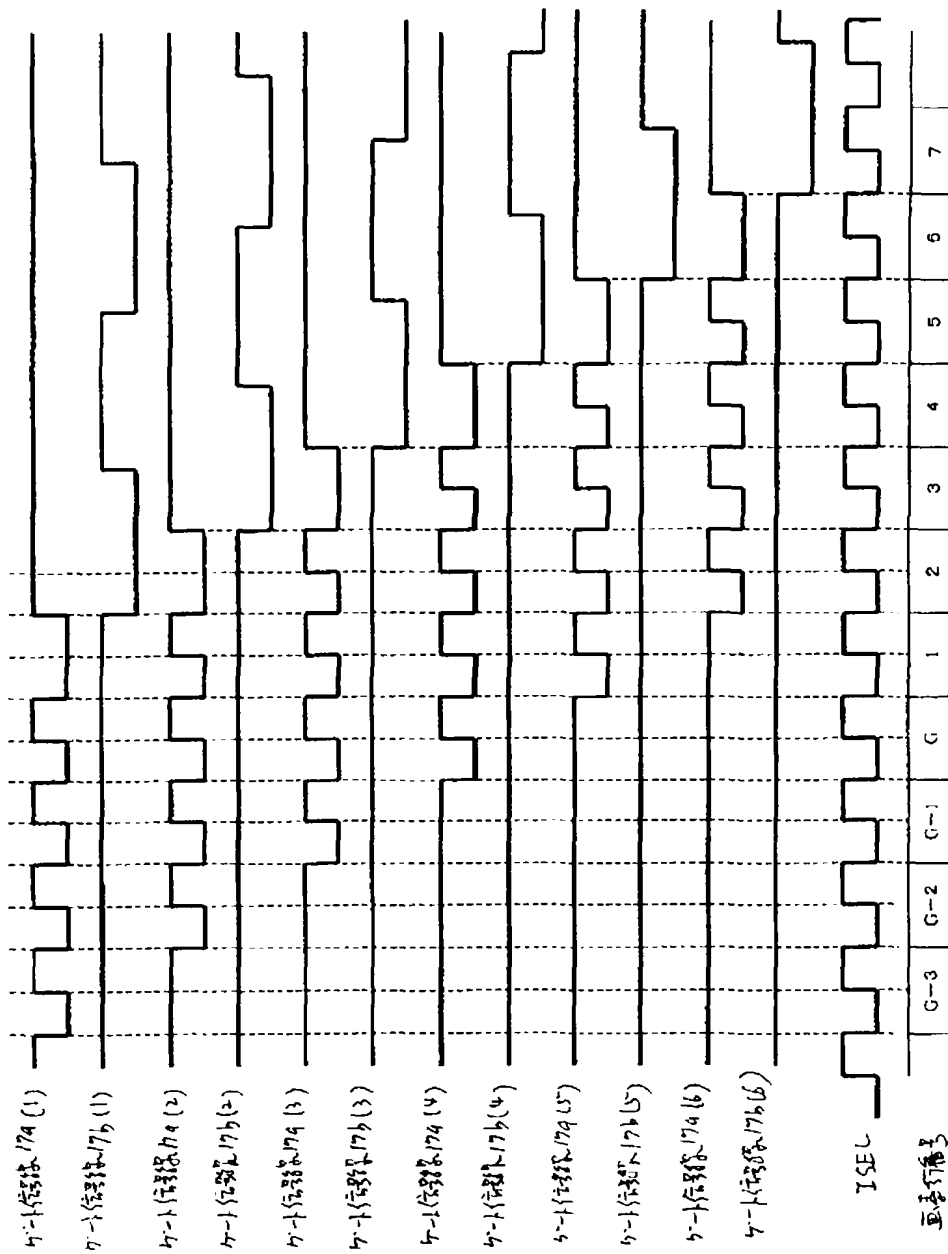
【図 126】



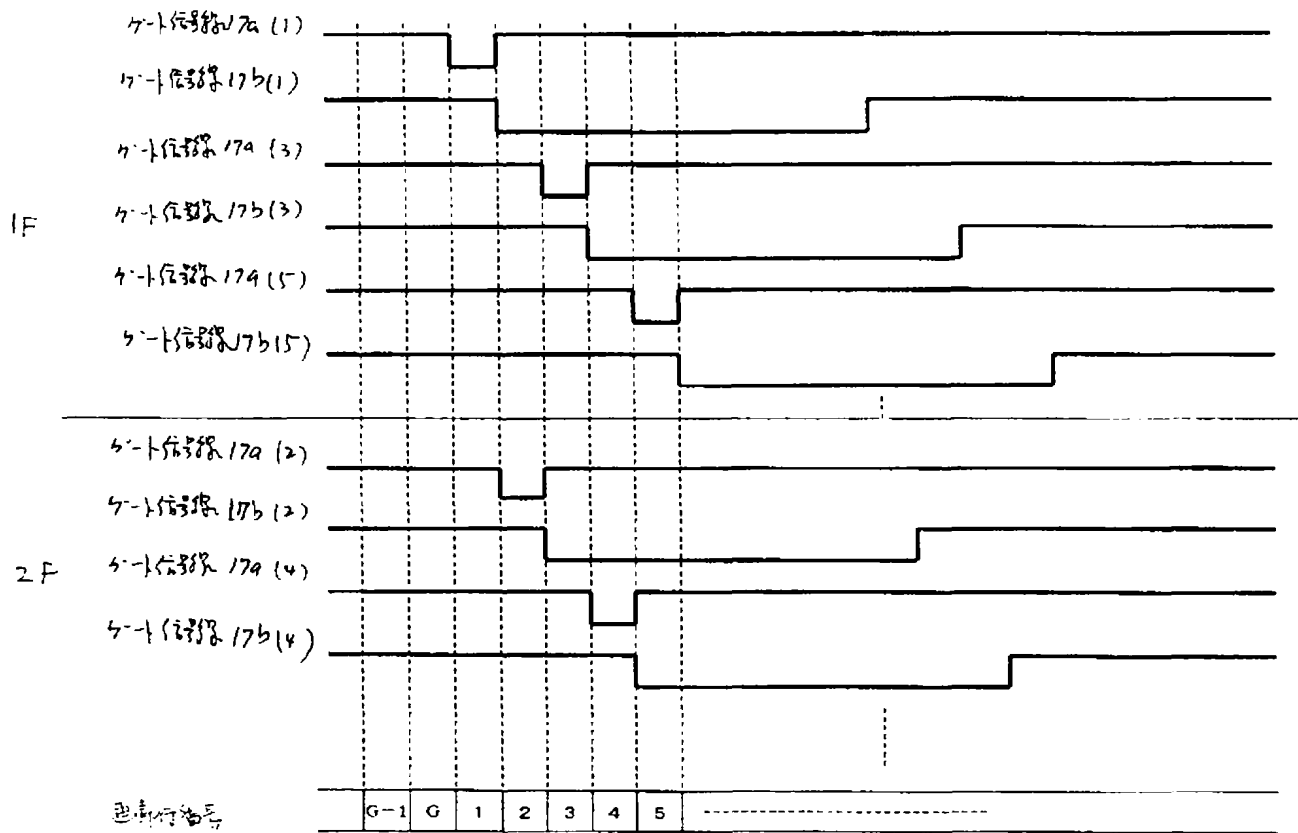
【図 130】



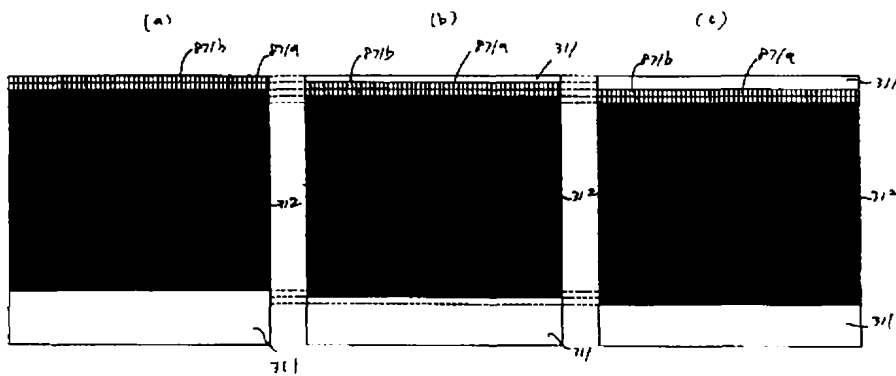
ISEL
圖書訂號



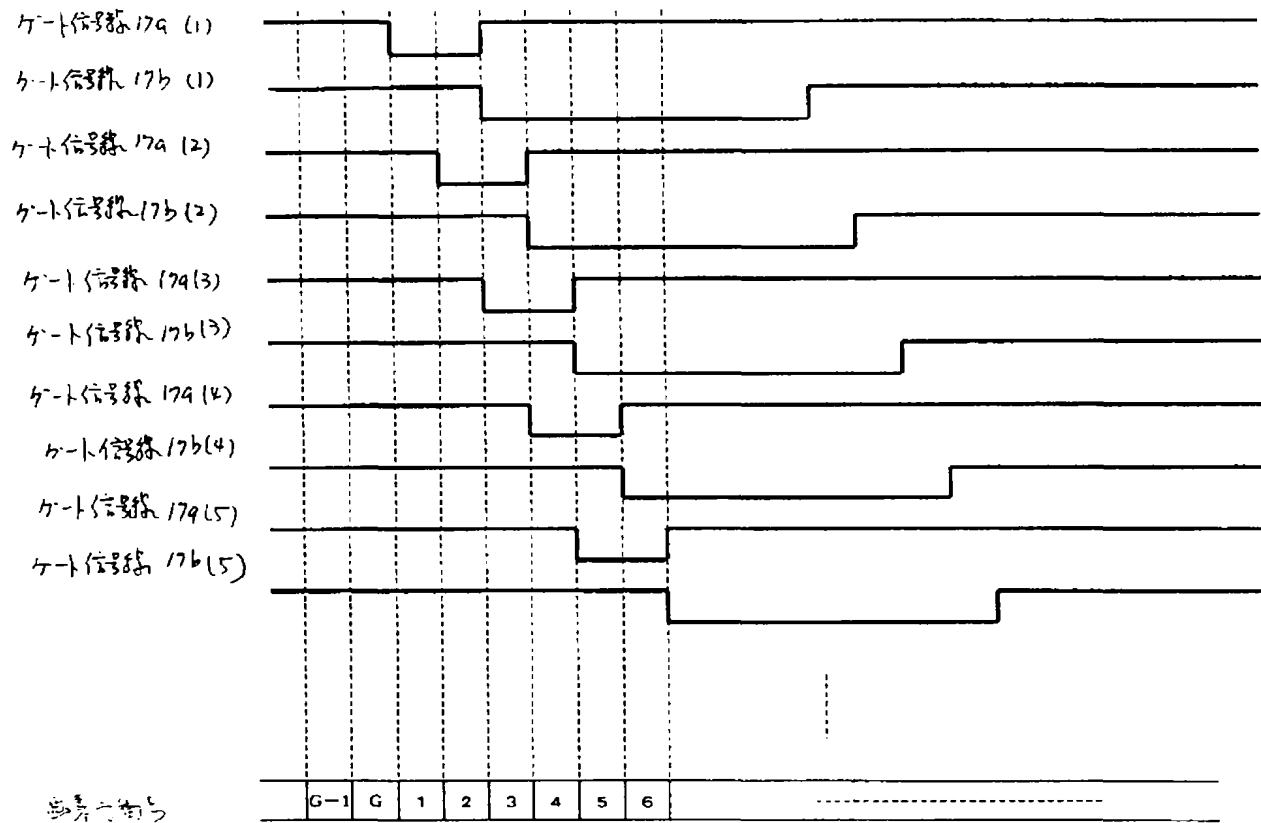
【図 129】



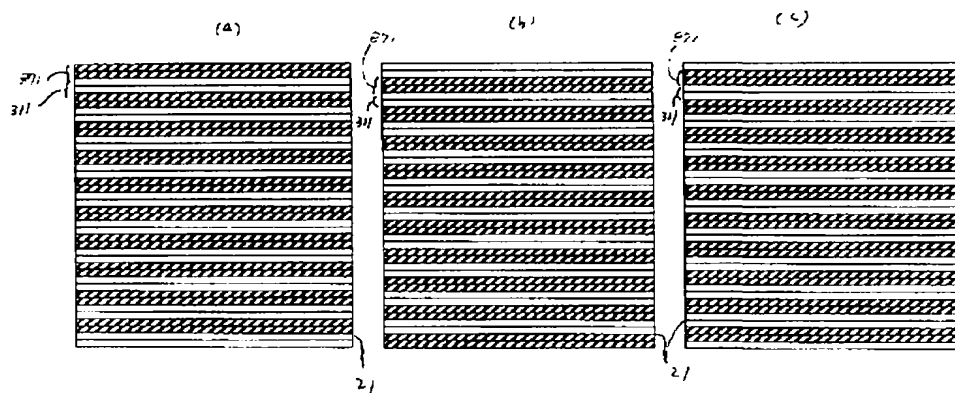
【図 134】



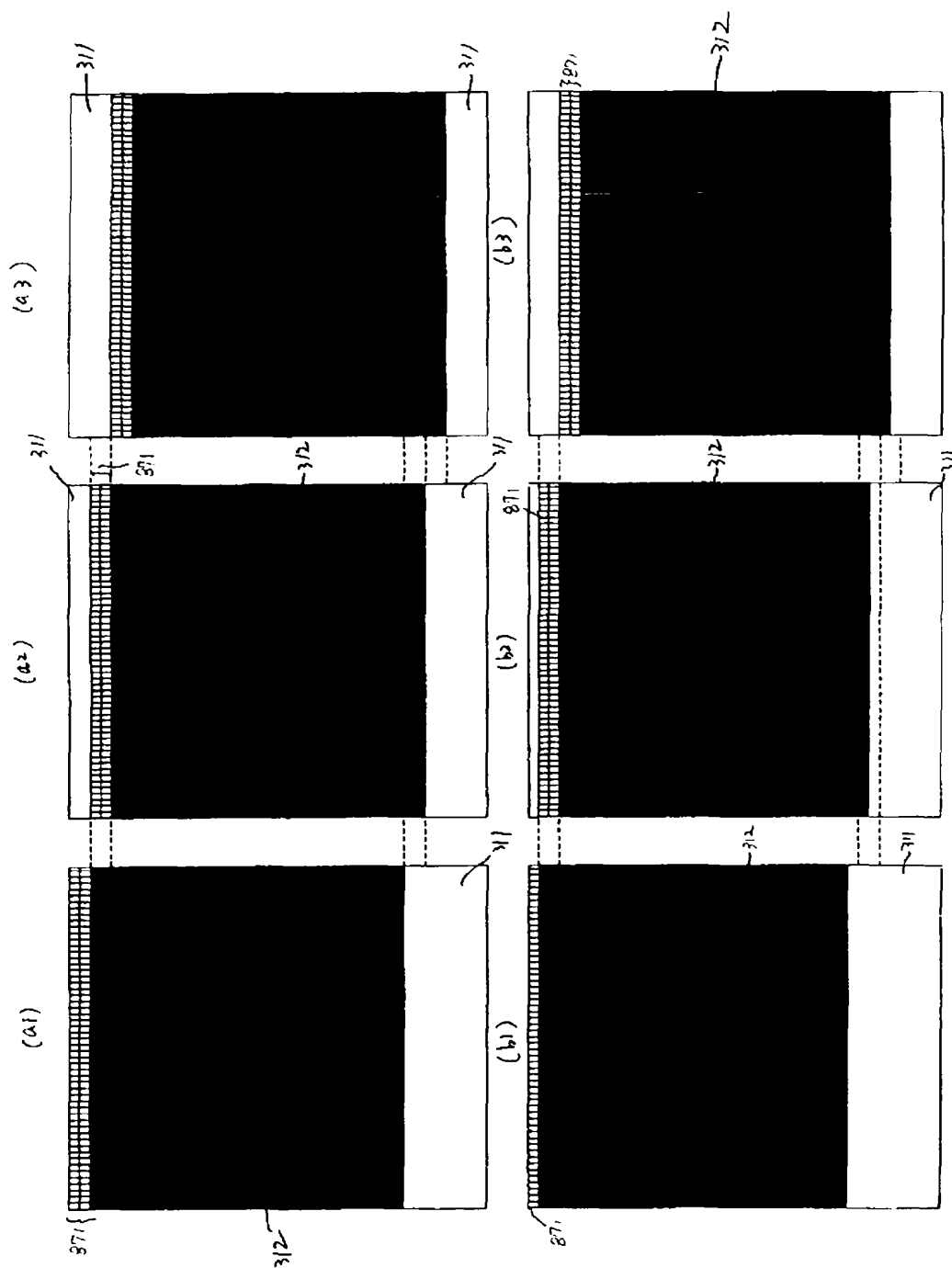
【図 132】



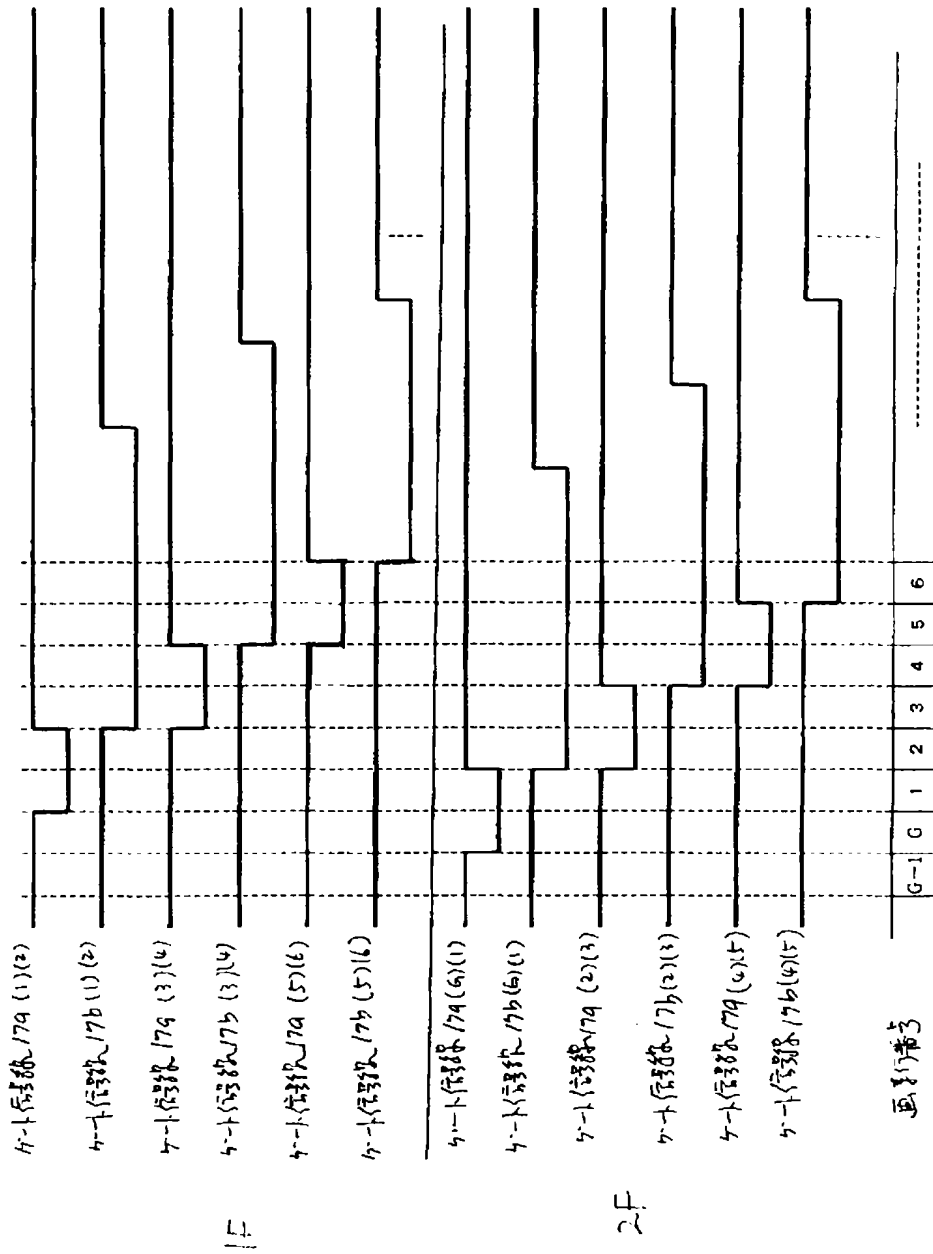
【図 137】



【図 135】



【図 136】



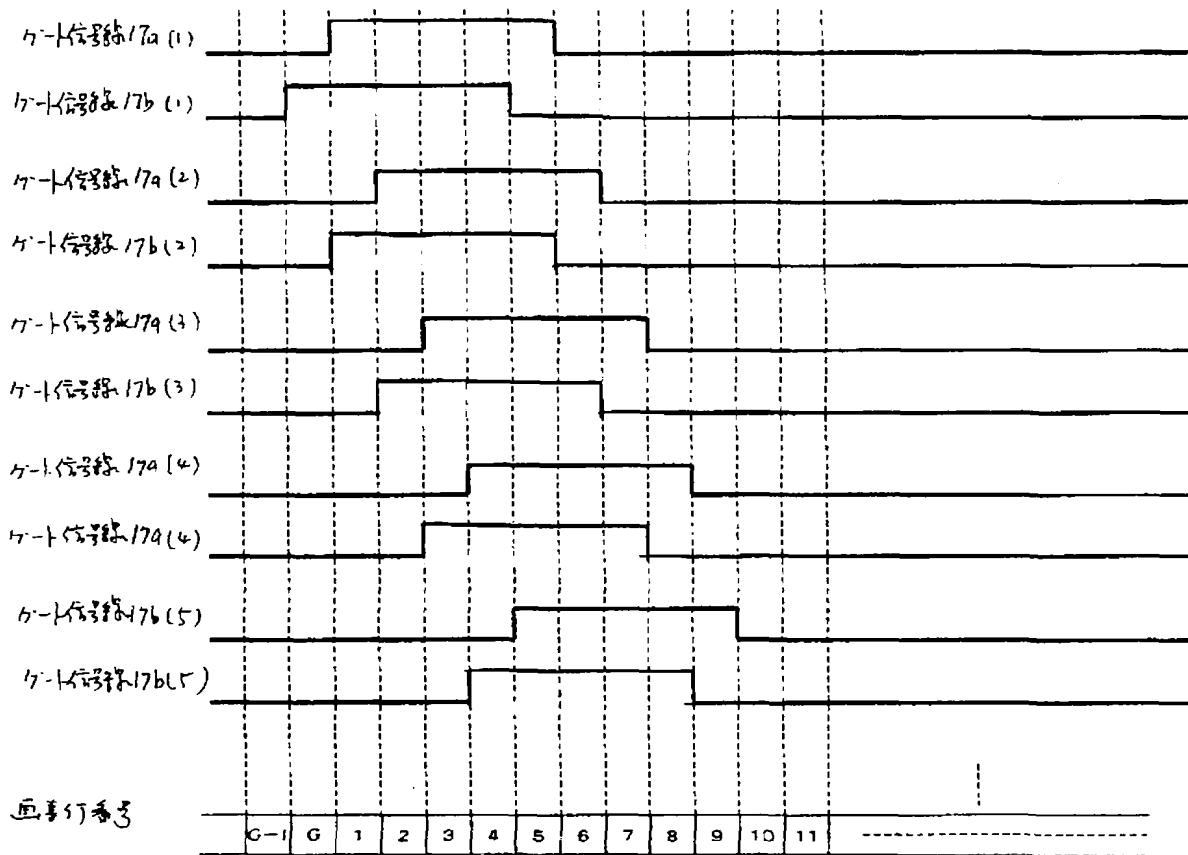
SECRET



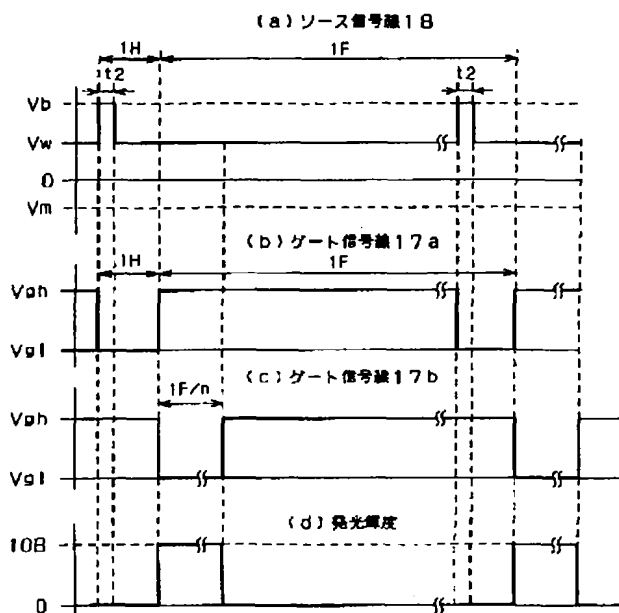
SECRET



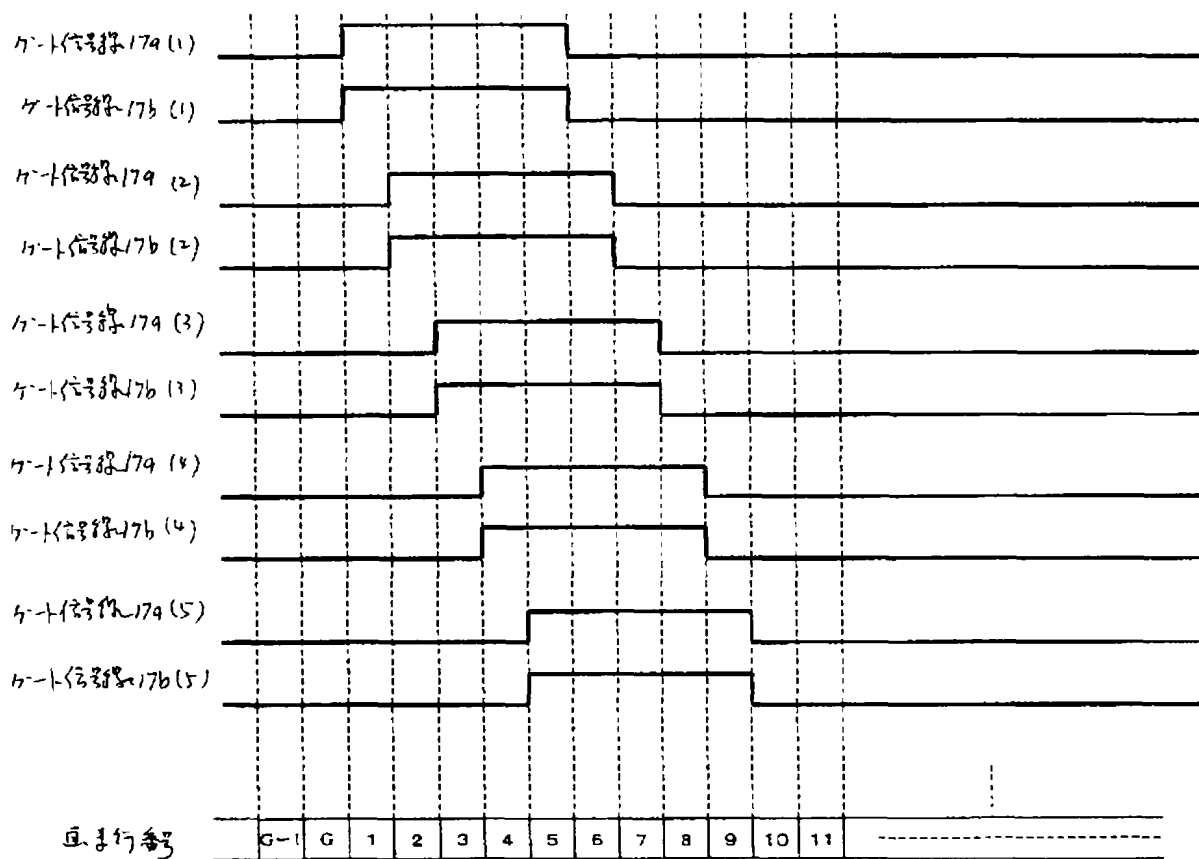
【図 140】



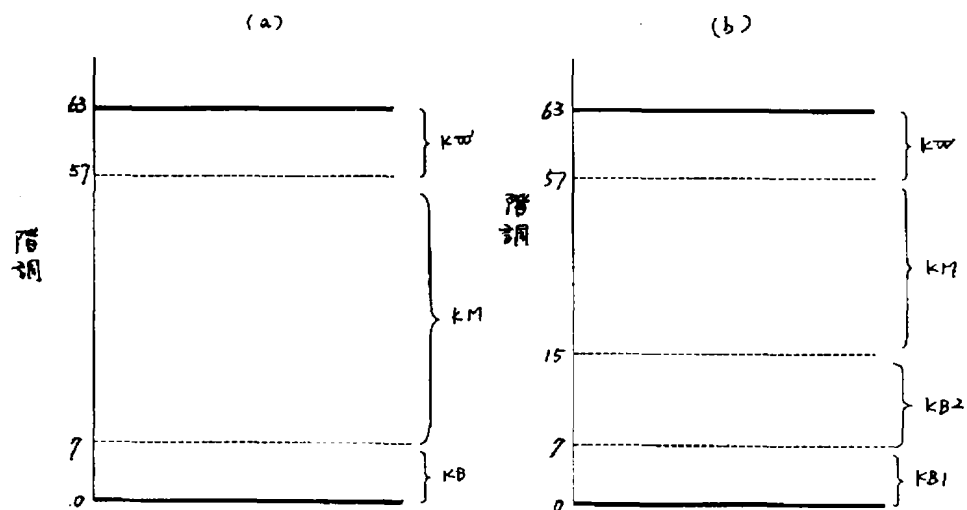
【図 142】



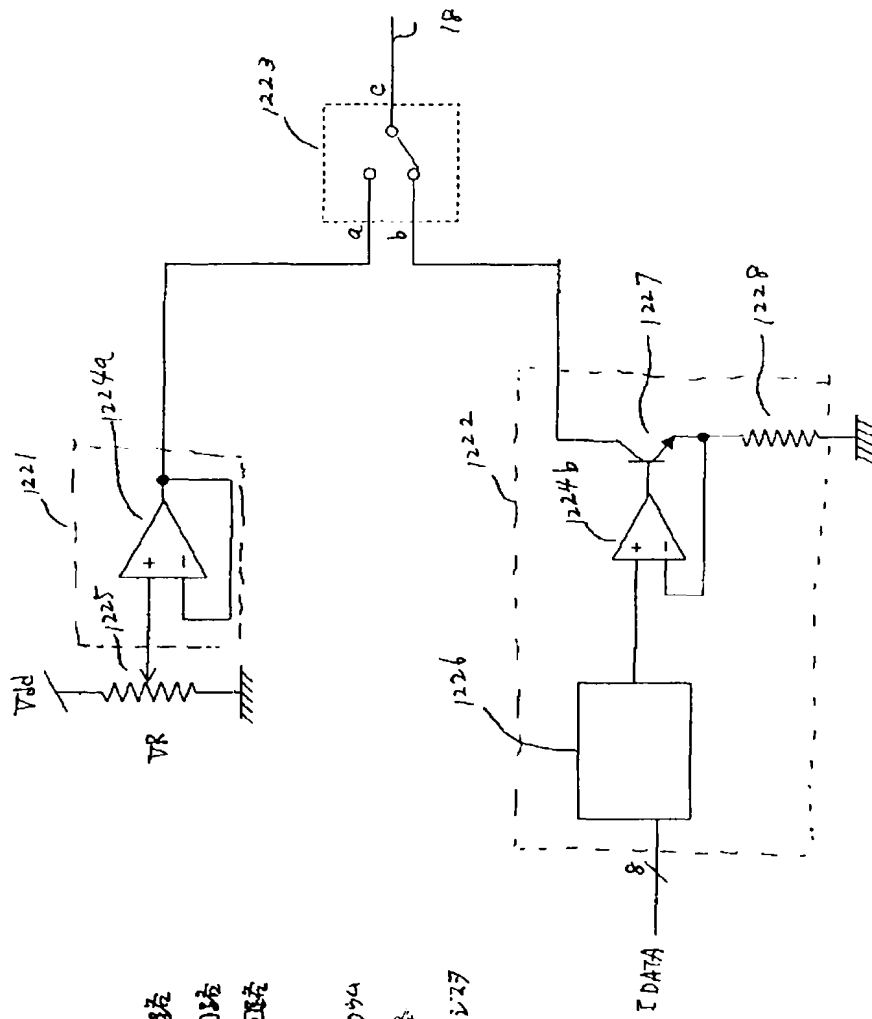
【図141】



【図147】



【図143】



1221 電圧出力回路

1222 電流出力回路

1223 スイッチ回路

1224 オペレーティング

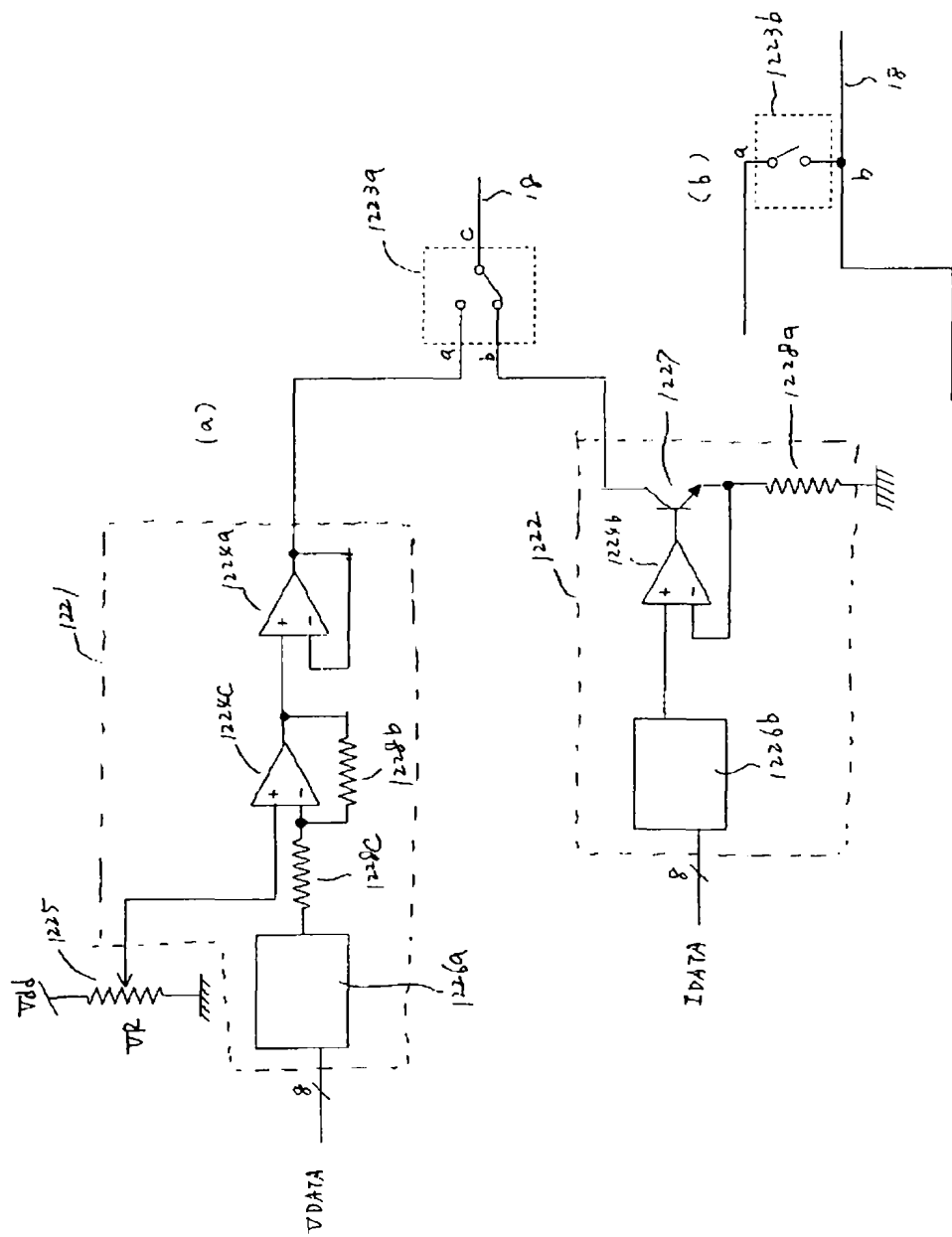
1225 調整ホールド

1226 DA回路

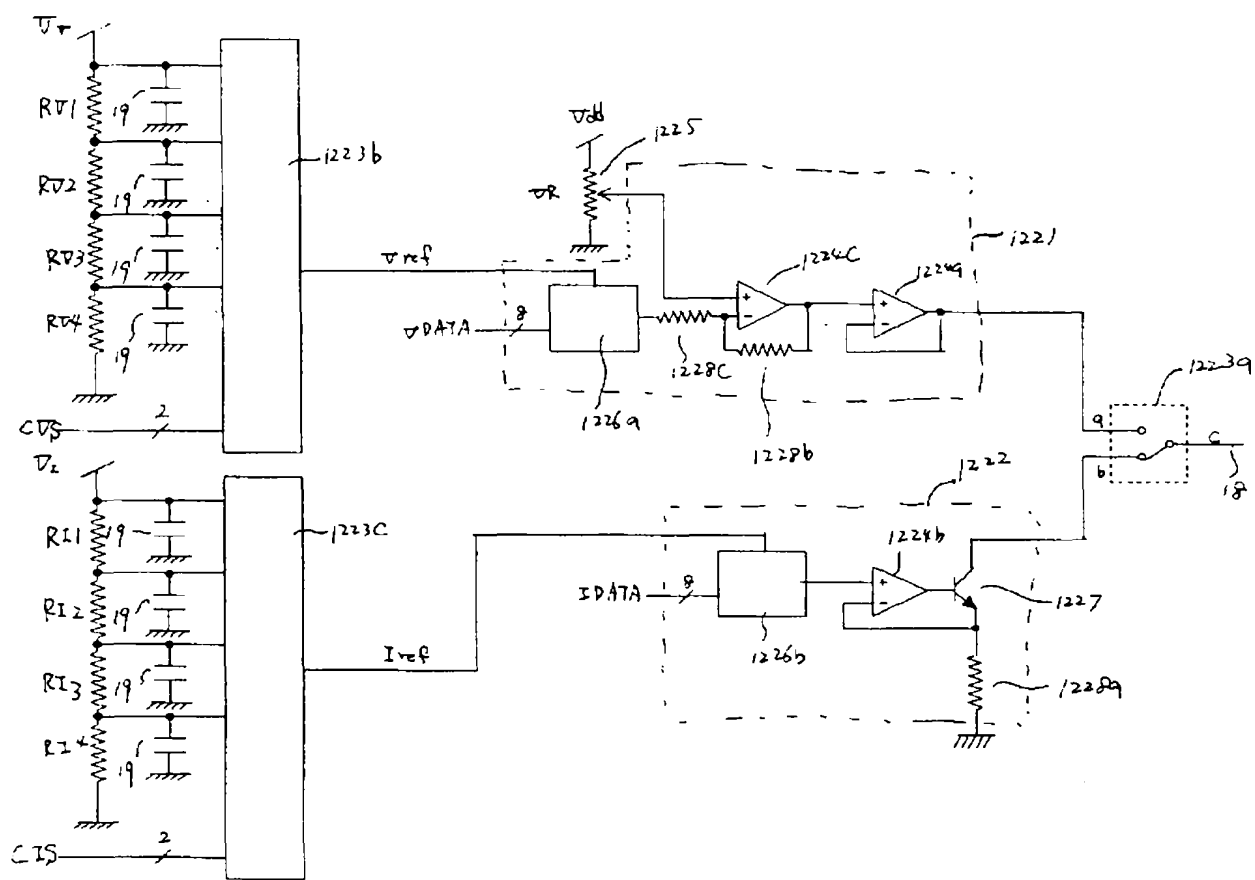
1227 出力インジケータ

1228 抵抗

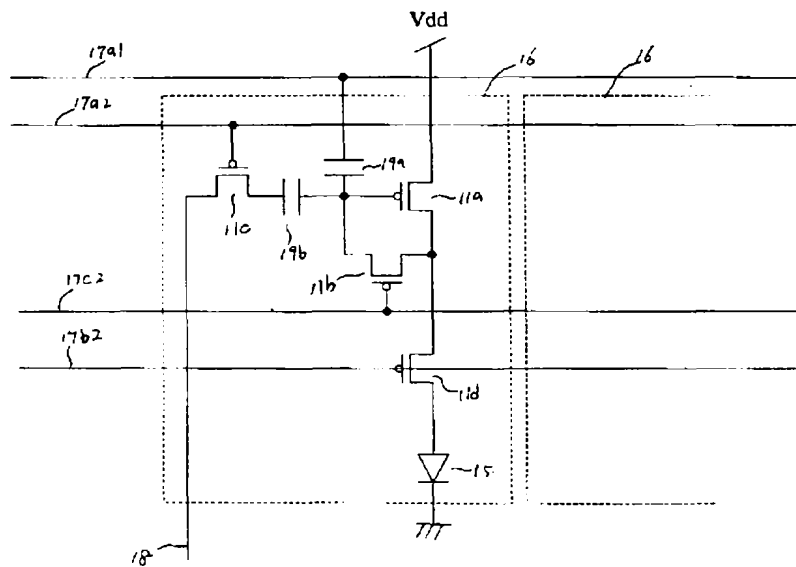
【図144】



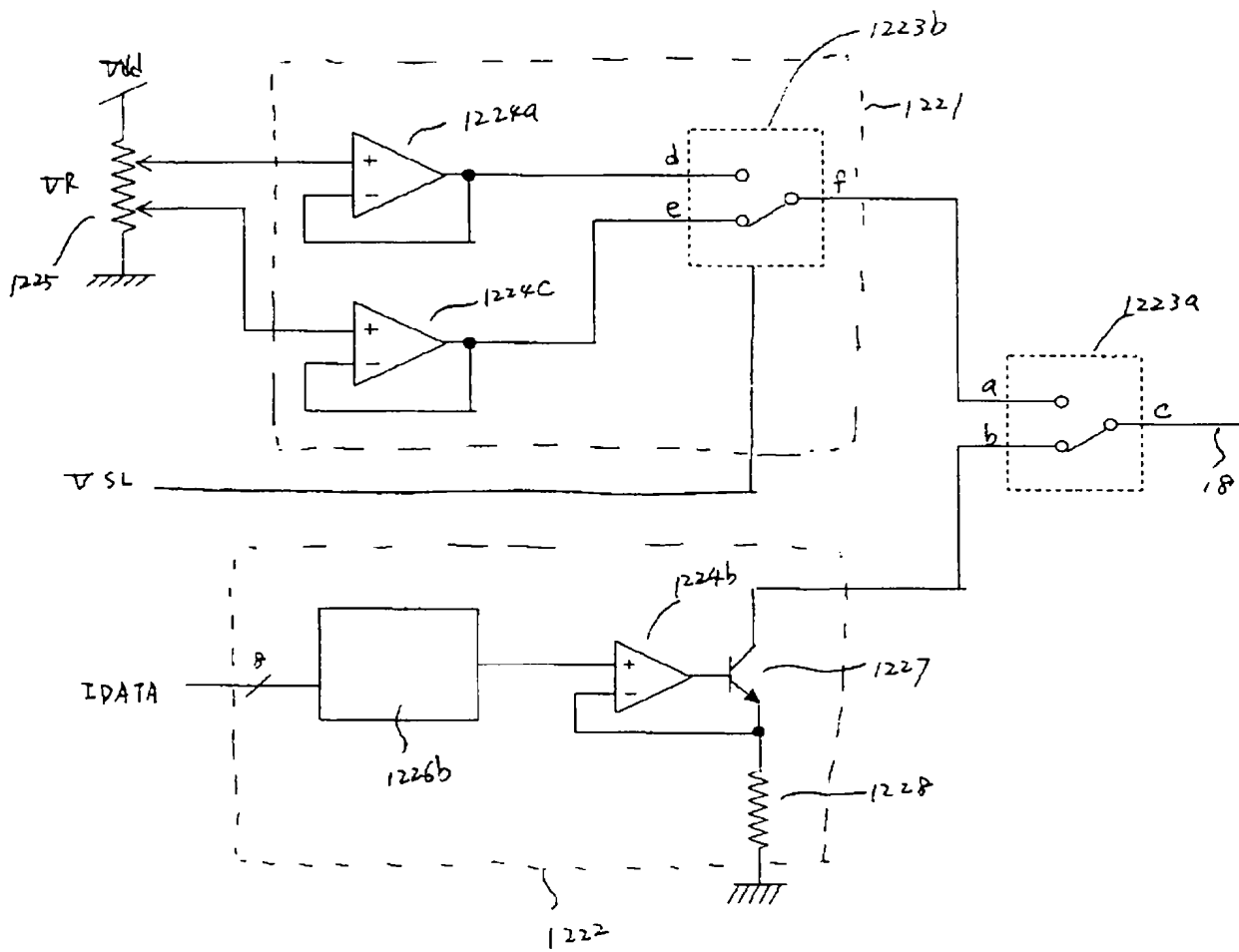
【図 145】



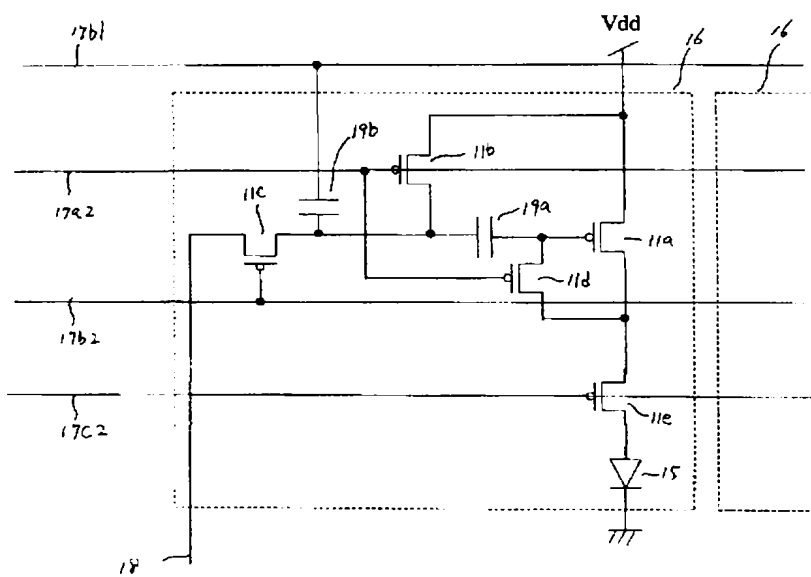
【図 155】



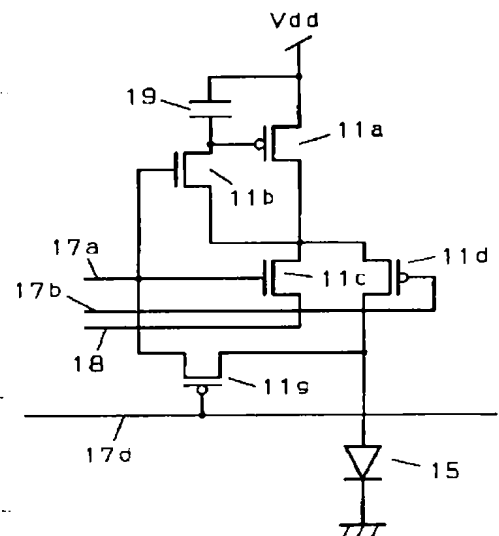
【図146】



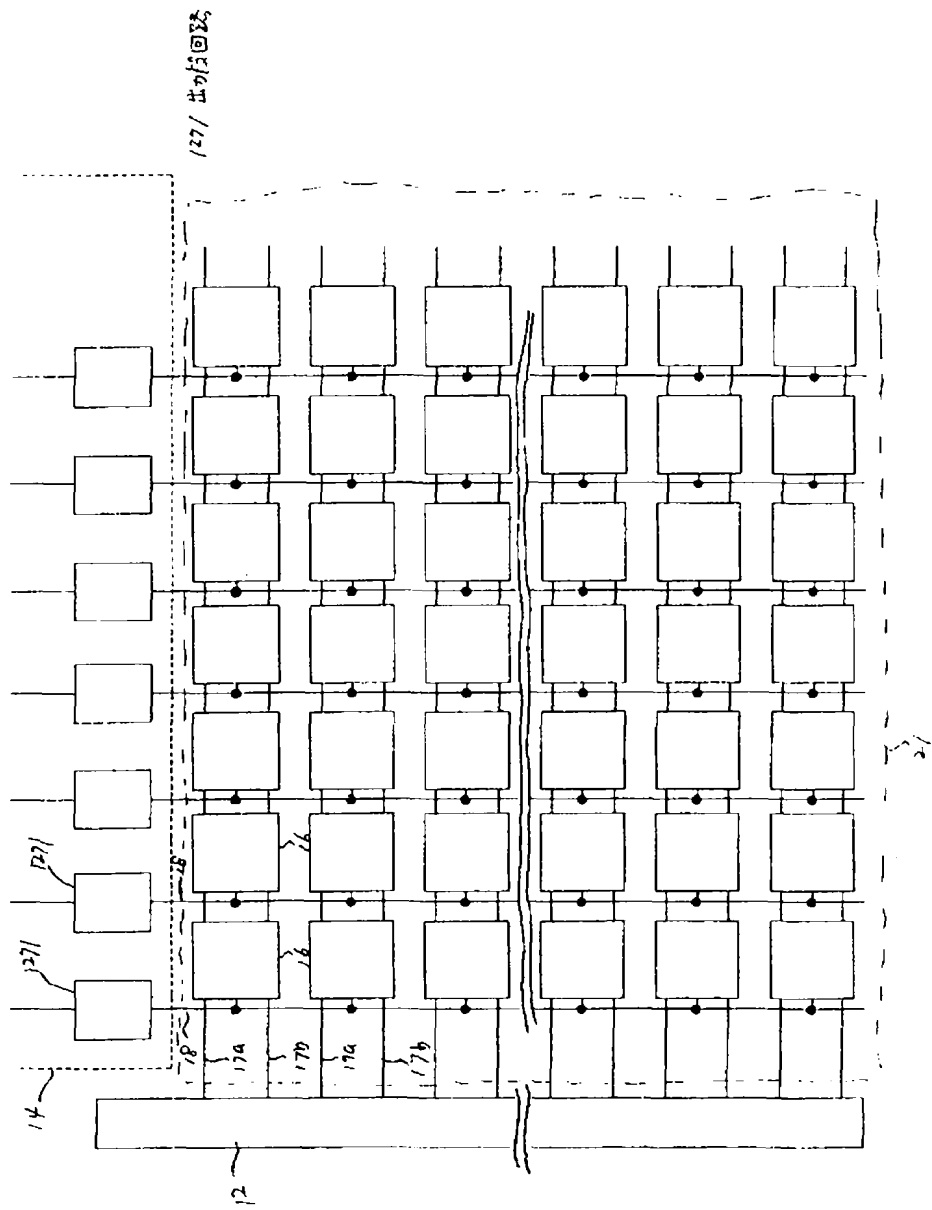
【図156】



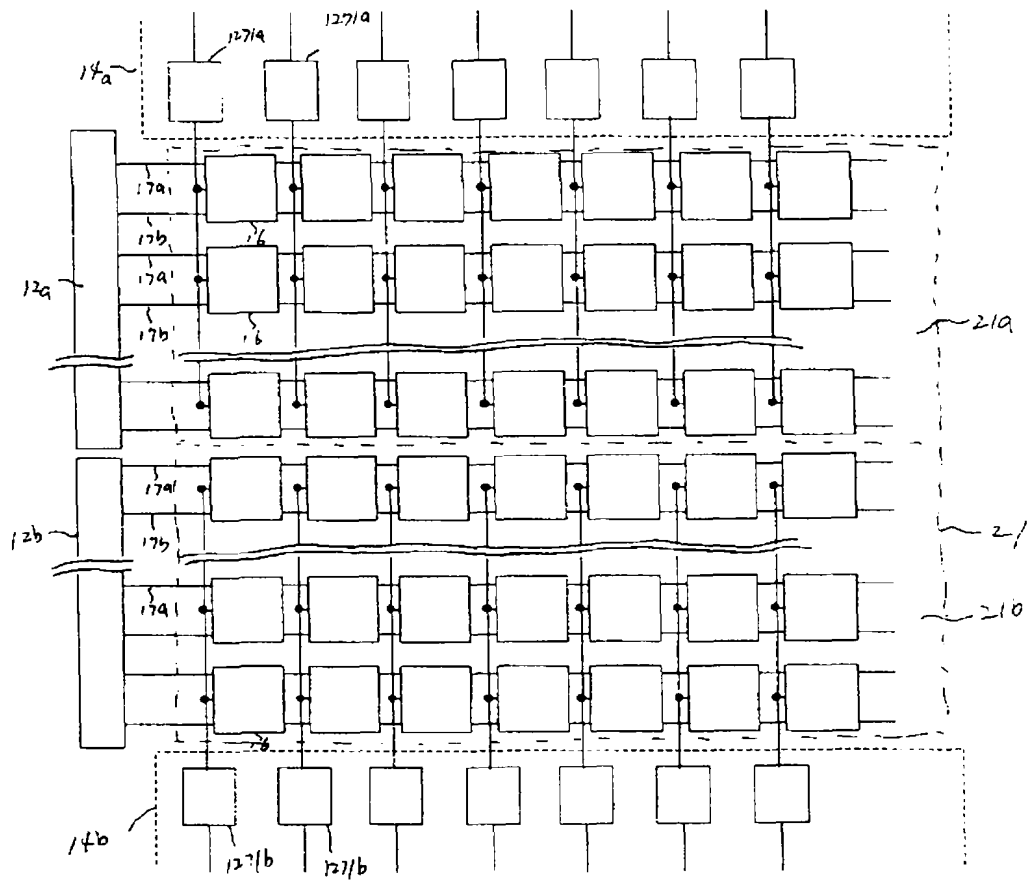
【図174】



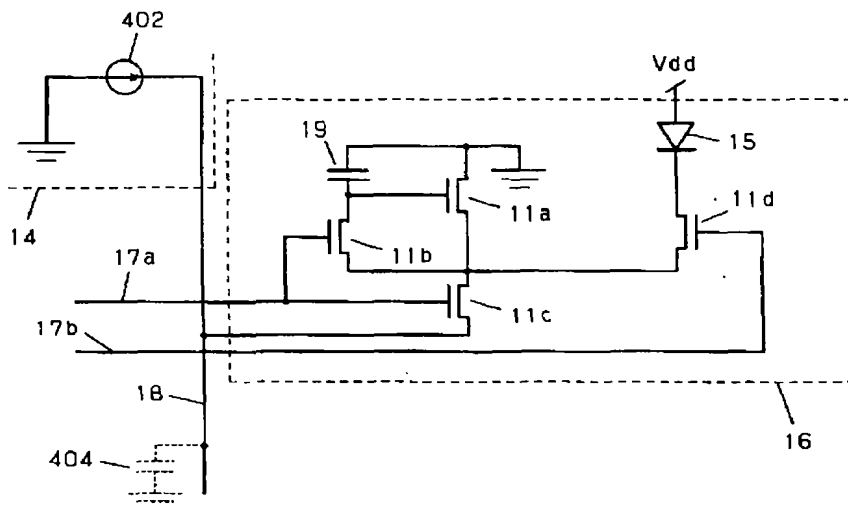
【図 148】



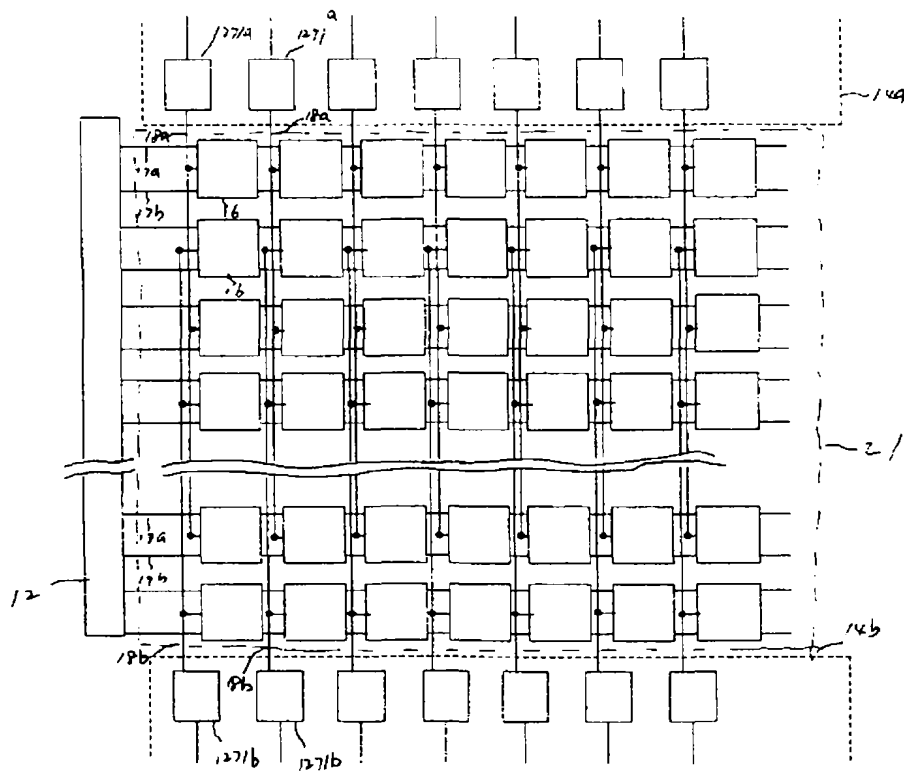
【図 149】



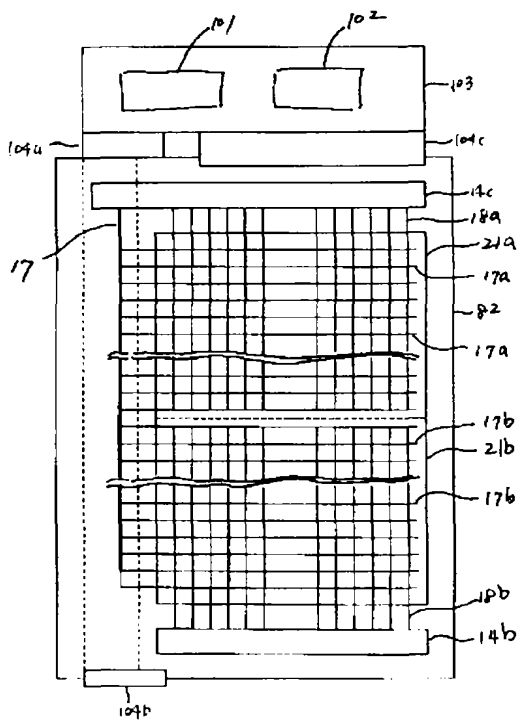
【図 157】



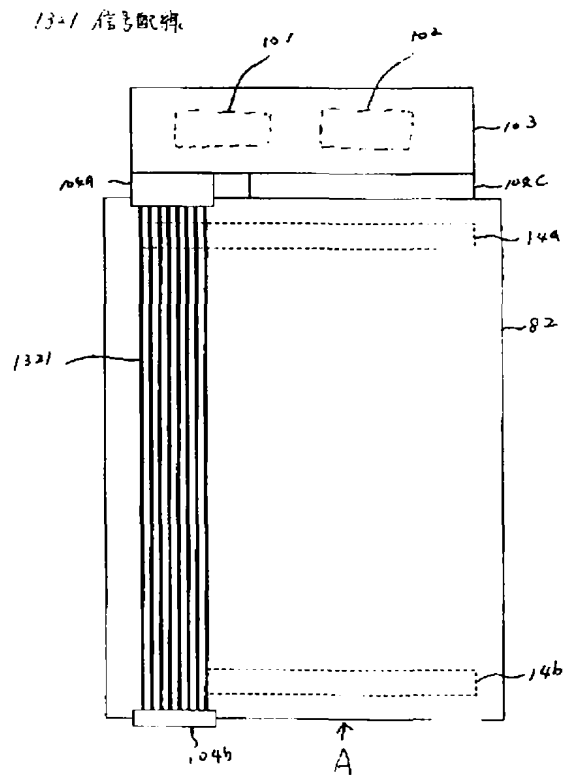
【図 150】



【図 152】



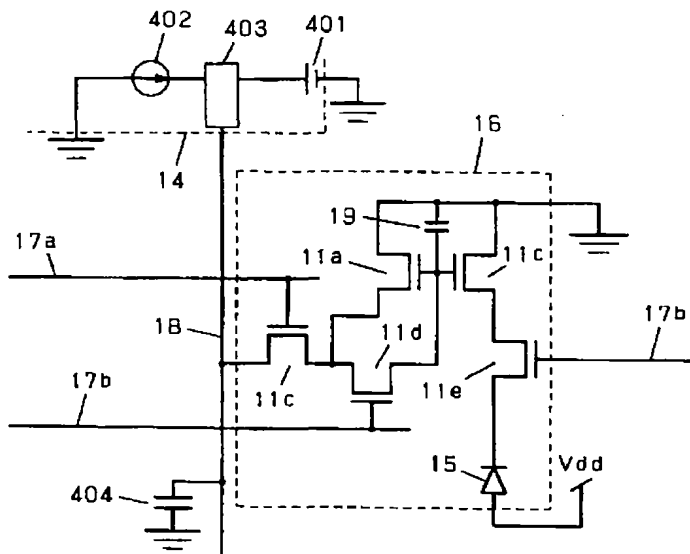
【図 153】



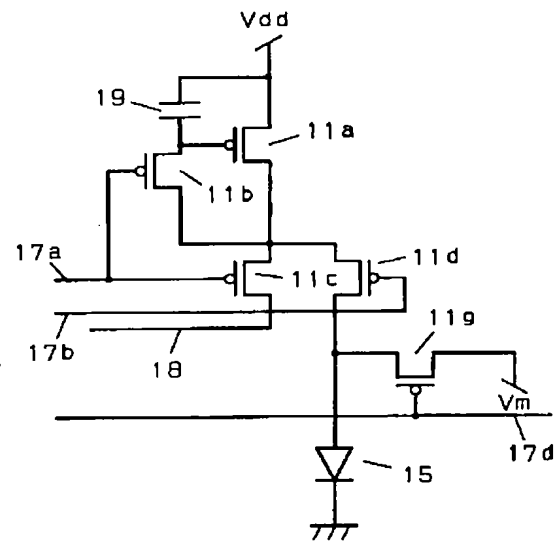
00-247-46700



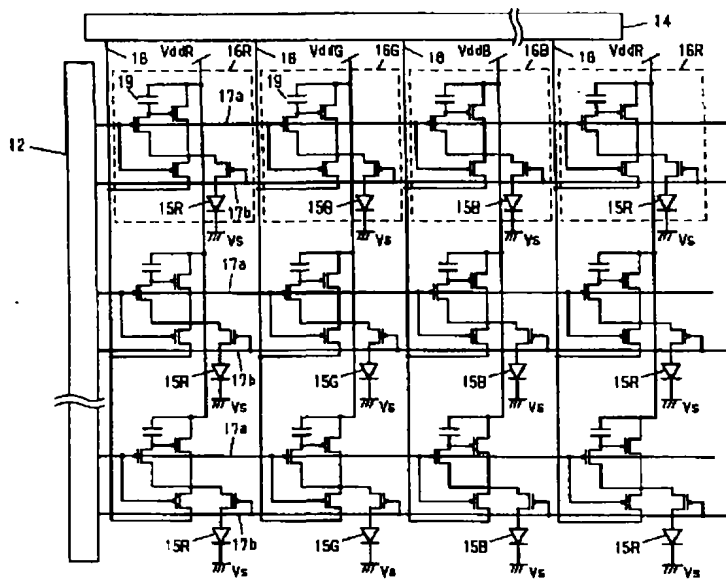
【図159】



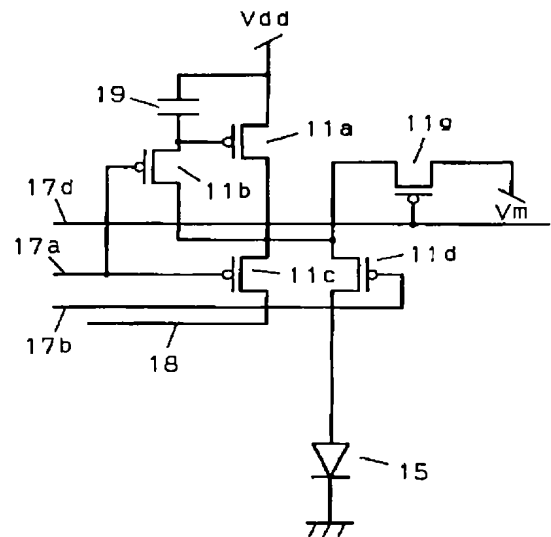
【図169】



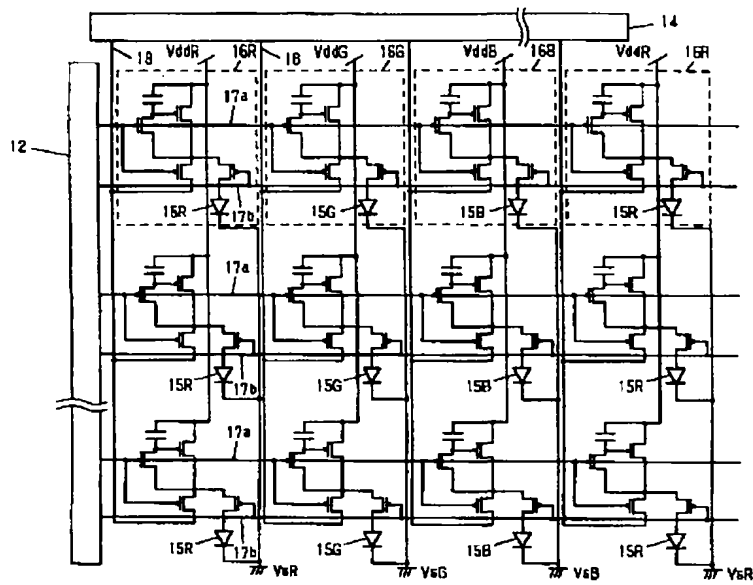
【図160】



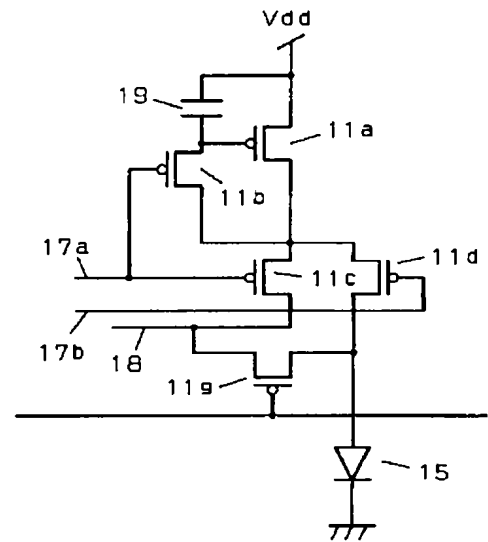
【図173】



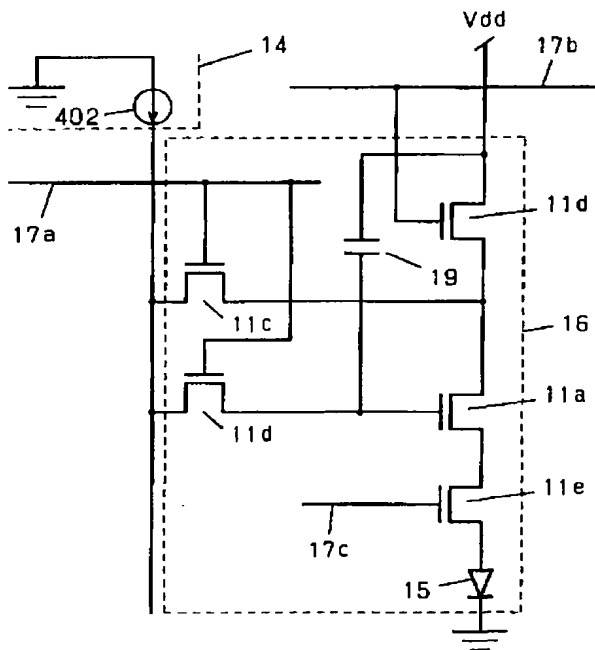
【図161】



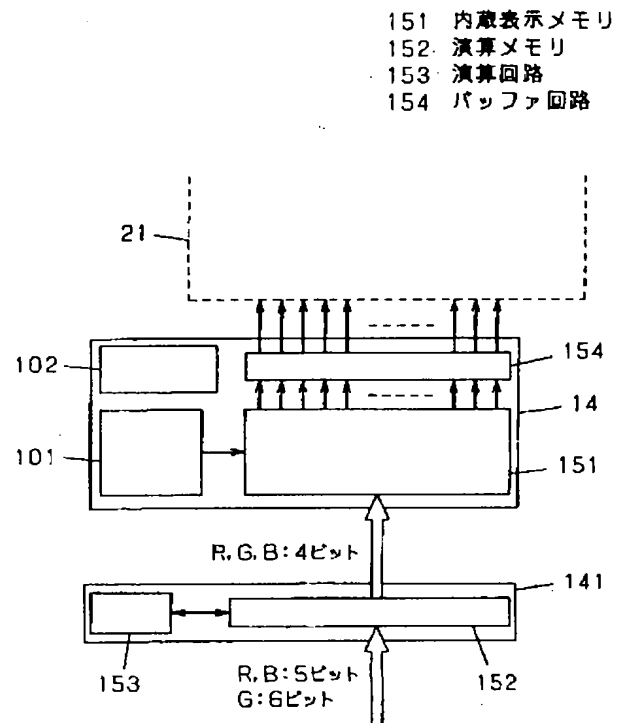
【図175】



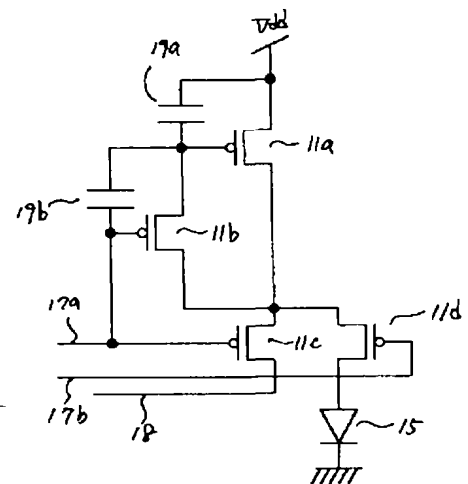
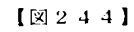
【図162】



【図164】



【☒ 1 6 5 】



ゲート信号線17a

ゲート信号線17b

(a)

(b)

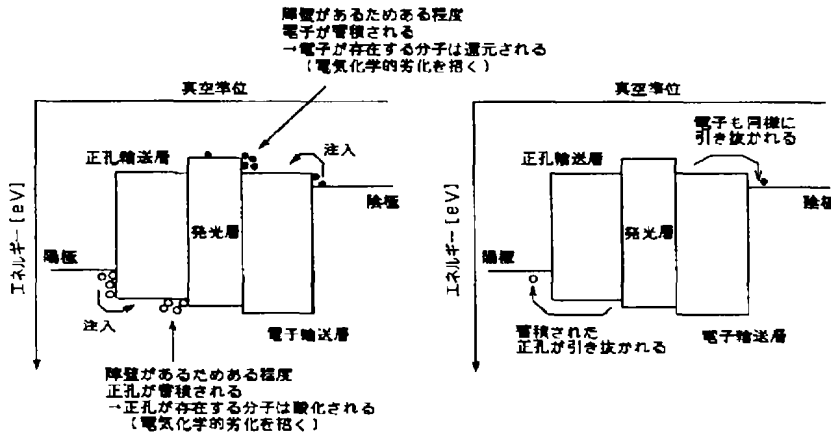
逆バイアス（電流）電圧印加期間

発光期間

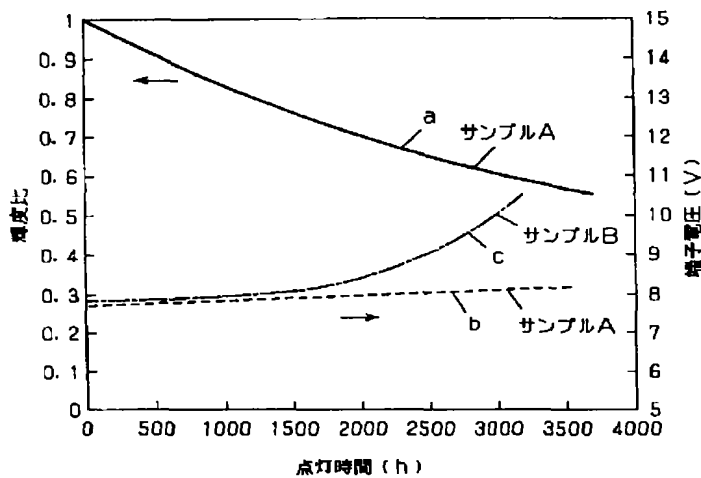
【図166】

(a) 発光時のキャリアの挙動

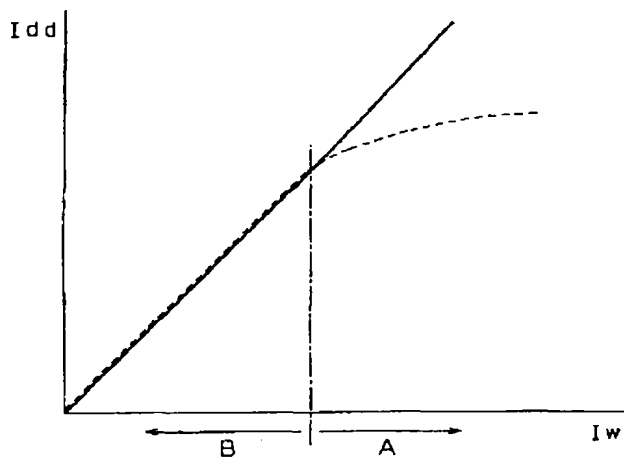
(b) 逆電流印加時



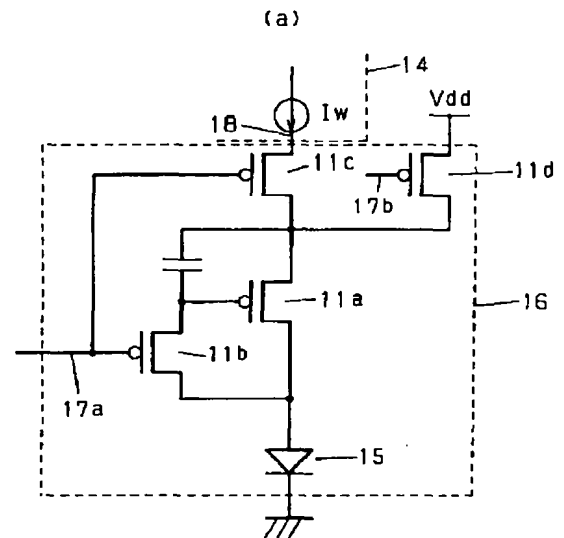
【図167】



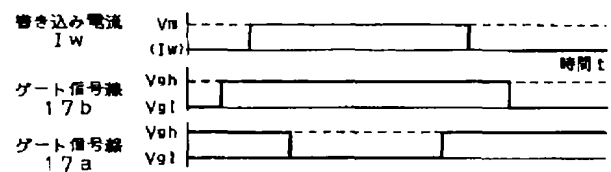
【図186】



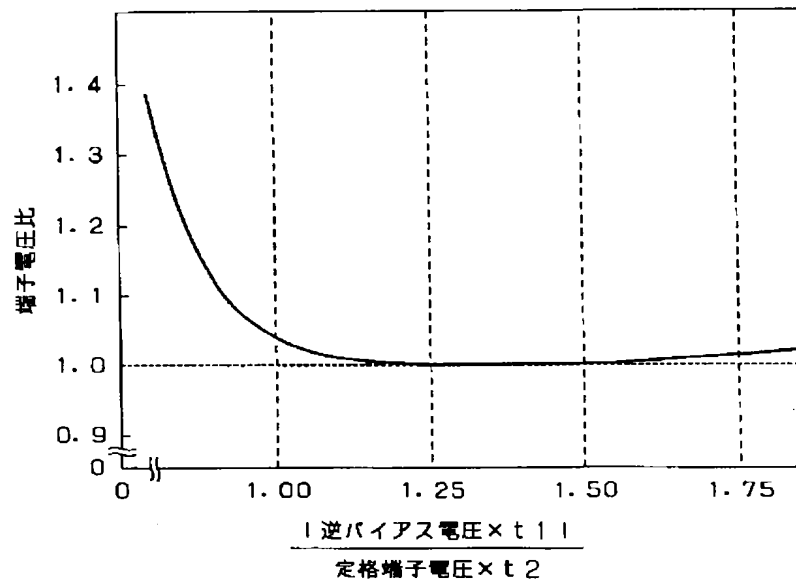
【図184】



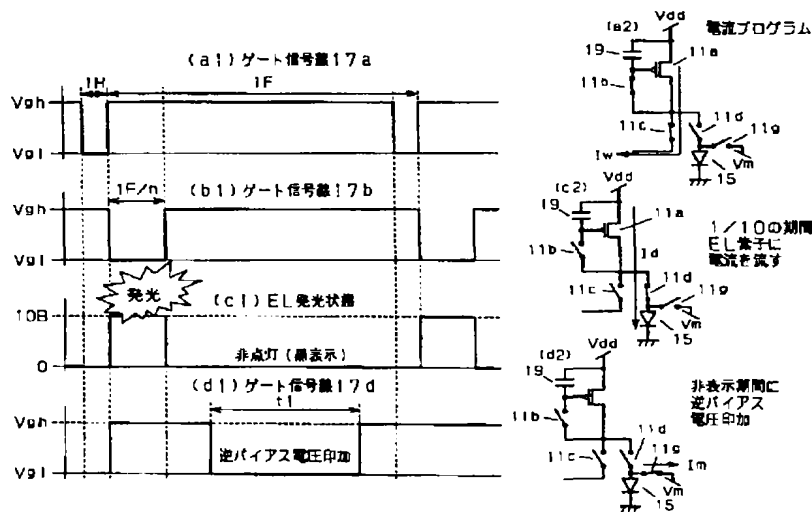
(b)



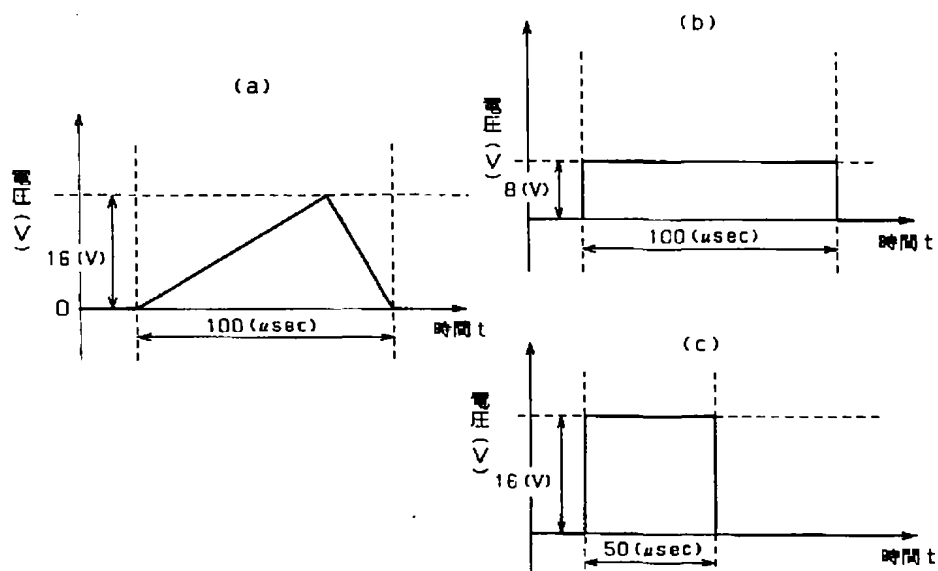
【図168】



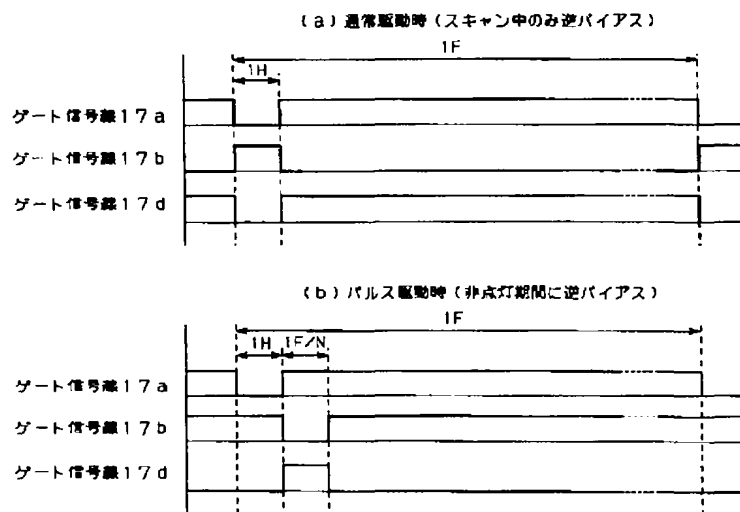
【図170】



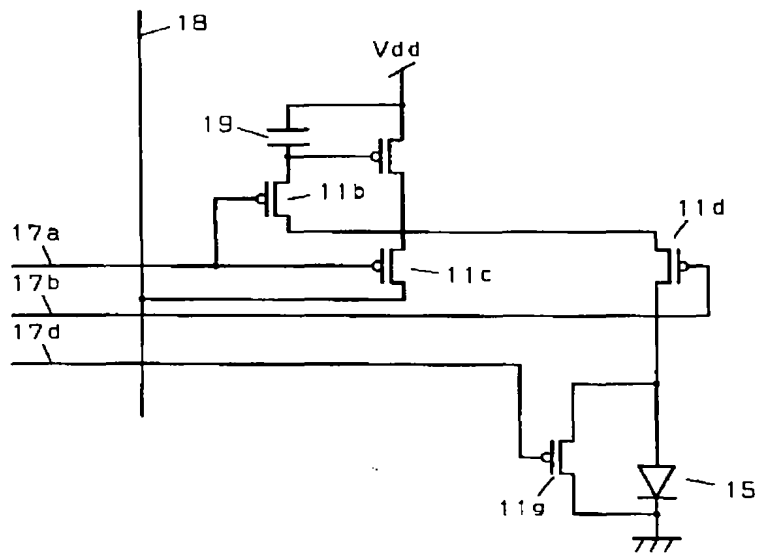
【図 171】



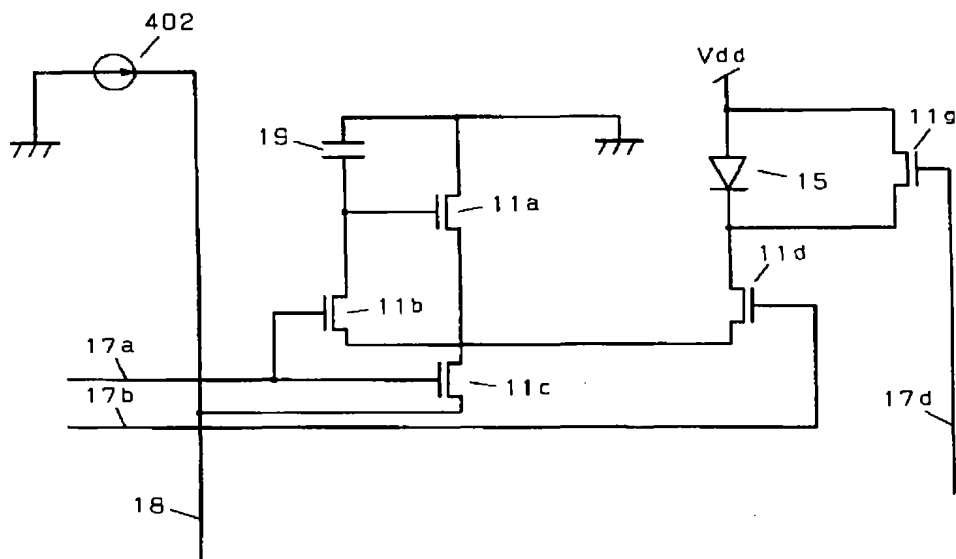
【図 172】



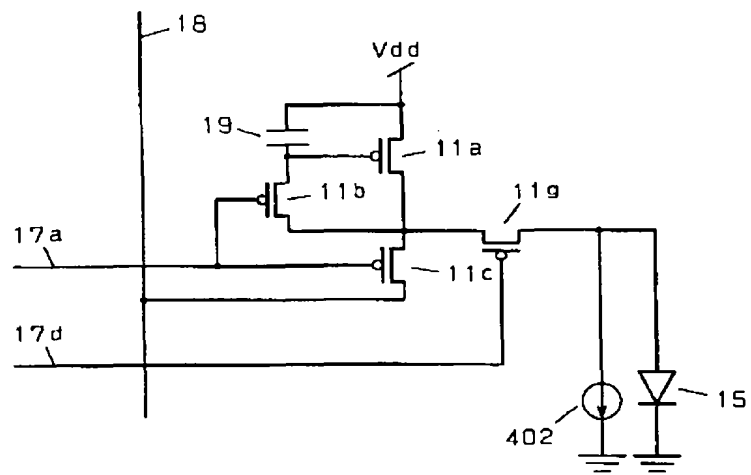
【図 176】



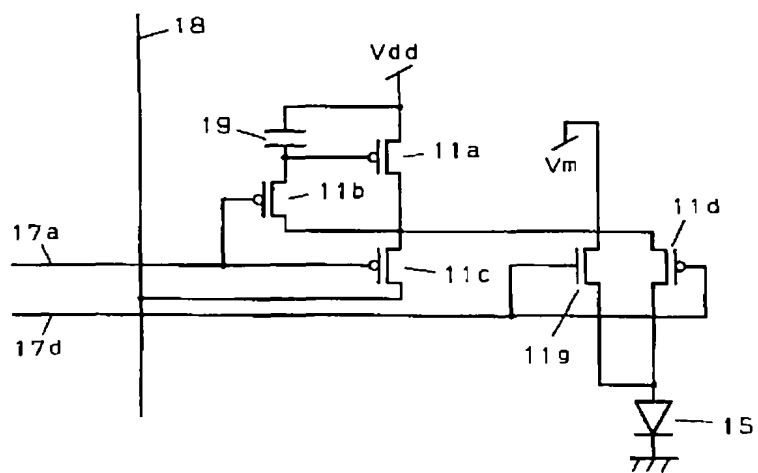
【図 177】



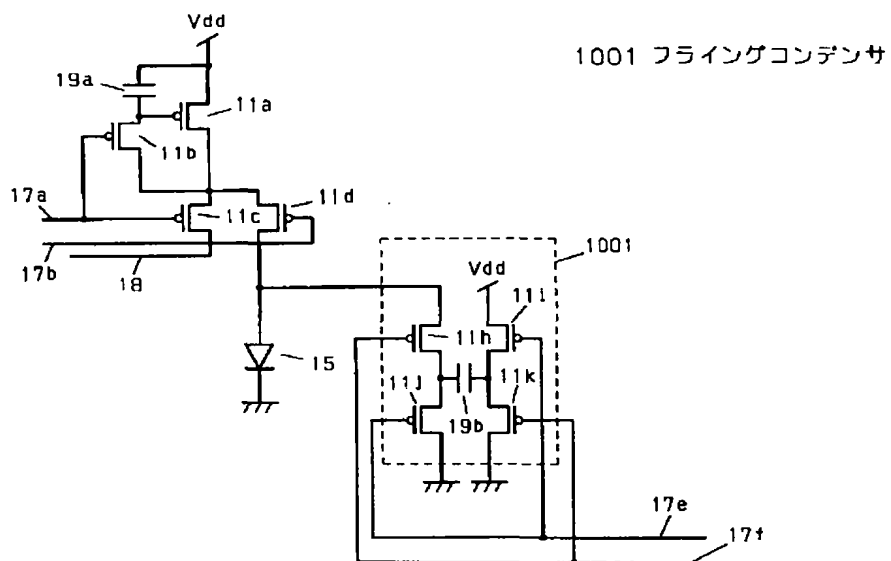
【図 178】



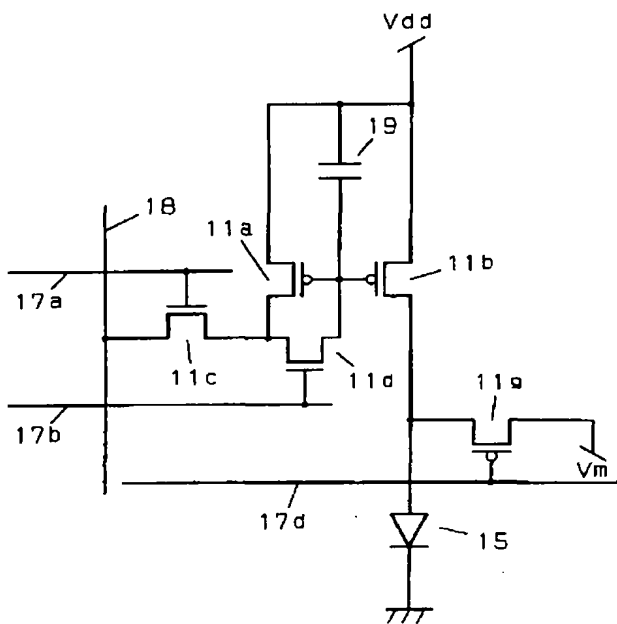
【図 180】



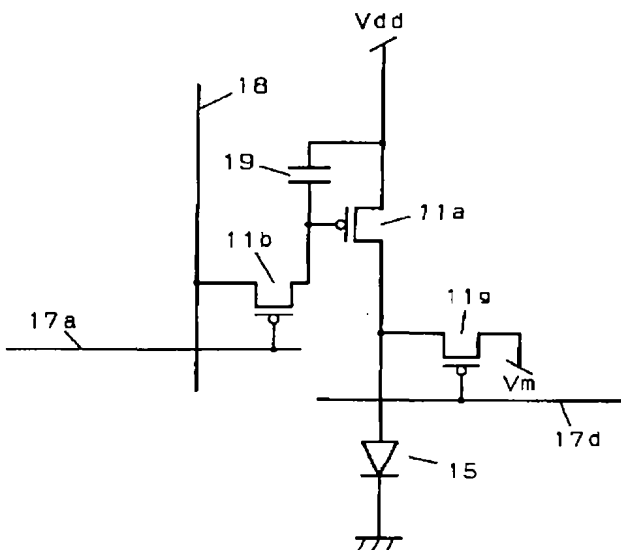
【図 181】



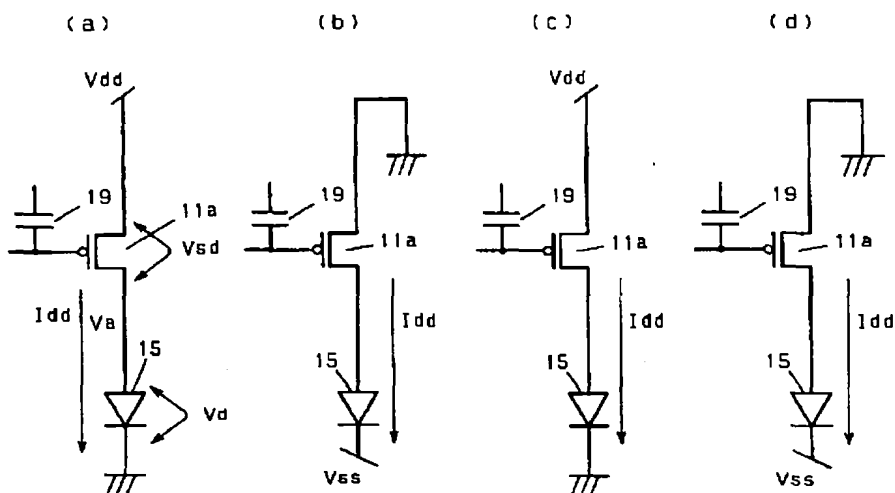
【図 182】



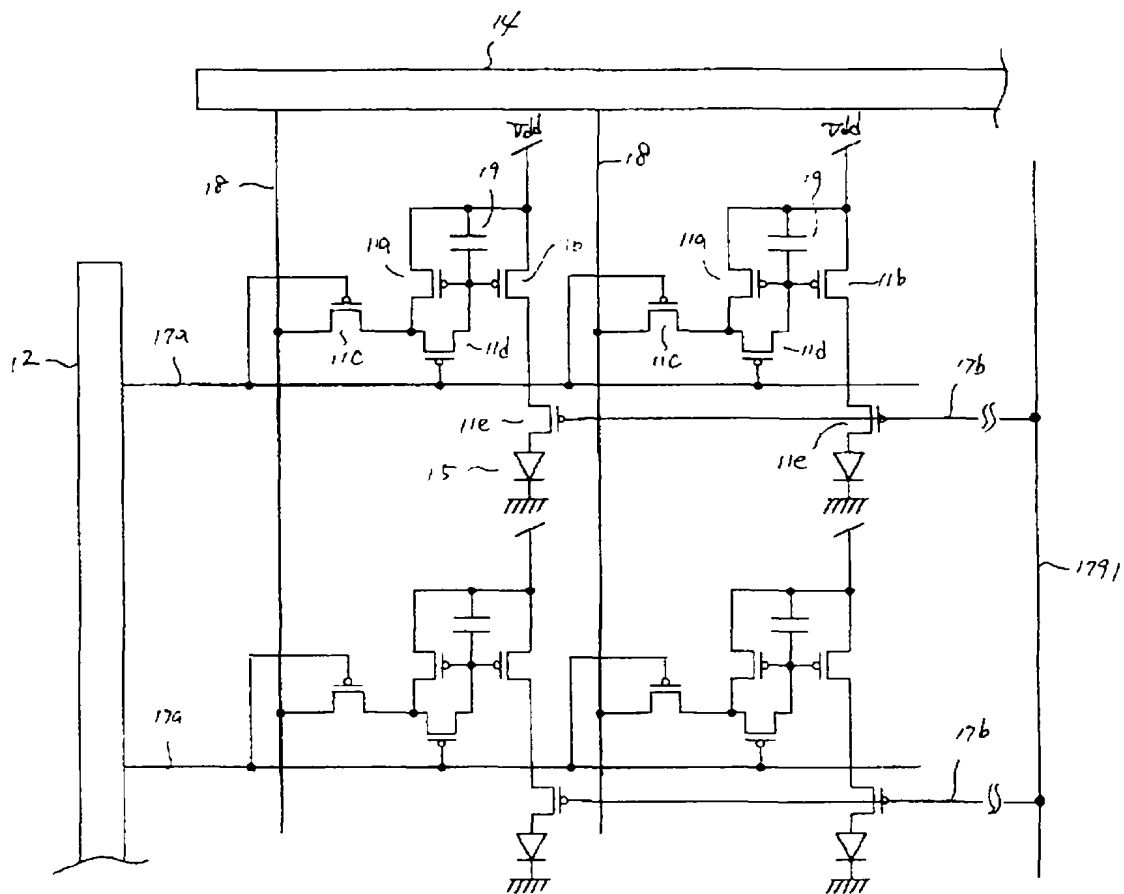
【図 183】



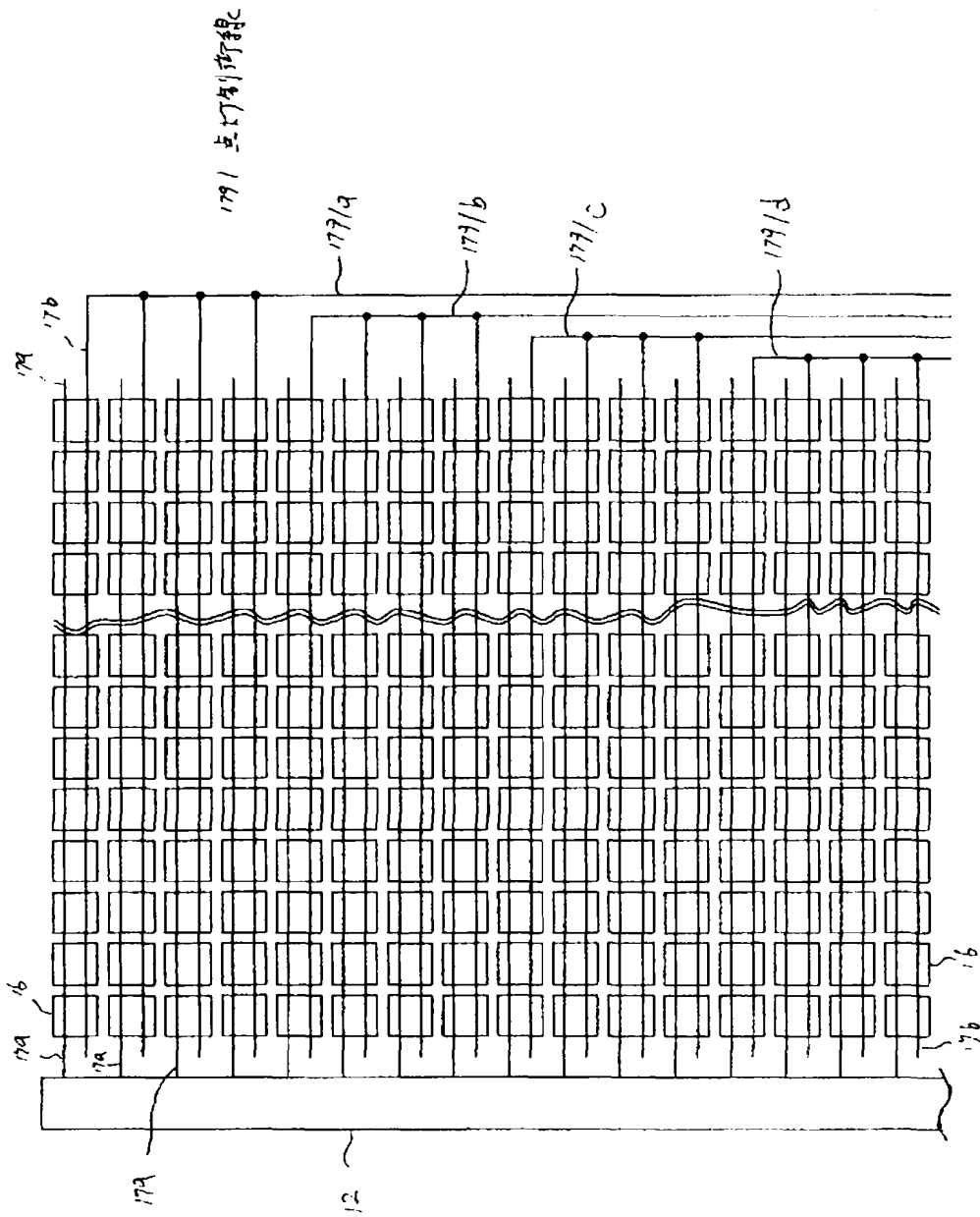
【図 185】



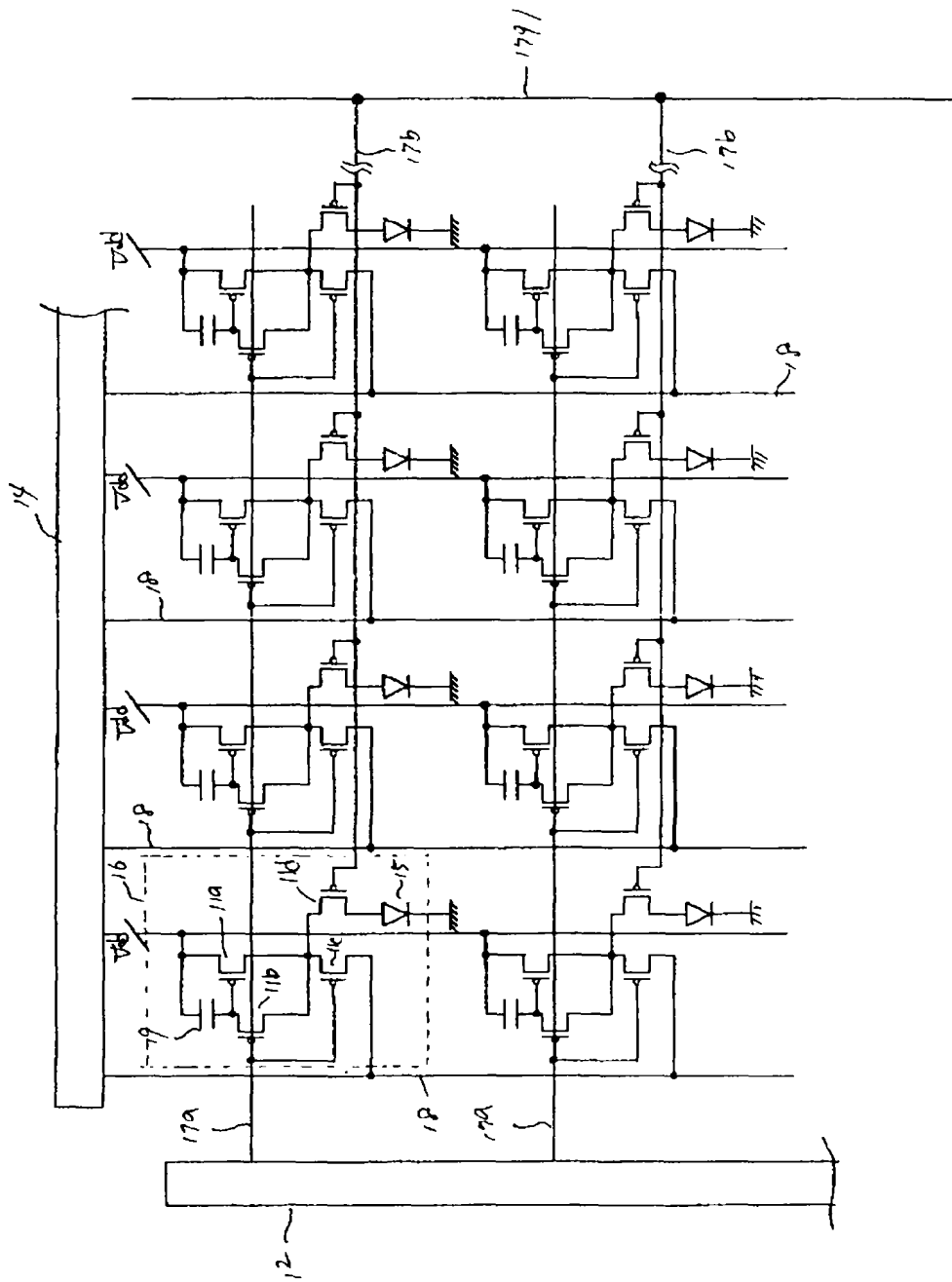
【図 189】



【図 187】

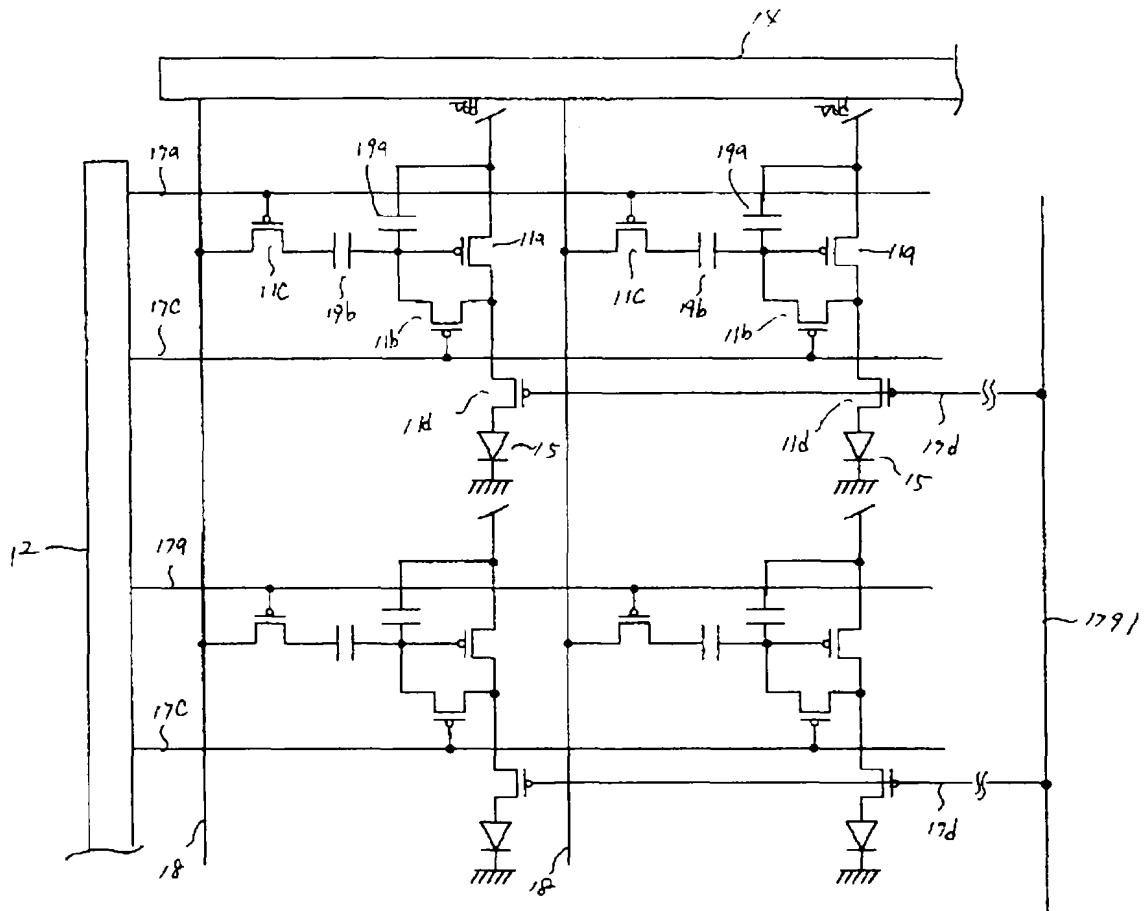


【図 188】

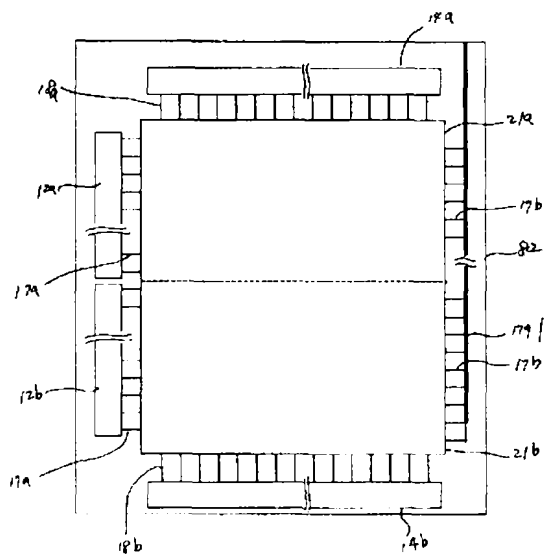


[illegible][illegible]

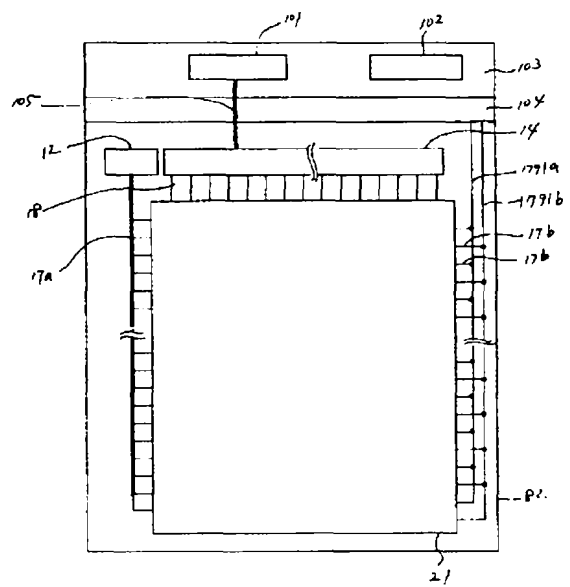
【図191】



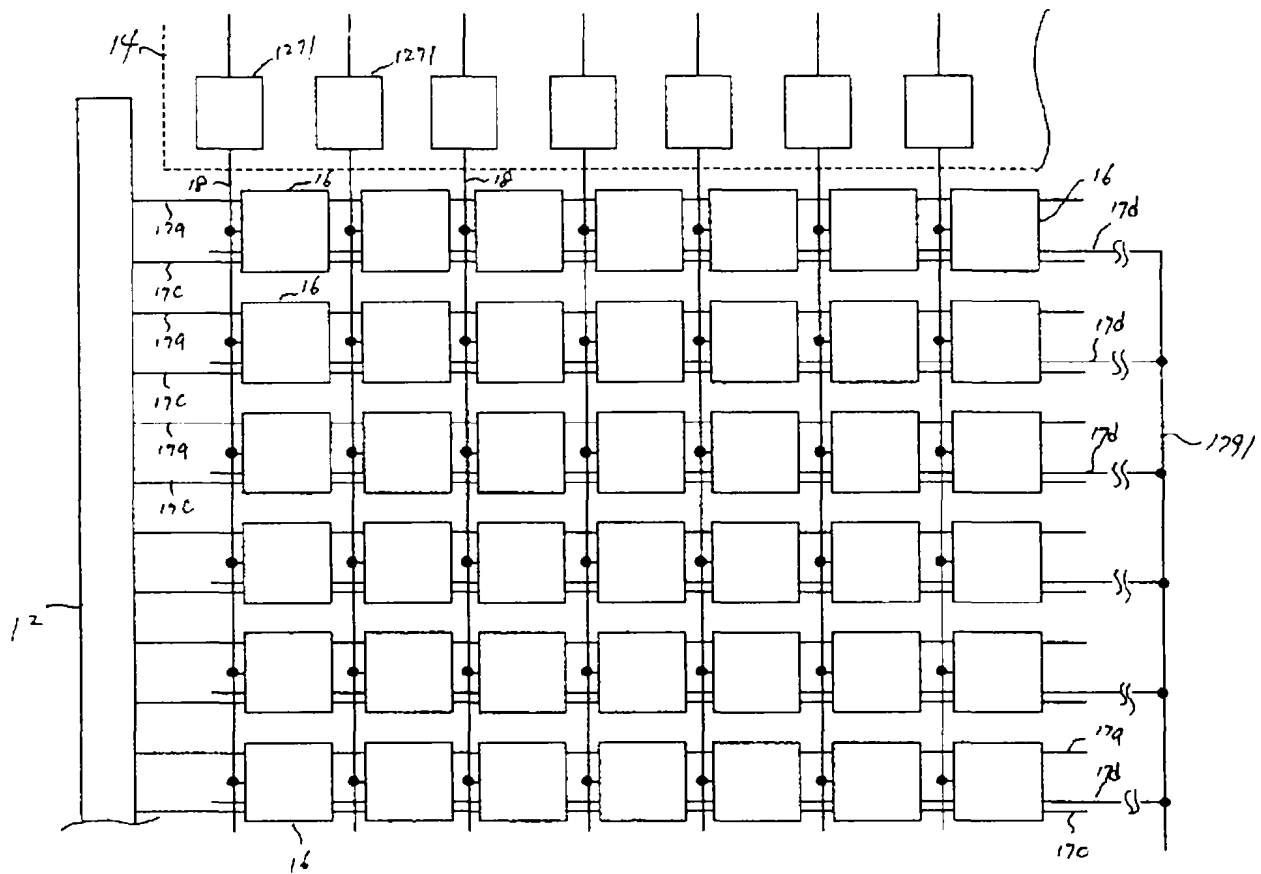
【図203】



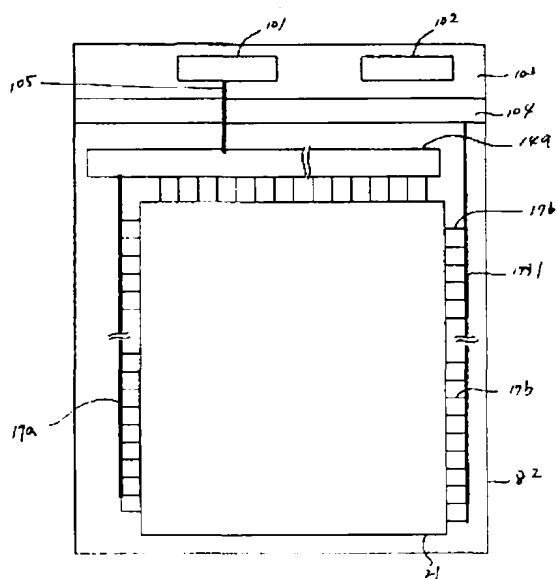
【図204】



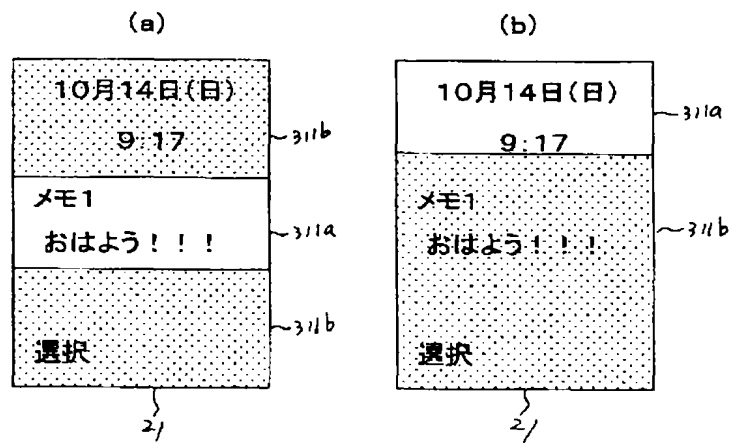
【図192】



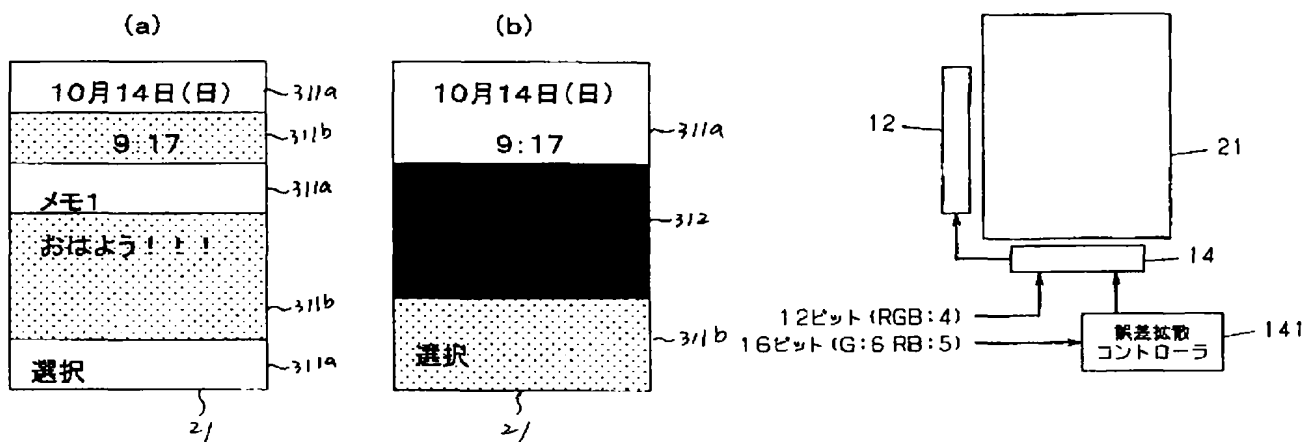
【図205】



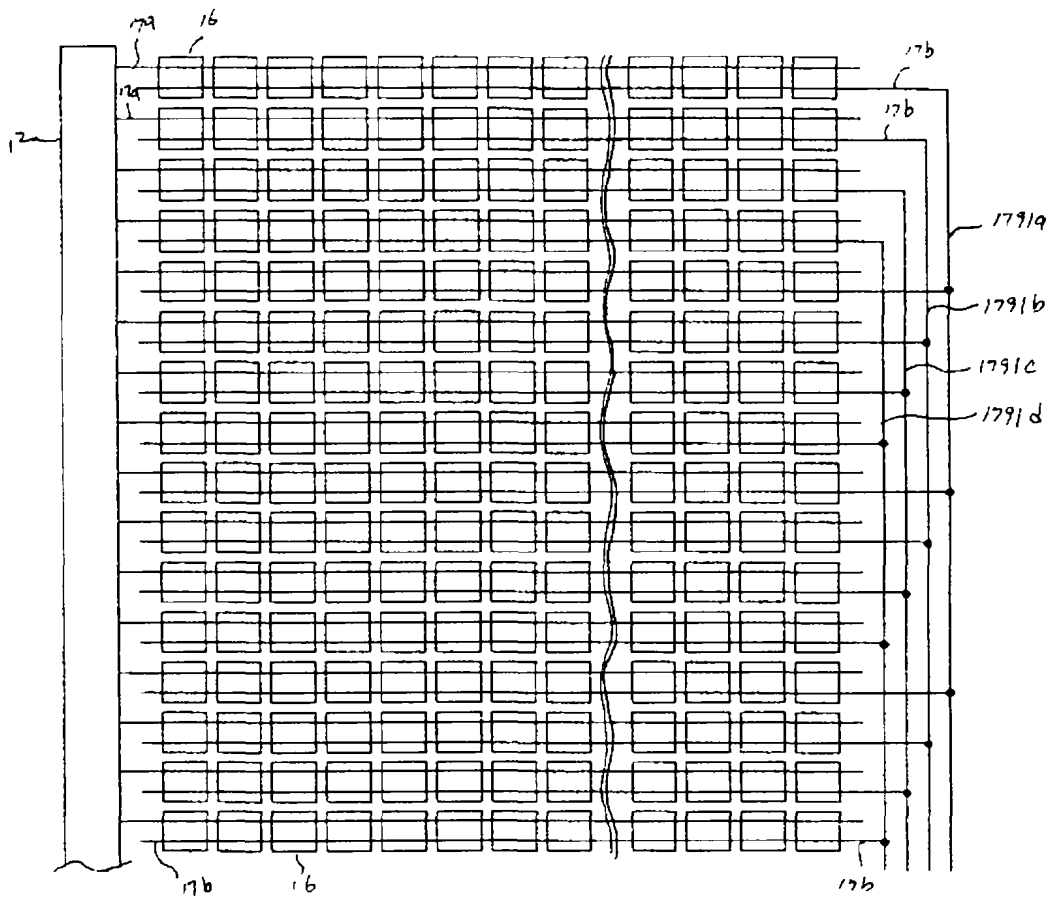
【図221】



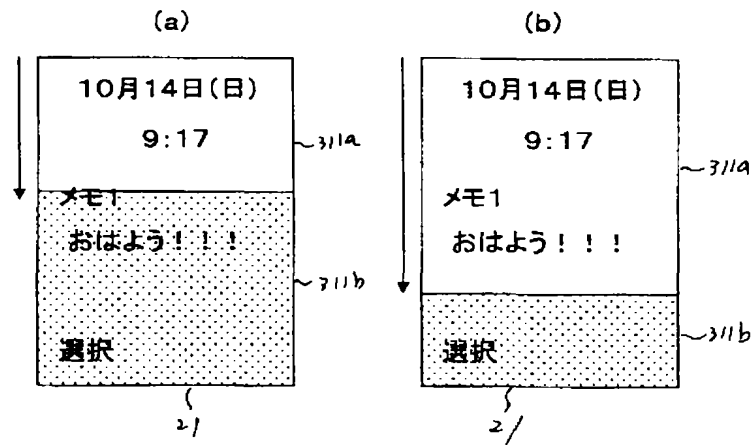
【图 2 2 9】



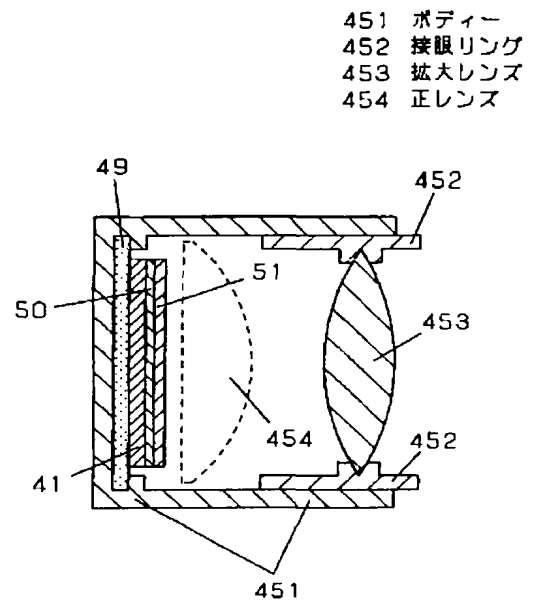
【図194】



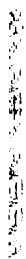
【図223】



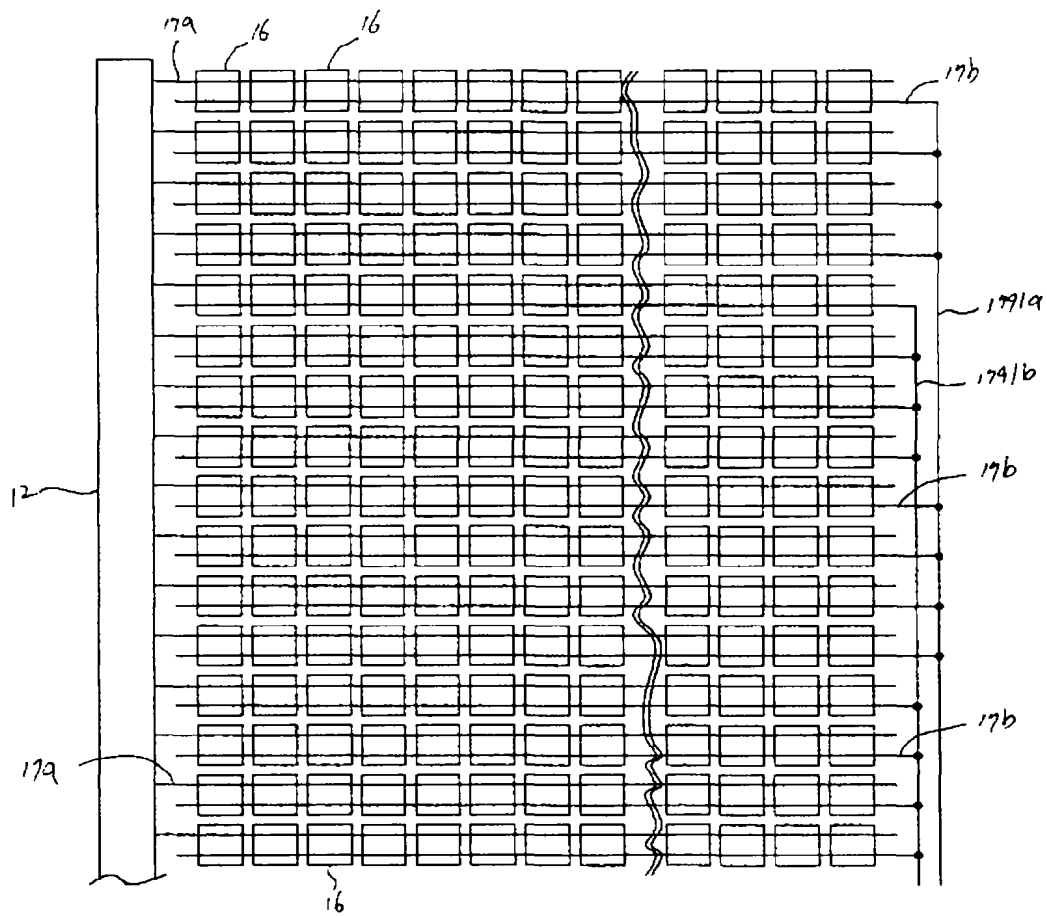
【図239】



2010年12月10日

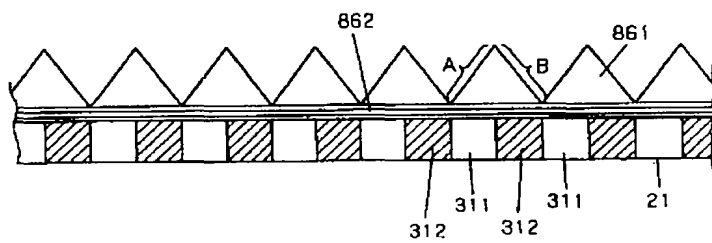


【図 196】



【図 225】

861 プリズム
862 光結合材

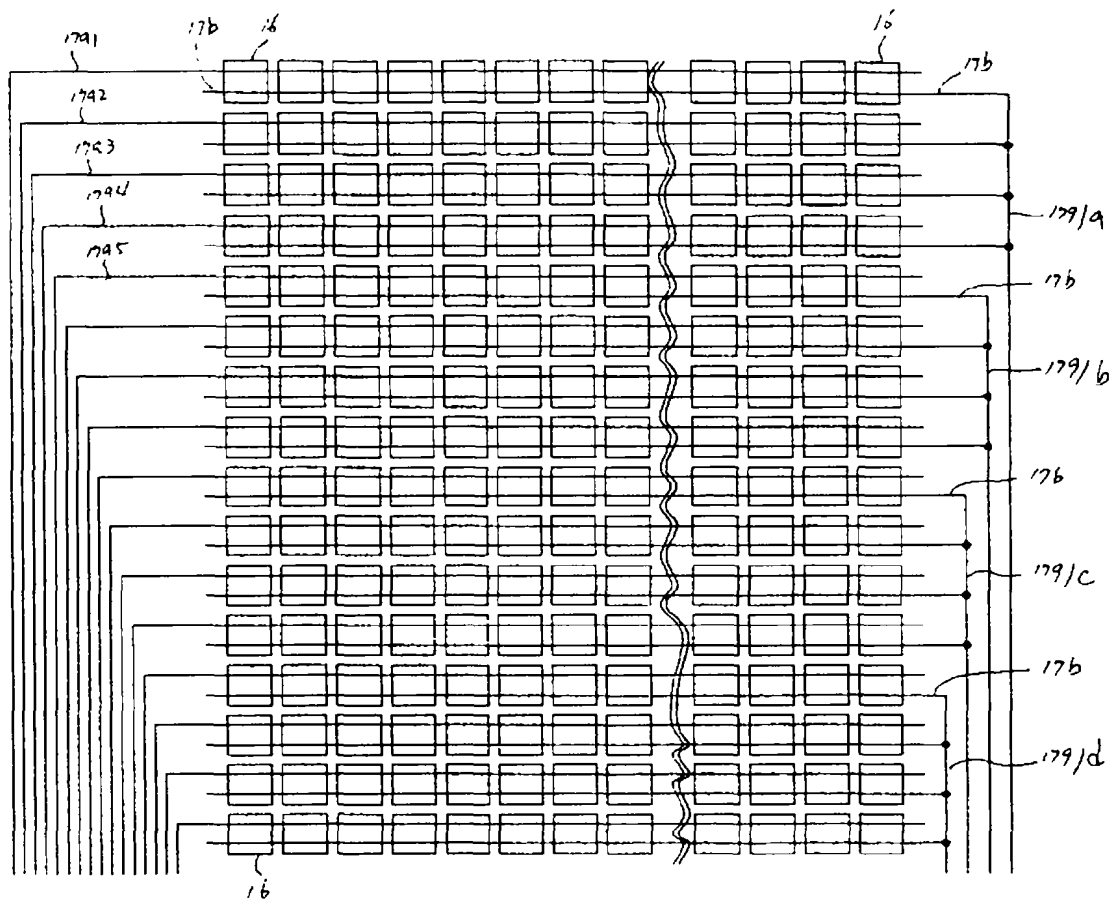


EDWARD CARROLL

EDWARD CARROLL

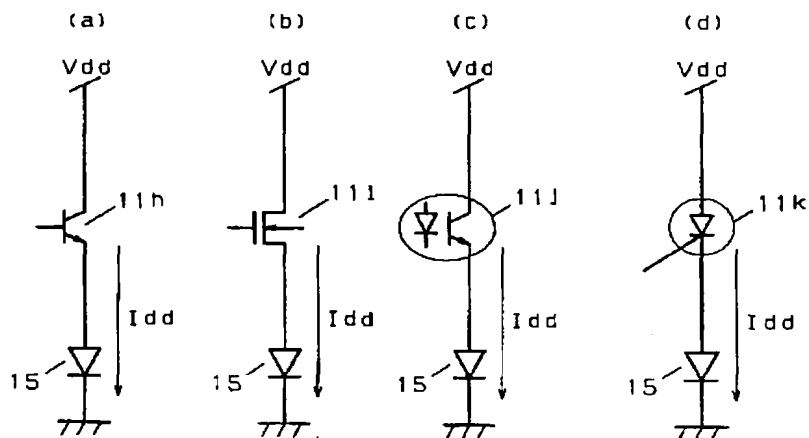


【図198】

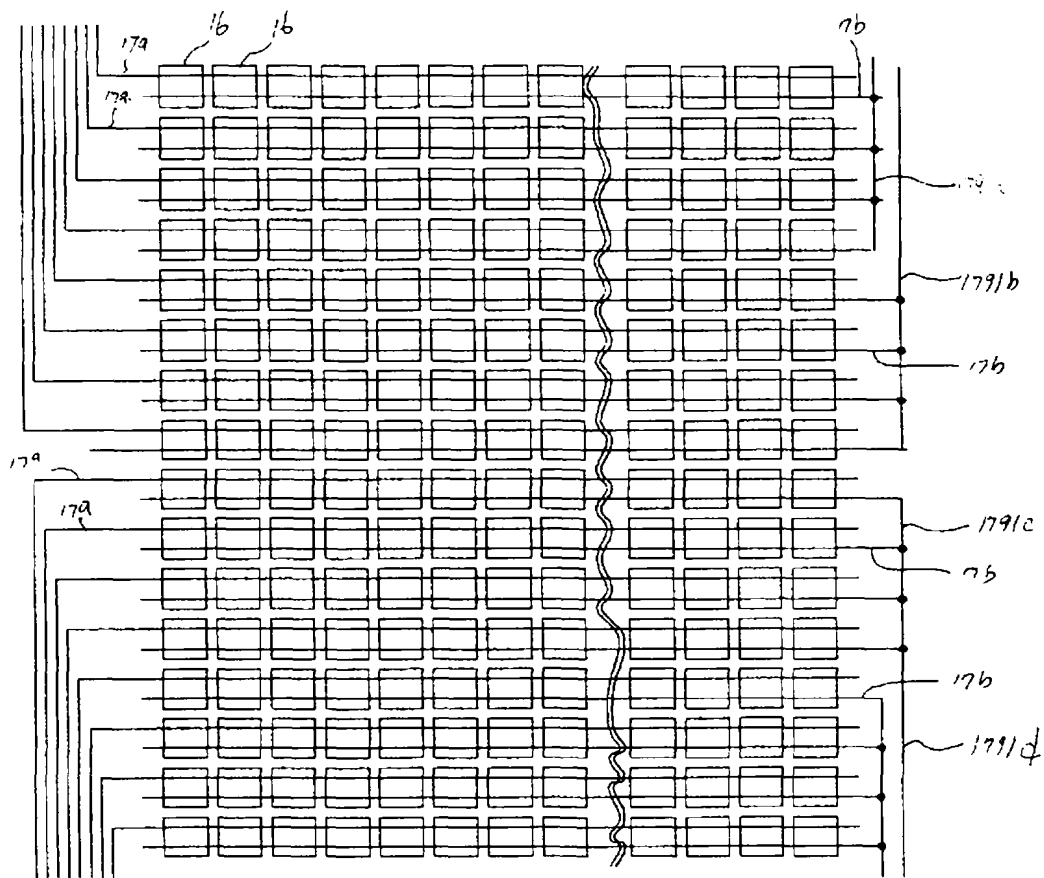


【図226】

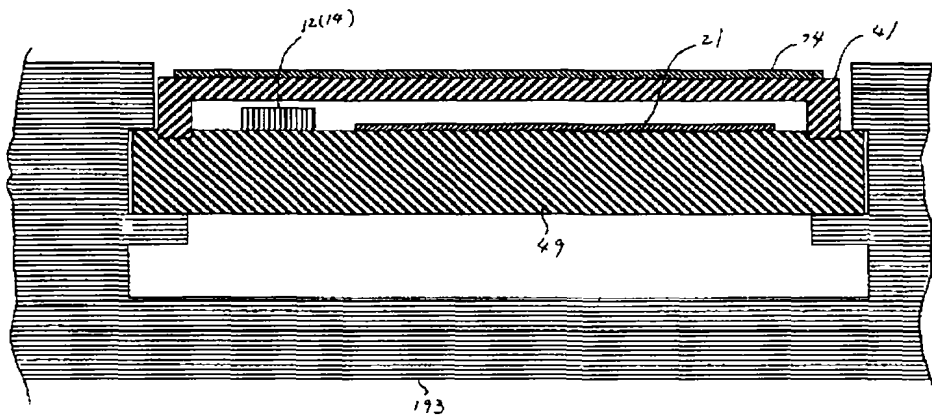
11h バイポーラトランジスタ
 11i MOSトランジスタ
 11j ホトトランジスタ
 11k サムリスタ



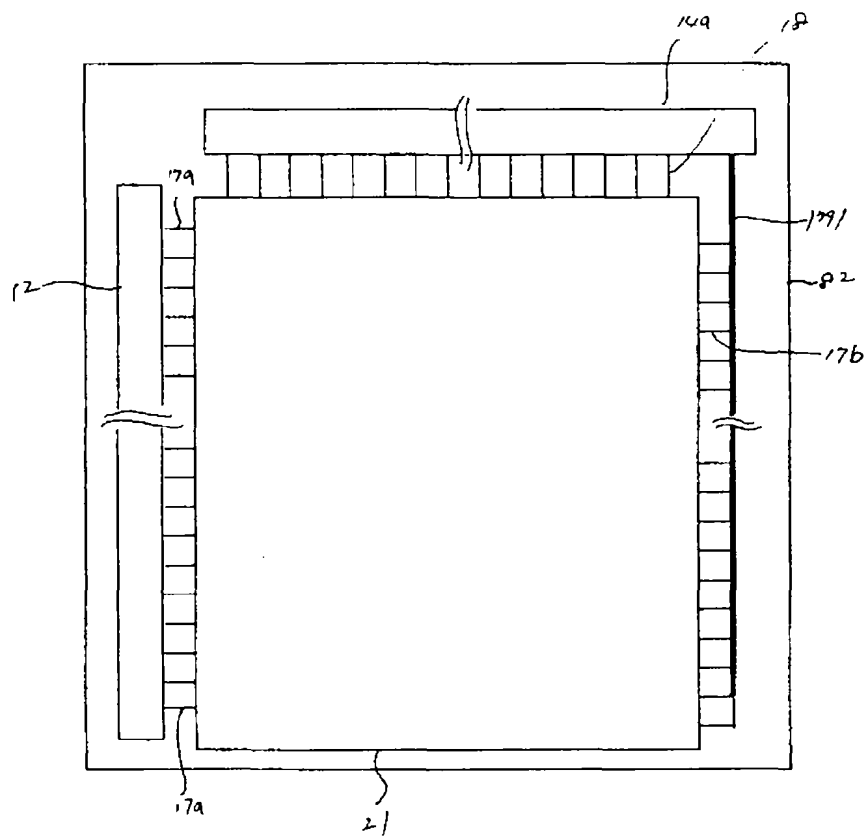
【図 199】



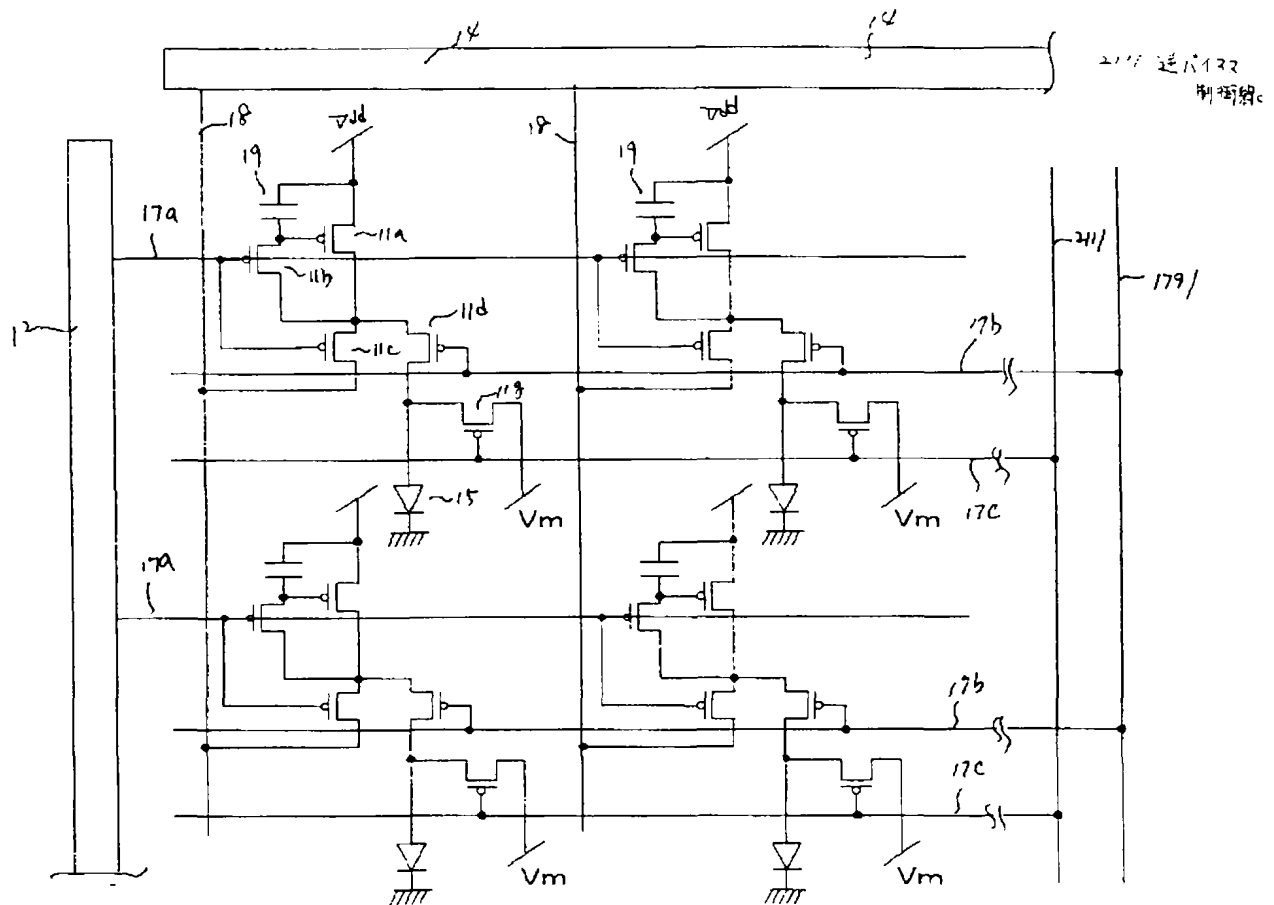
【図 230】



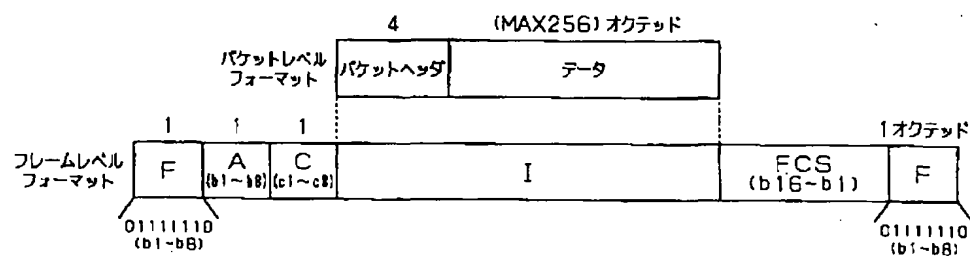
【図 200】



【図206】



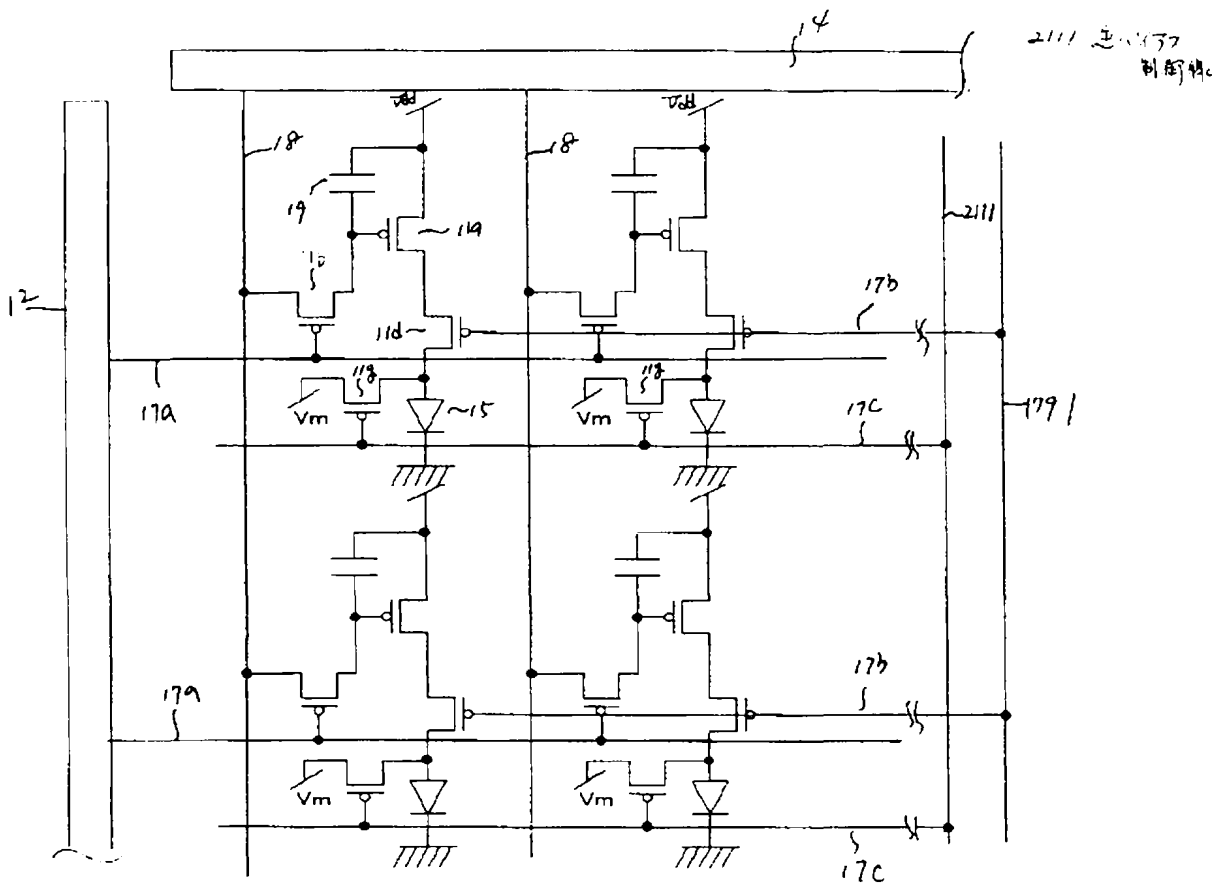
【図235】



The diagram illustrates a semiconductor device with two columns of circuit blocks. Each block contains a transistor (11a, 11b, 11c, 11d, 11e), a capacitor (19), and a diode (11g, 11h). The diagram is labeled with various reference numerals including 12, 14, 15, 17a, 17b, 17c, 179, 179', 211, and 211'.

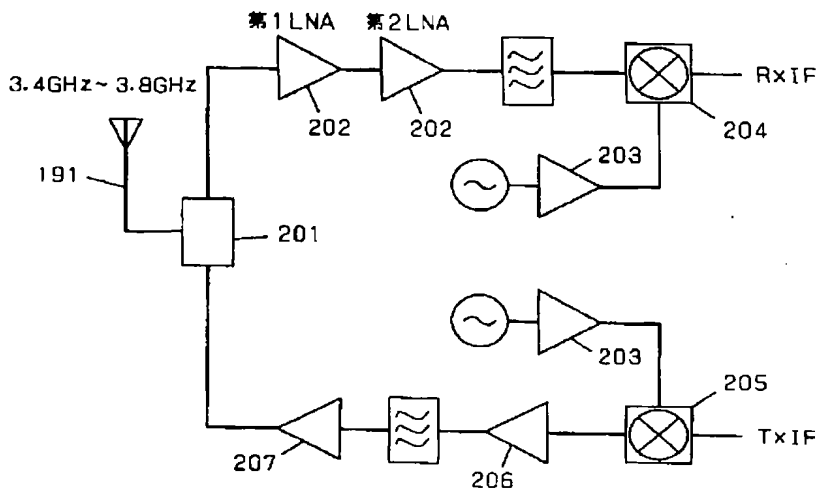
形式	ビット・ケース									
情報伝送形式 I フレーム	受信順序 番号 N (R)			P	送信順序 番号 N (S)			0		
	2 ²	2 ¹	2 ⁰		2 ²	2 ¹	2 ⁰			
監視形式 S フレーム	受信順序 番号 N (R)			P/F	監視機能 ビット S			0		
	2 ²	2 ¹	2 ⁰					1		
非番号割形式 U フレーム	修飾機能 ビット M			P/F	修飾機能 ビット M			1	1	

【図208】

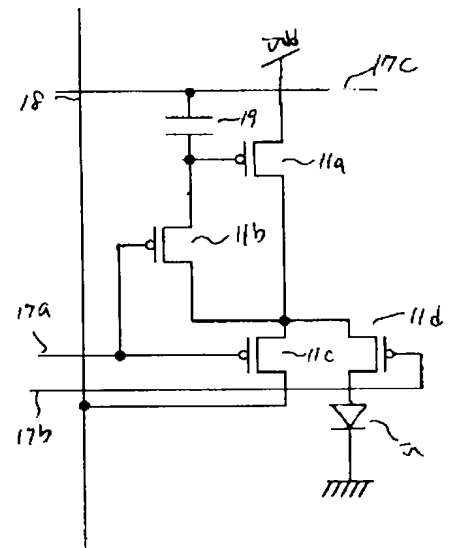


【図237】

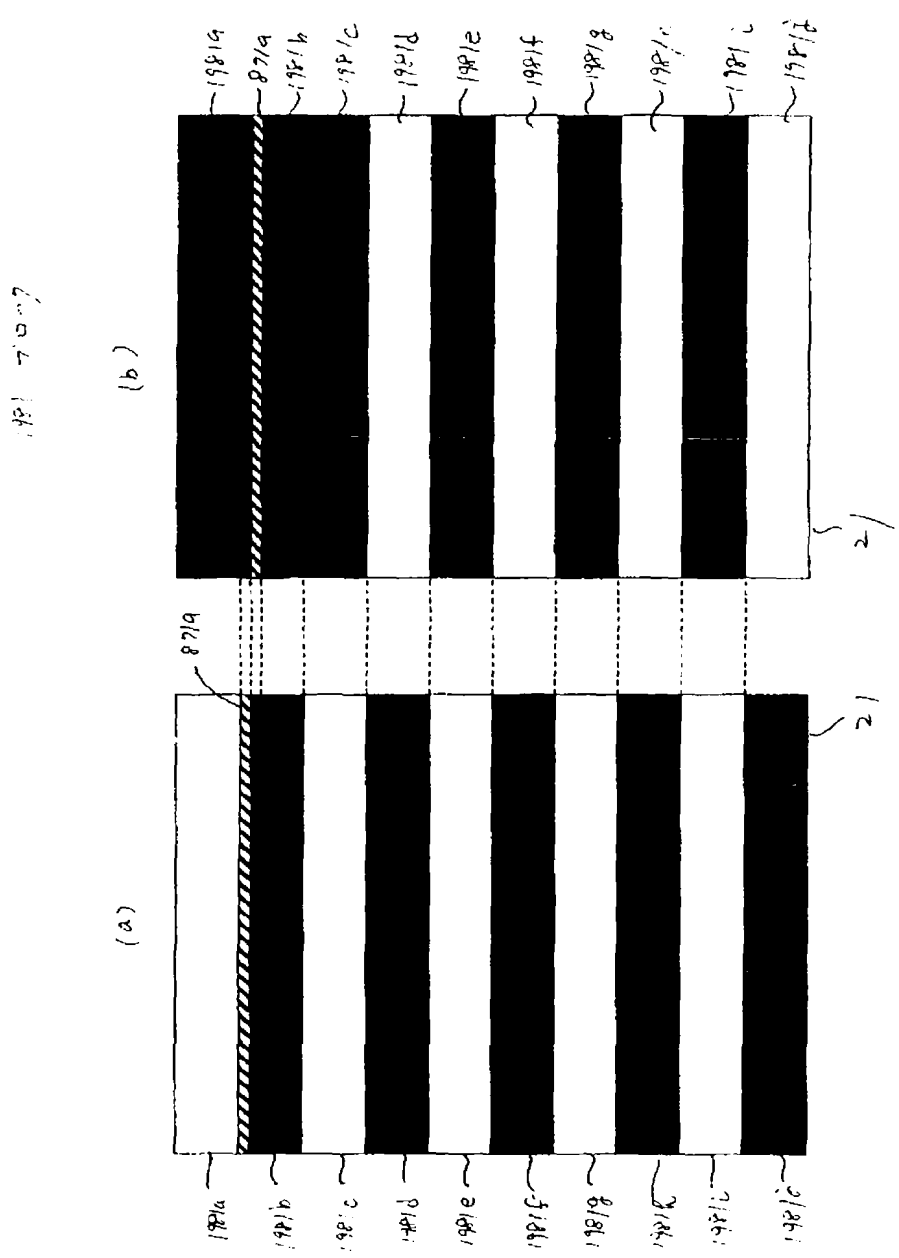
- 201 デプレクサ 204 ダウンコンバータ 206 PAブリッドライバ
 202 LNA 205 アップコンバータ 207 PA
 203 LOバッファ



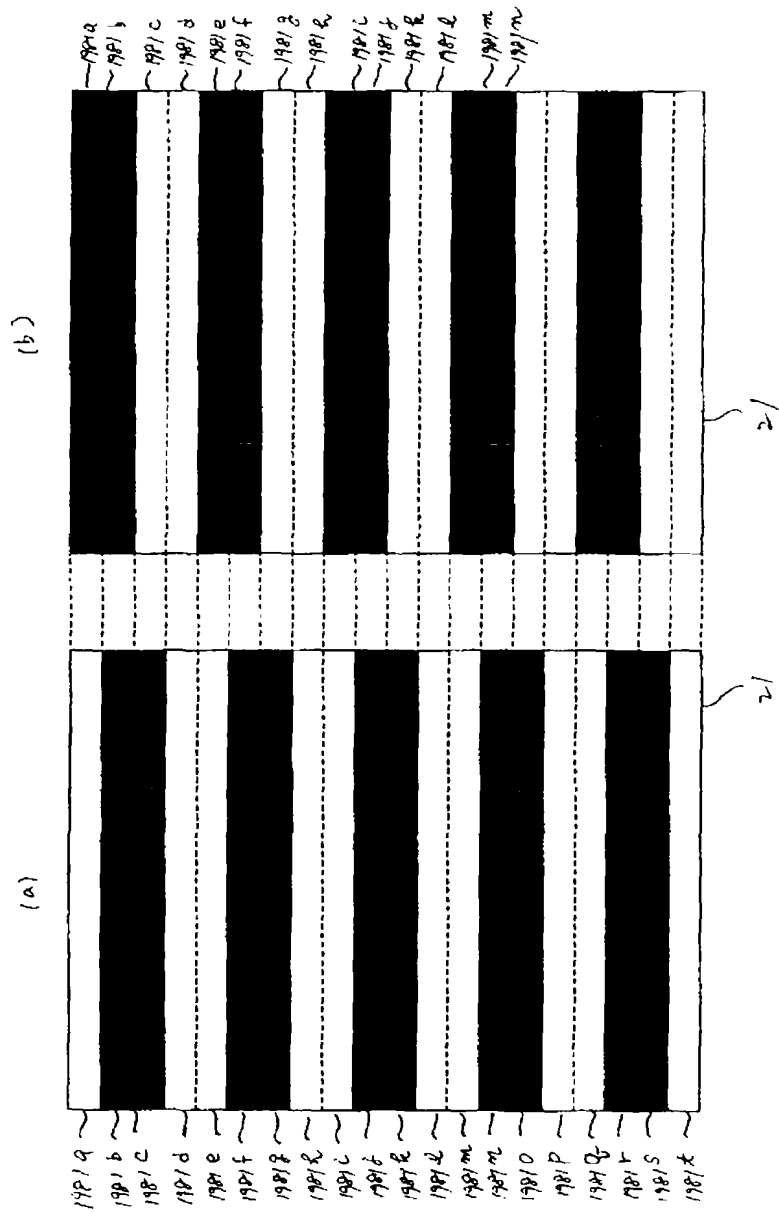
【図269】



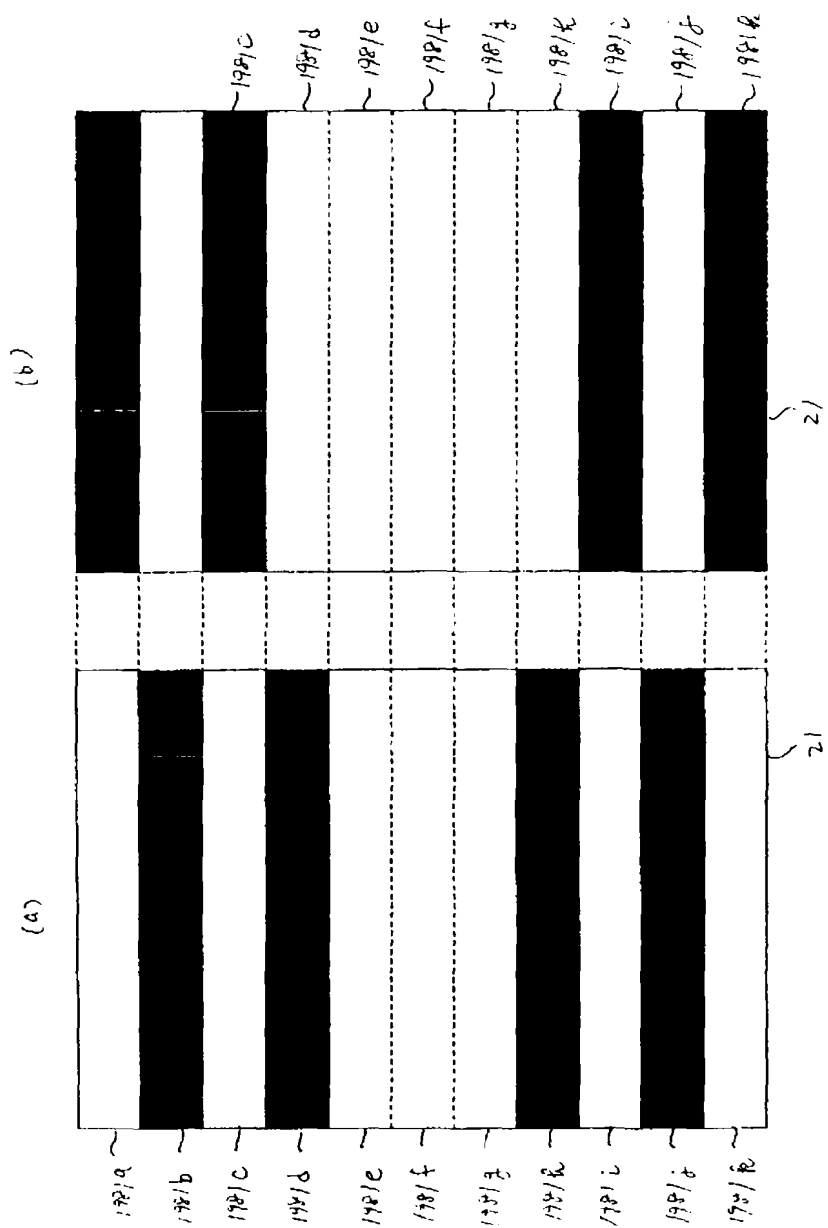
【図 210】



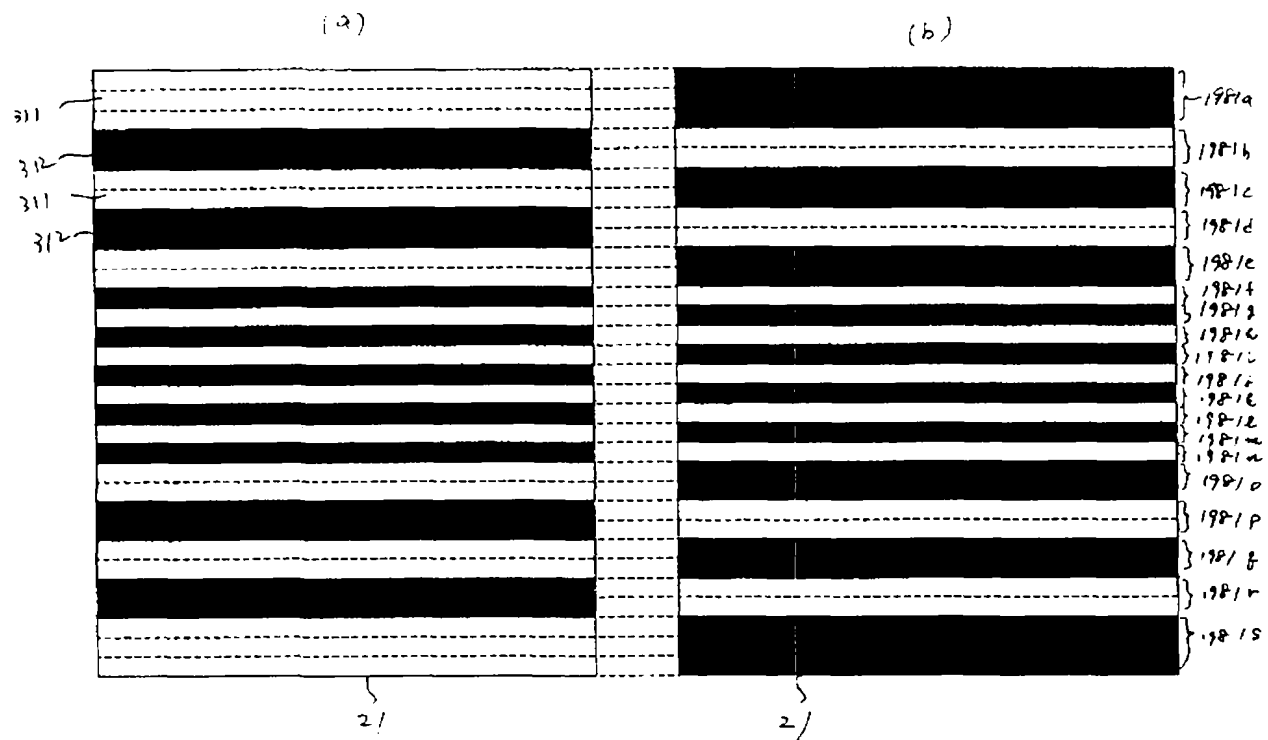
【図 211】



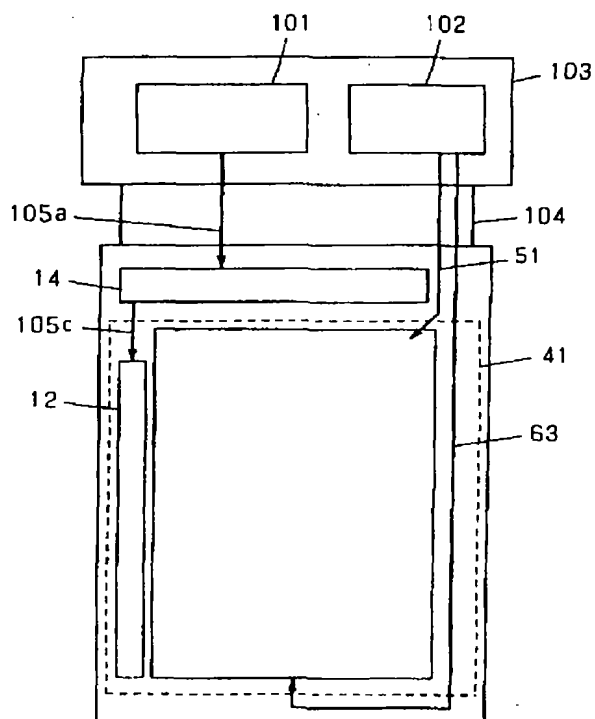
【図212】



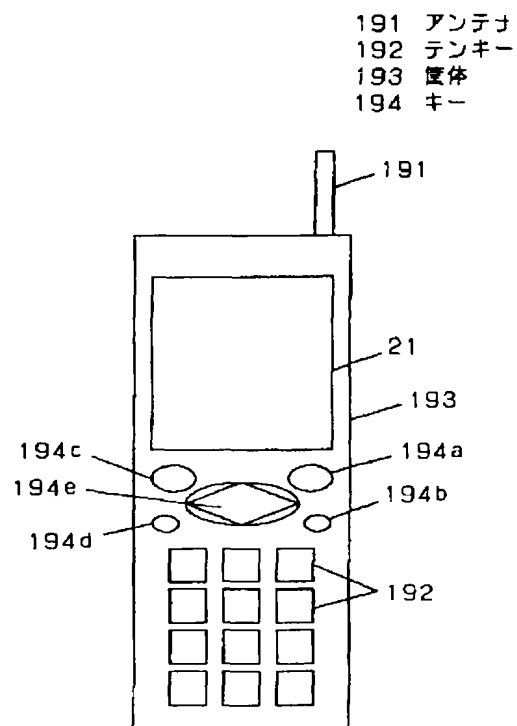
【図 2 1 3】



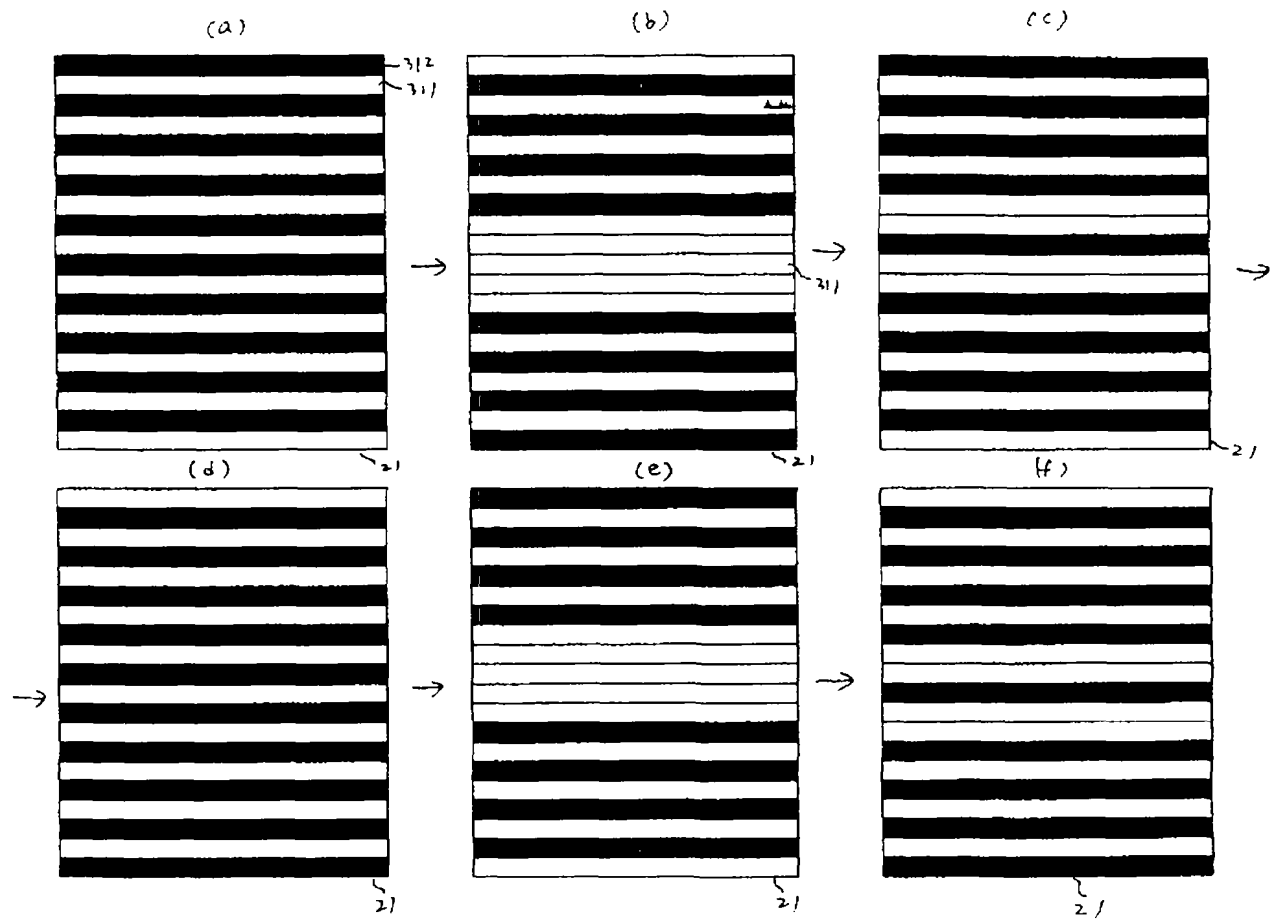
【図 2 2 8】



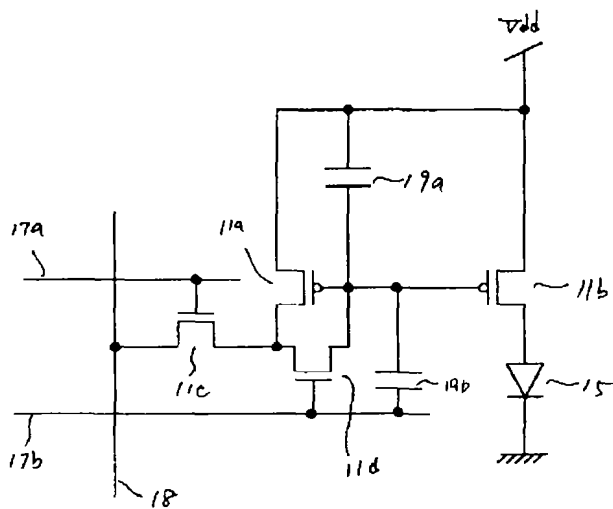
【図 2 3 2】



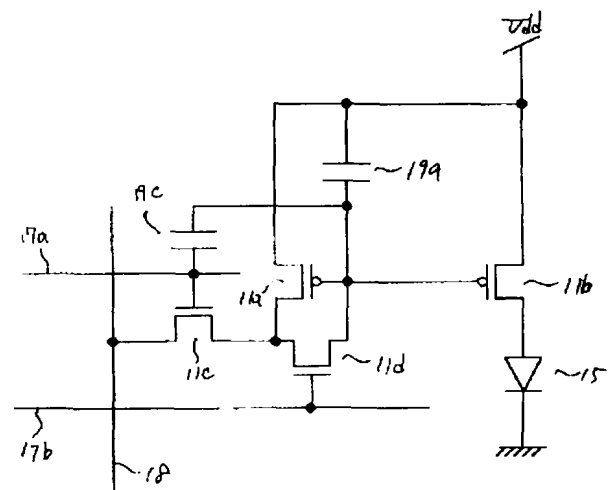
【図 2 1 4】



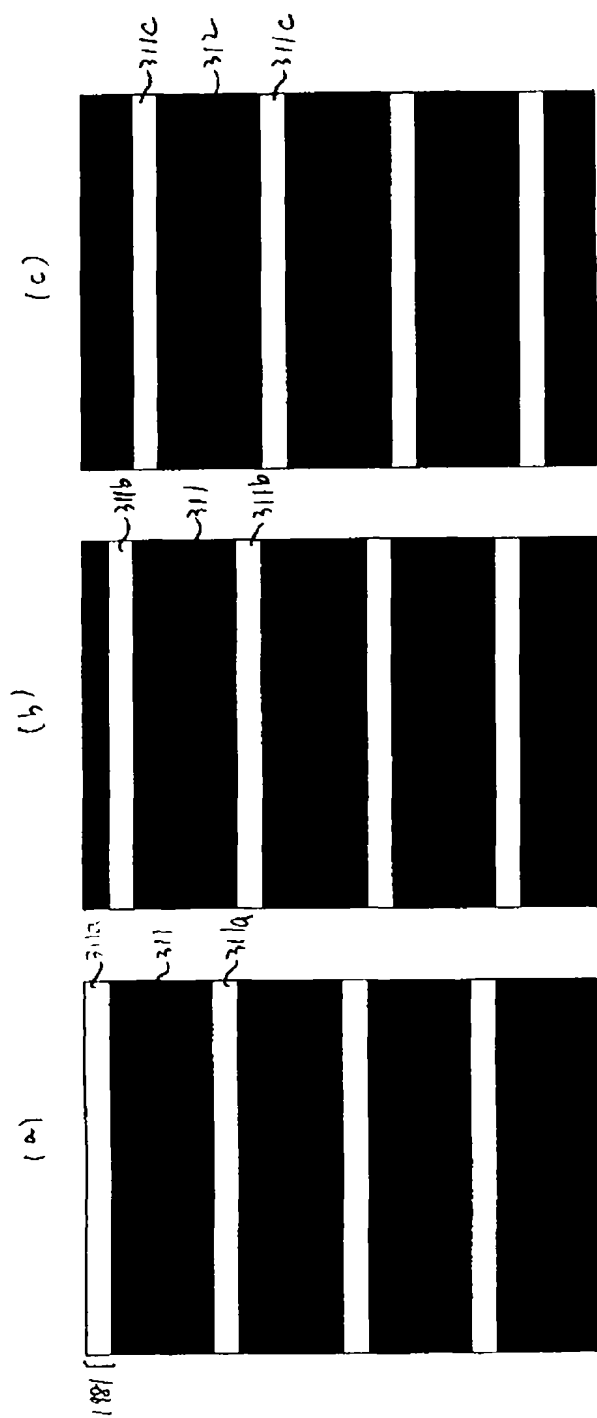
【図 2 4 6】



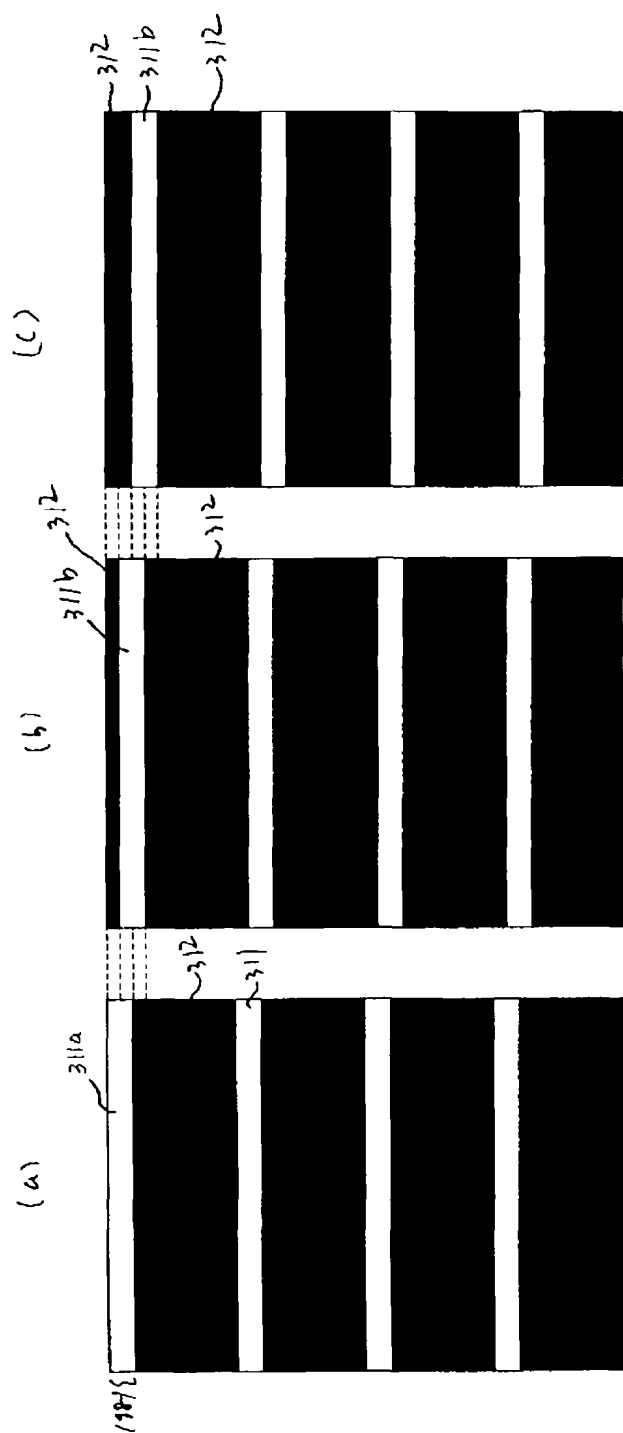
【図 2 4 7】



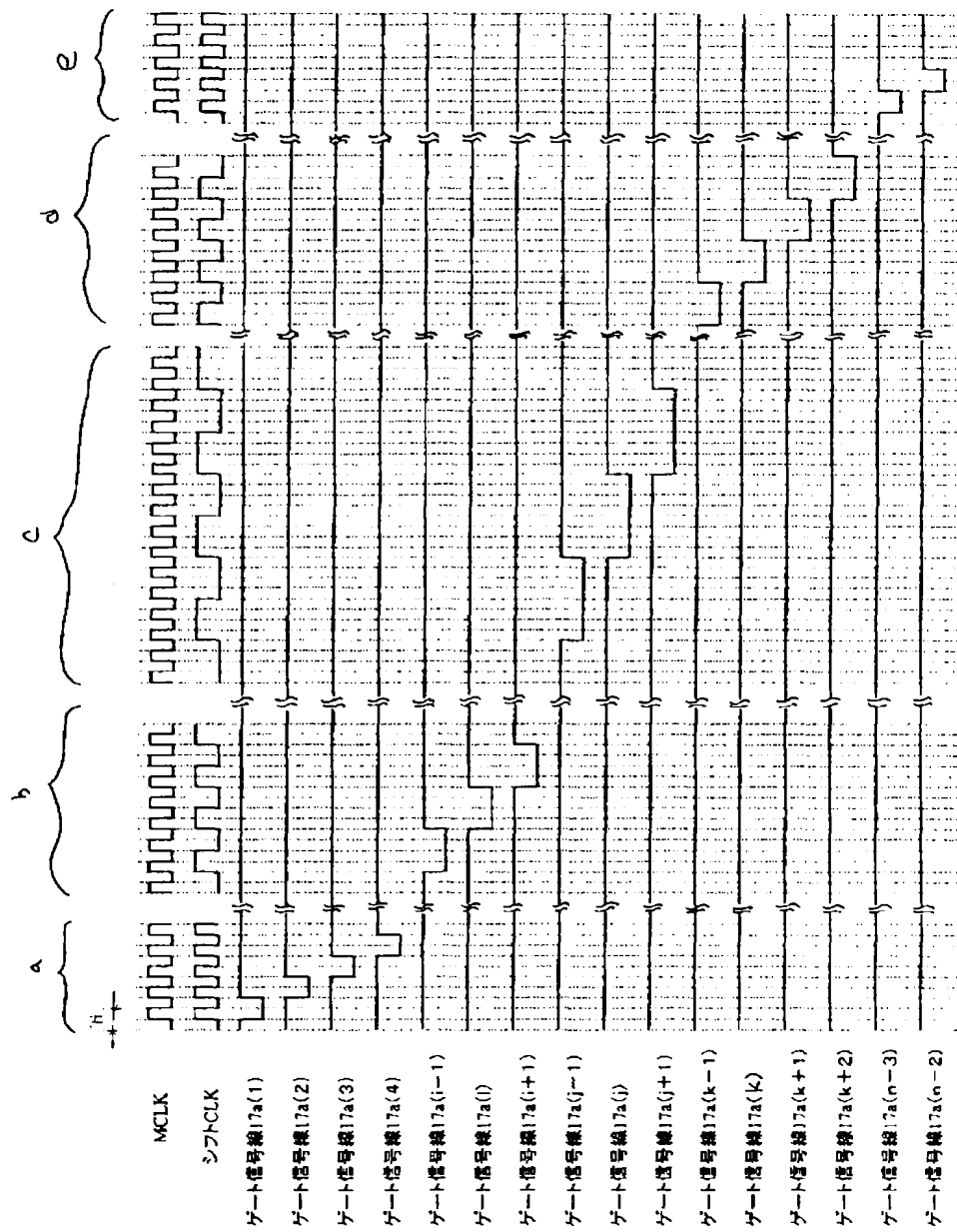
【 例 2 1 6 】



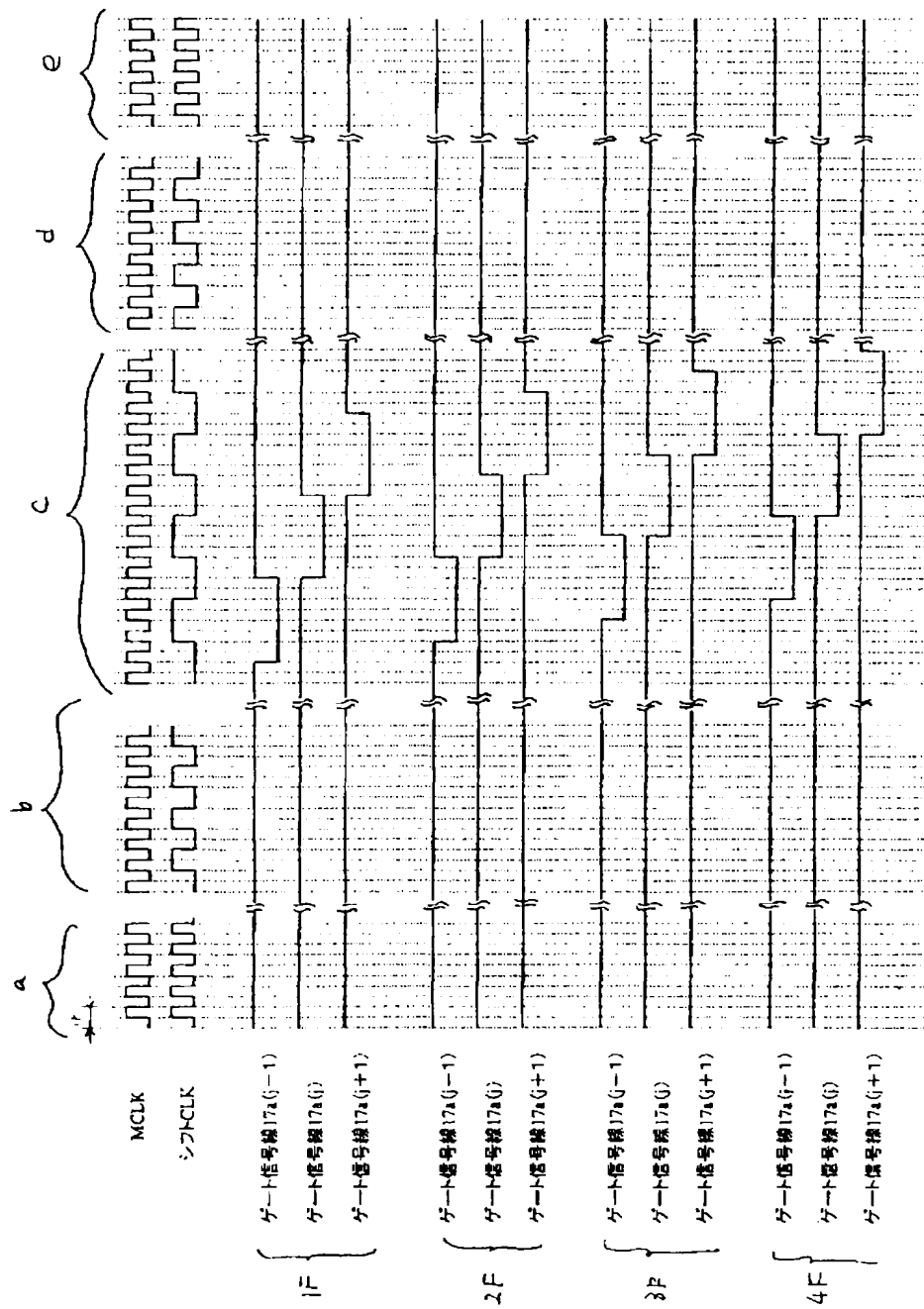
【图 2 1 7】



【図 219】

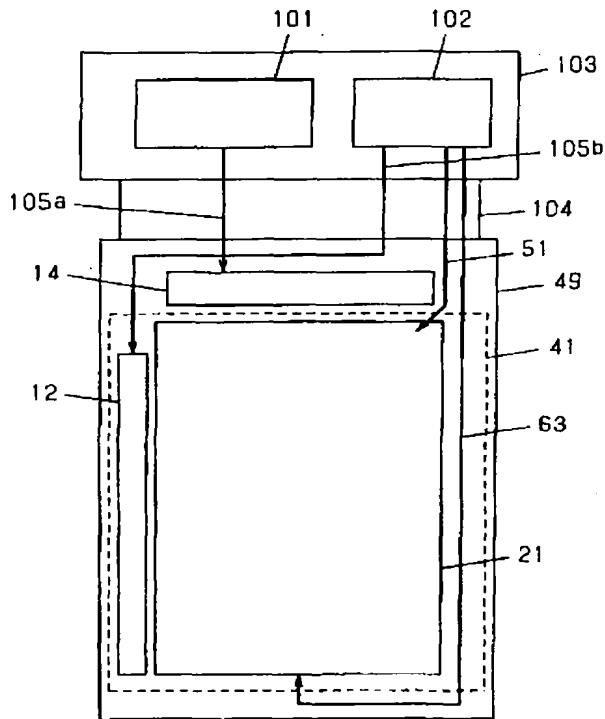


【図 220】

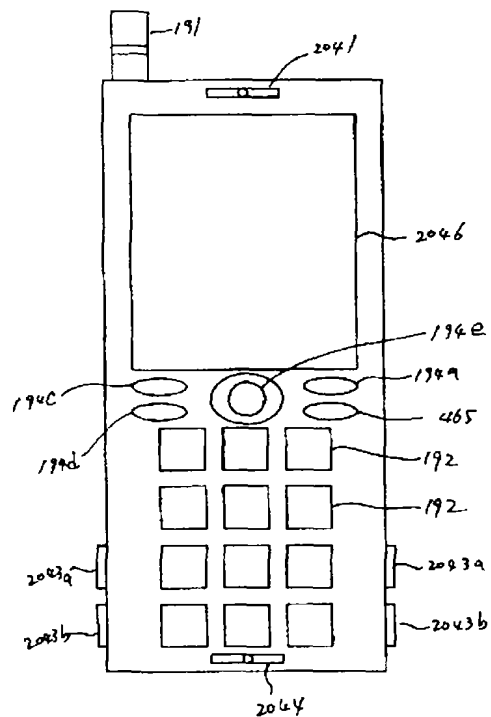


【図 2 2 7】

- 101 コントロール IC 104 フレキシブル基板
102 電源 IC 105 データ信号
103 プリント基板



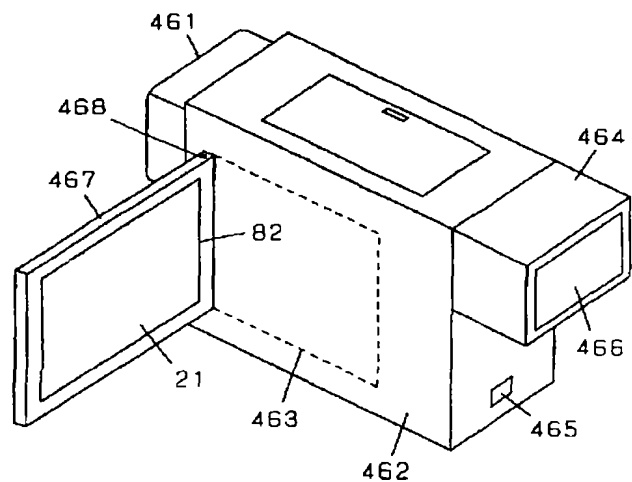
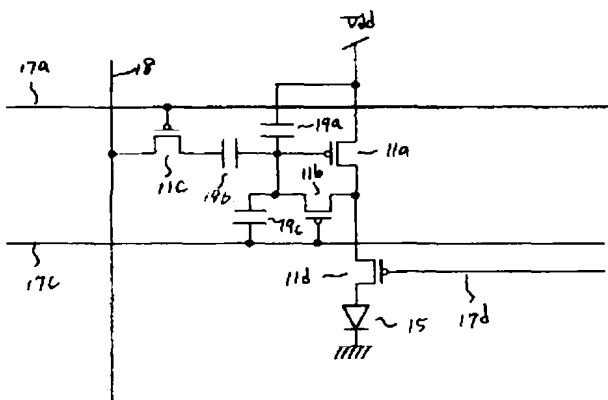
【図 2 3 3】



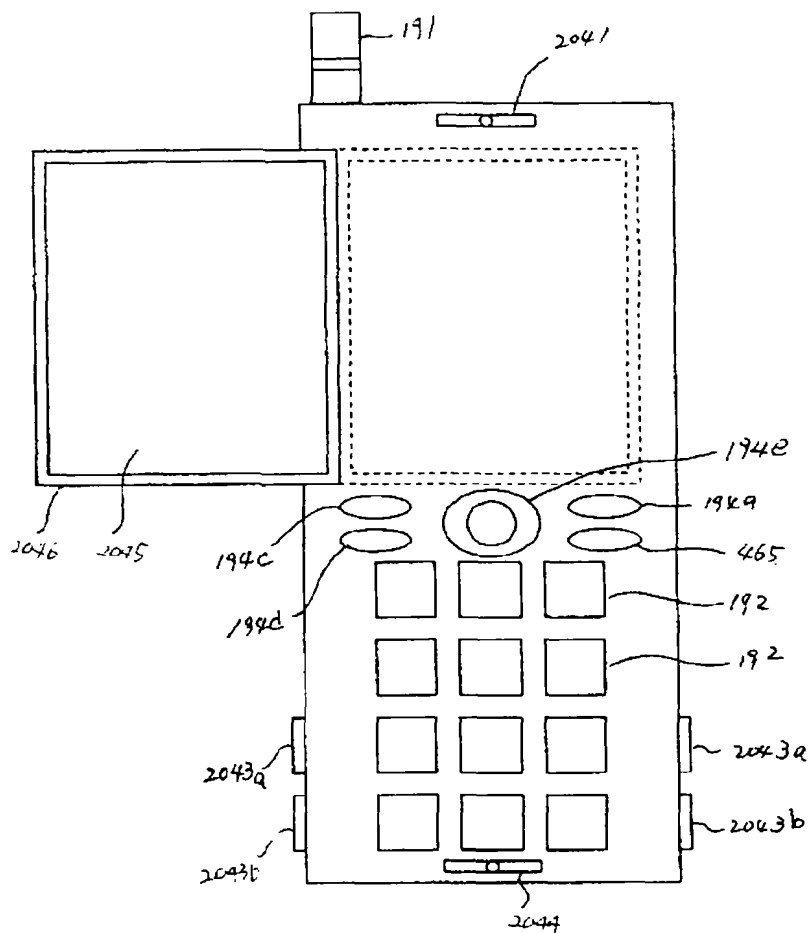
【図 2 4 0】

- 461 撮影レンズ
462 ビデオカメラ本体
463 格納部
464 接眼カバー
465 表示モード切り替えスイッチ
466 ビューファインダ
467 蓋
468 支点

【図 2 4 8】

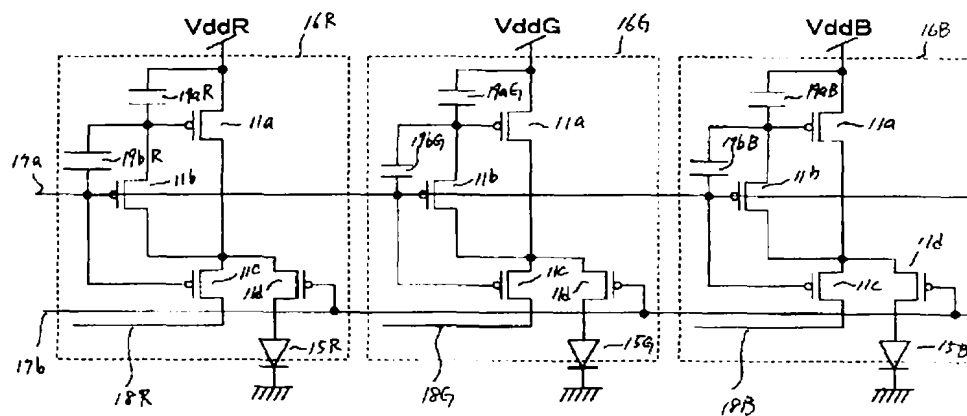


【図 231】

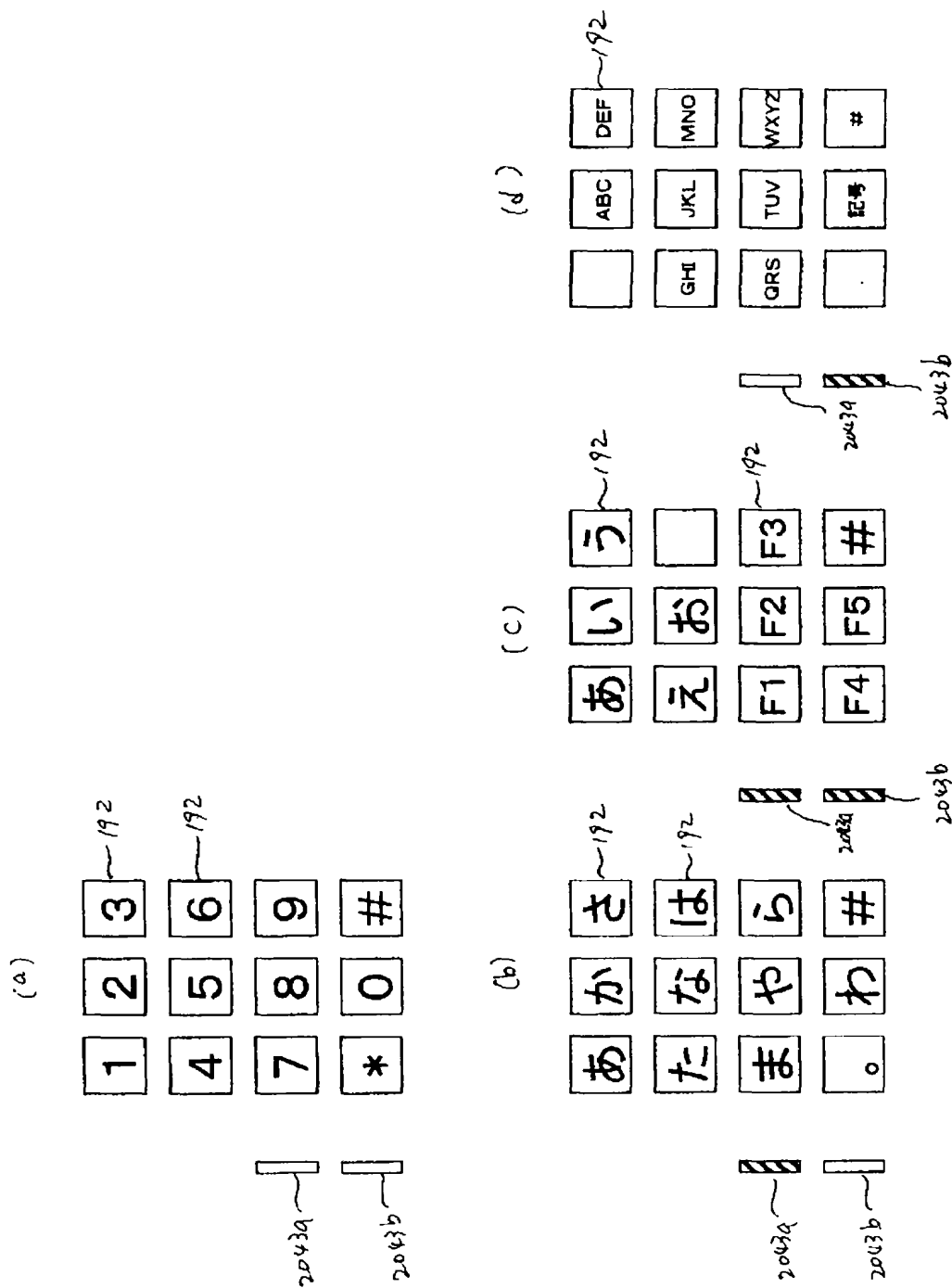


- 2041 スピーカー
- 2043 マイク
- 2044 ケーブル
- 2045 ケーブル
- 2046 表示パネル

【図 249】

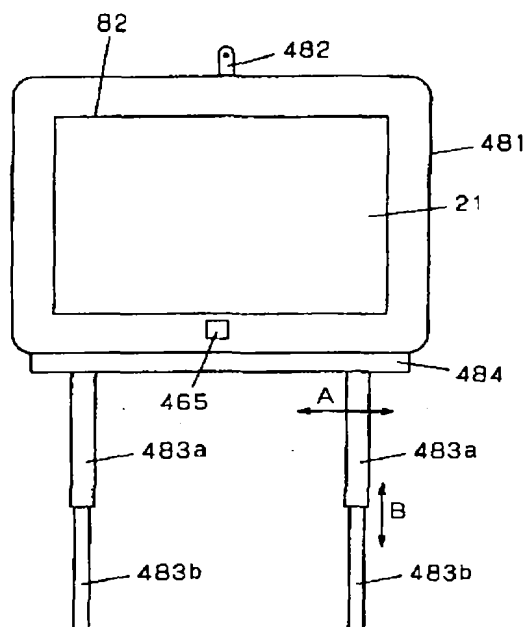


【図 238】

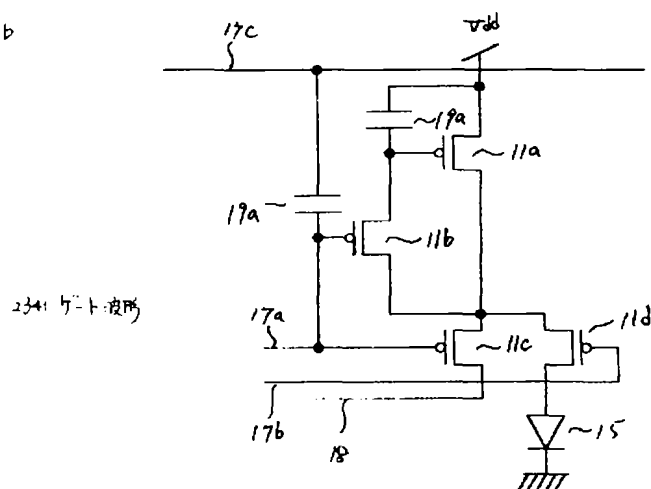


【图 2-4-2】

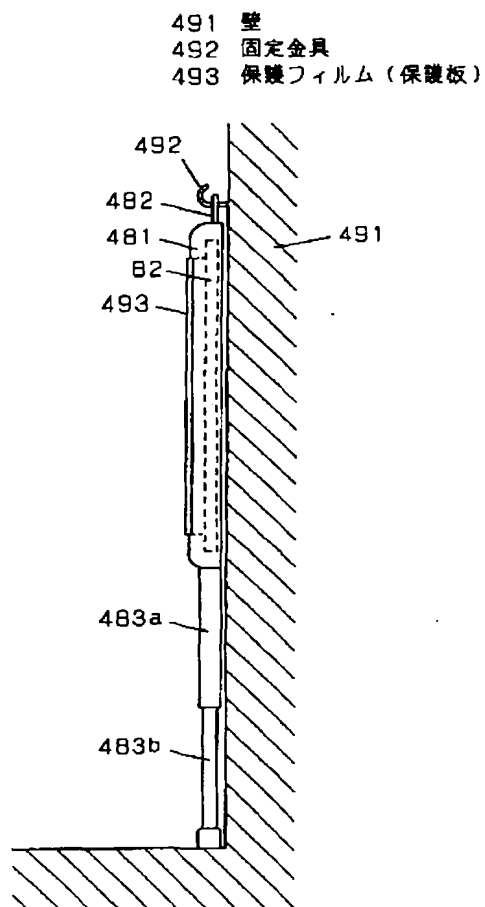
481 外枠
482 固定部材
483 脚
484 脚取り付け部



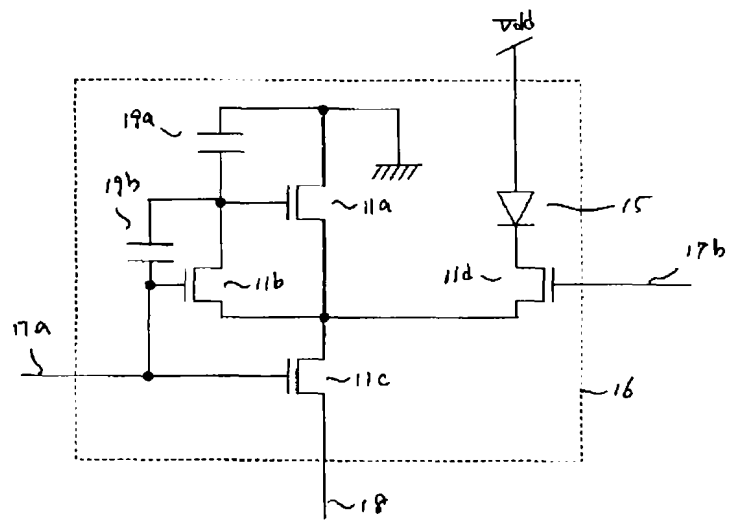
【图 2 5 8】



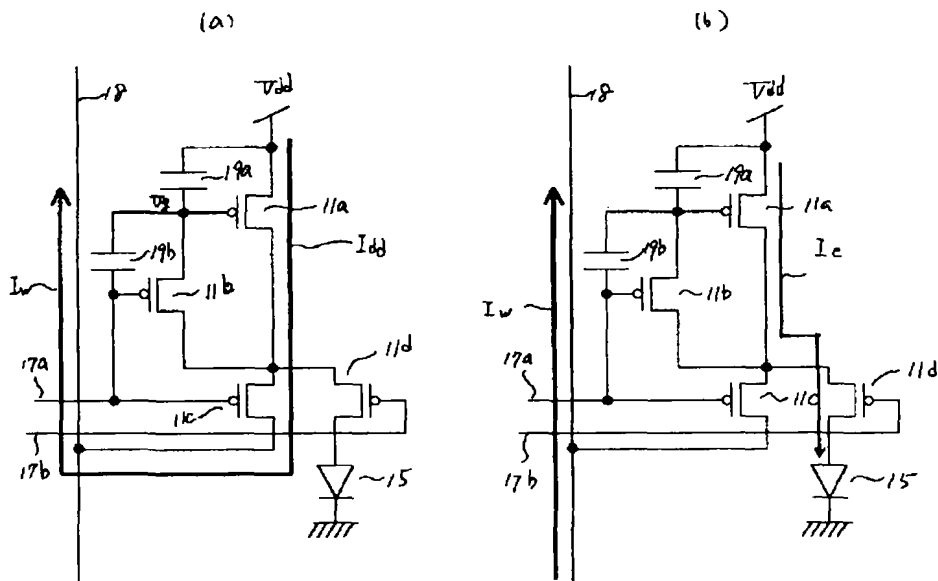
【図 243】



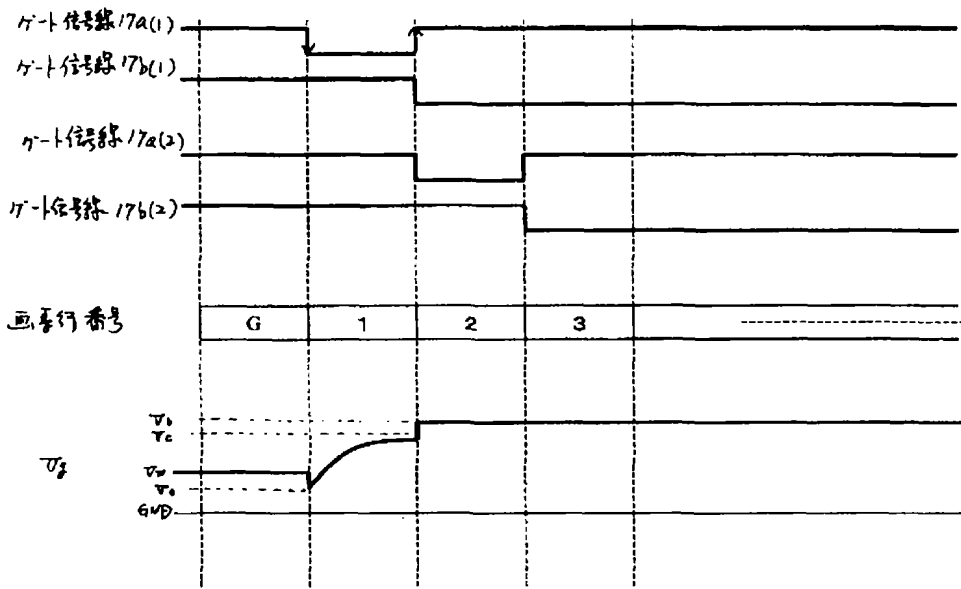
【図 251】



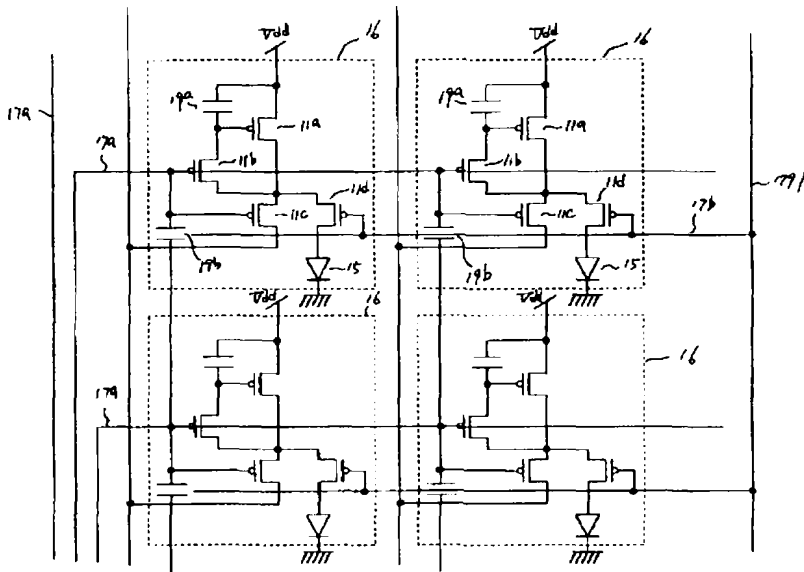
【図 252】



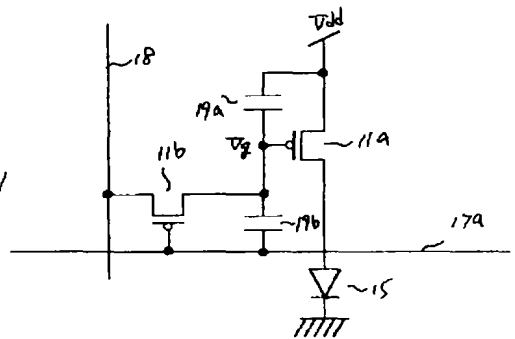
【例 2 5 3】



【圖 254】



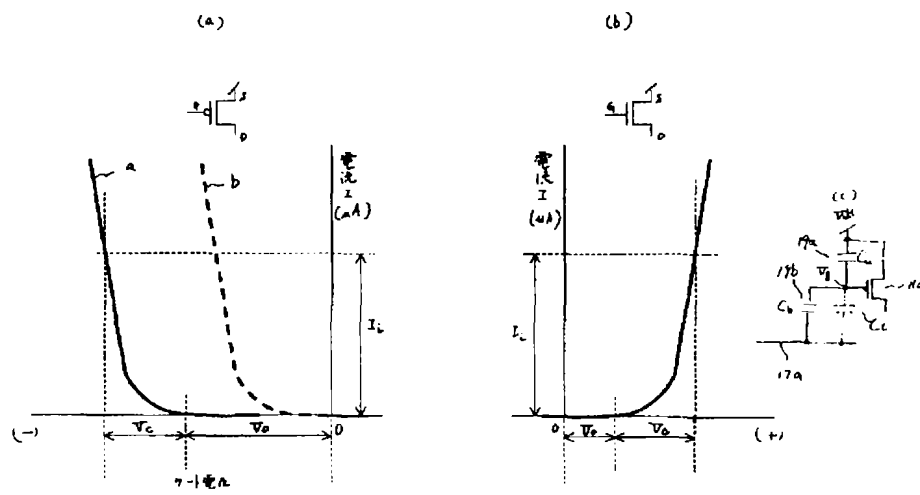
【图 2 7 5】



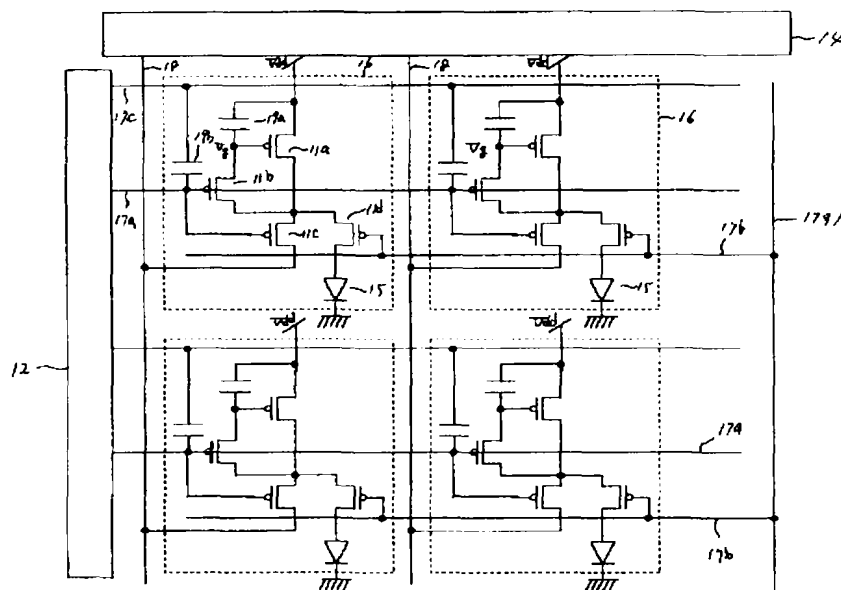
Timing diagram for the 17-bit signal bus 17a(1) to 17b(5). The diagram shows the relationship between the data bus signals and the clock signal (画时钟信号). The clock signal is a periodic square wave. The data bus signals are shown as horizontal lines with vertical transitions at specific clock edges. The signals are labeled 17a(1), 17b(1), 17a(2), 17b(2), 17a(3), 17b(3), 17a(4), 17b(4), 17a(5), and 17b(5). The clock signal is labeled '画时钟信号'.

Timing diagram for the first test case. The diagram shows four input signals: r -信号线1/a(1), r -信号线1/b(1), r -信号线1/a(2), and r -信号线1/b(2). Below these is a table with columns labeled G, 1, 2, 3, and a dotted line. The G column has a value of 1, while the others are 0. Below the table is a signal labeled U_q , which starts at a high level and drops to a low level at the start of column 1. A GND line is shown at the bottom.

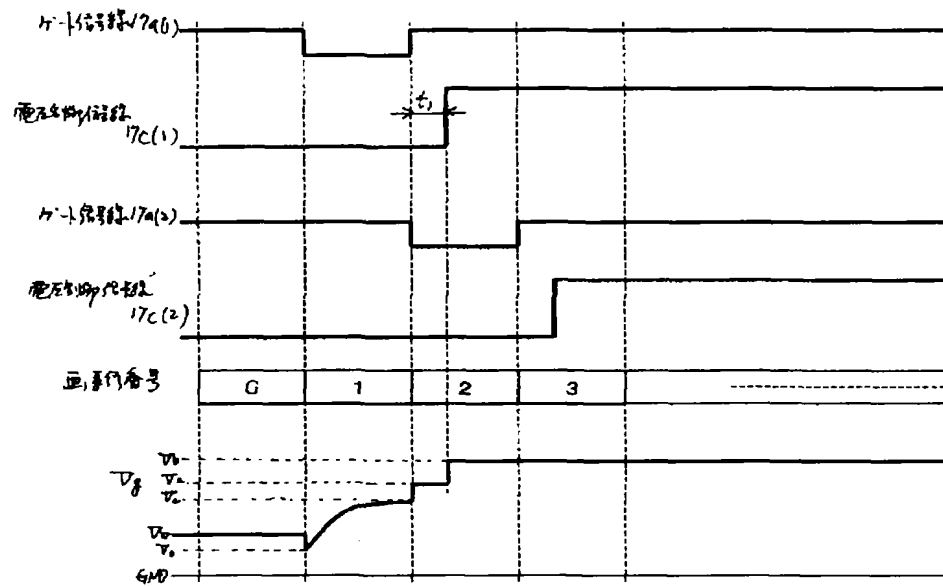
【図 257】



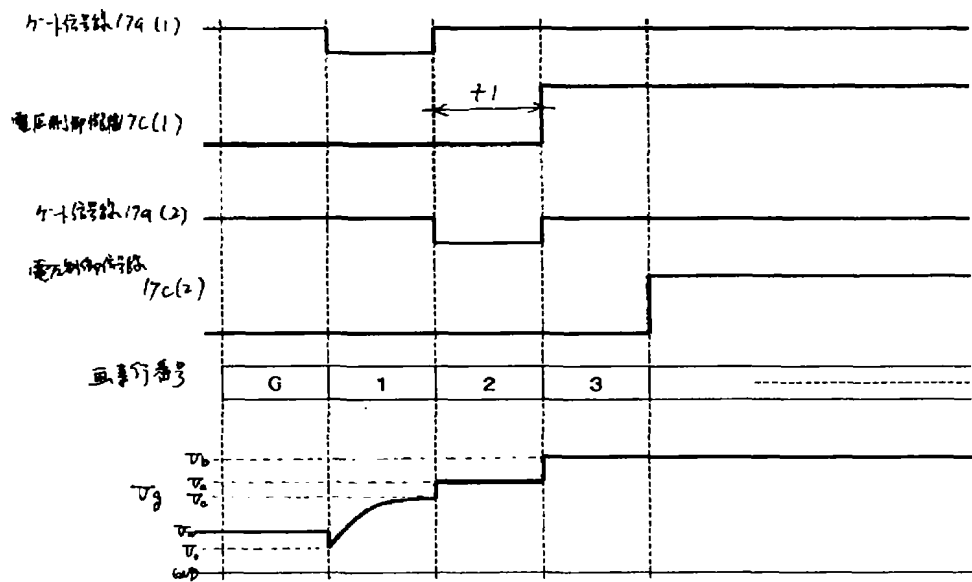
【図 259】



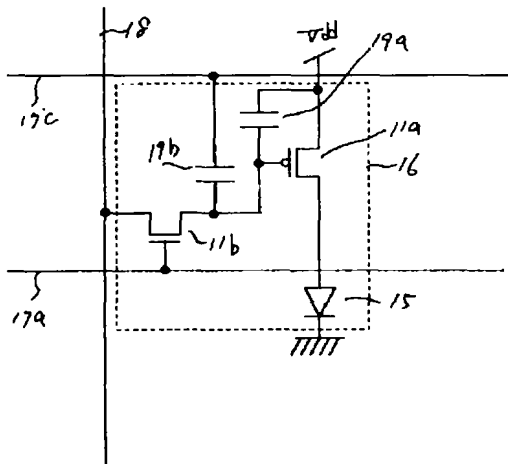
【図 260】



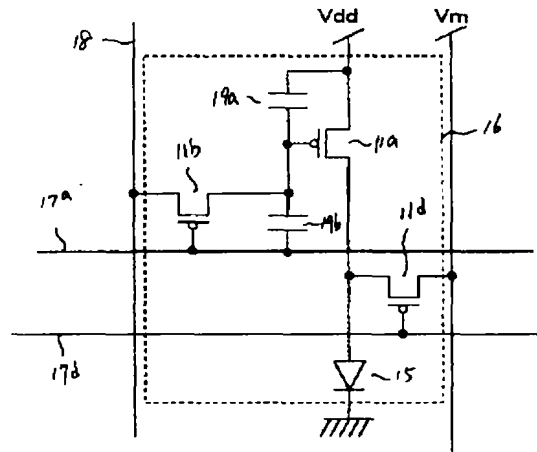
【図 261】



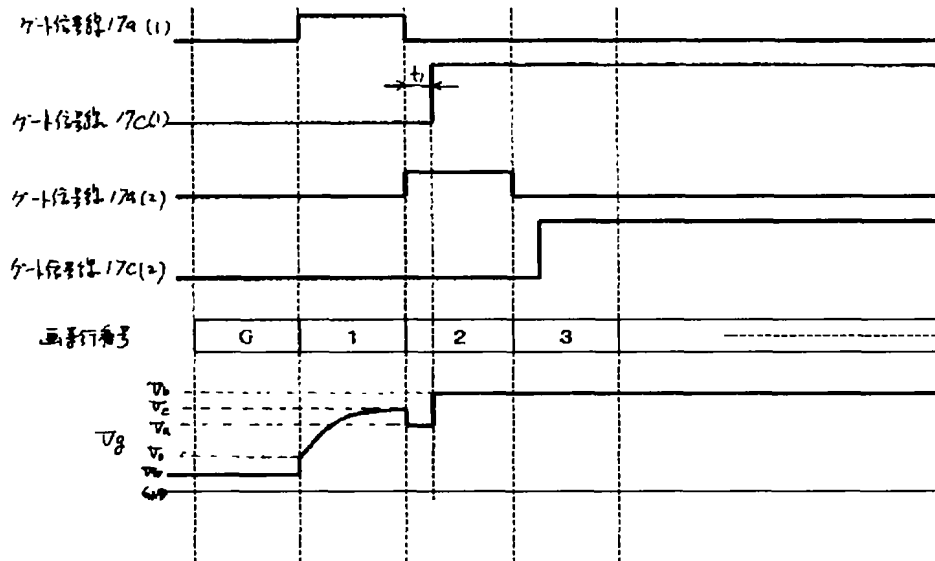
【図 262】



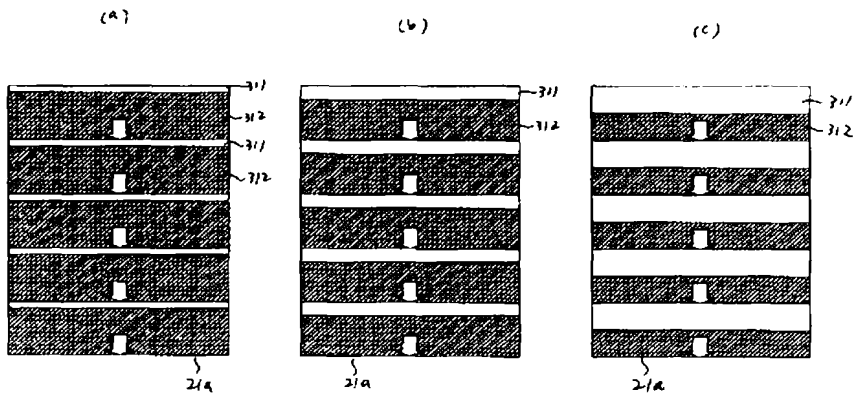
【図 276】



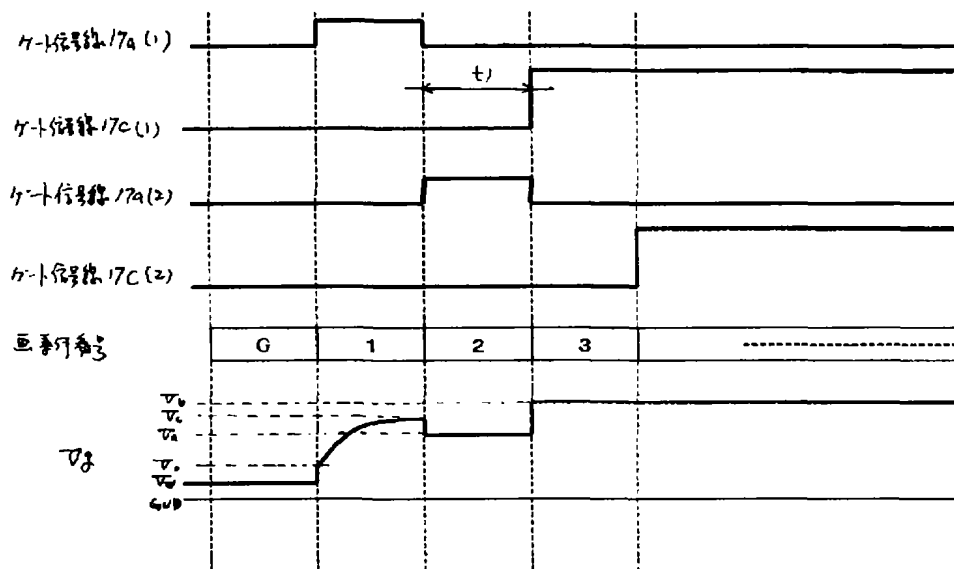
【図 263】



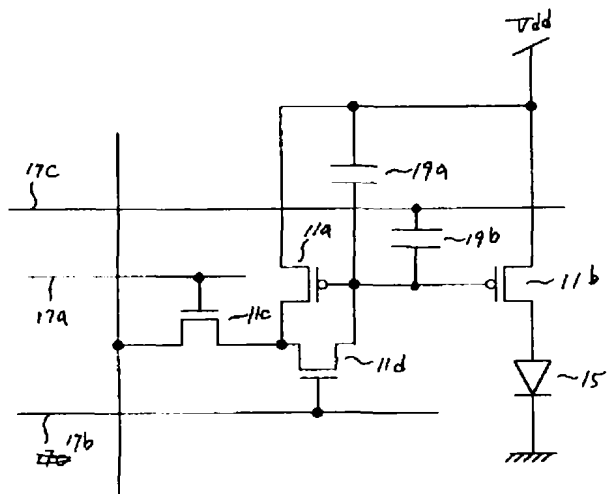
【図 291】



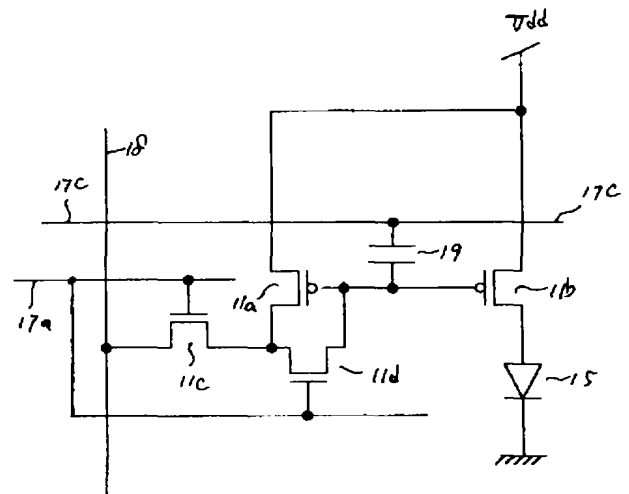
【図 264】



【図 266】



【図 267】



SECRET



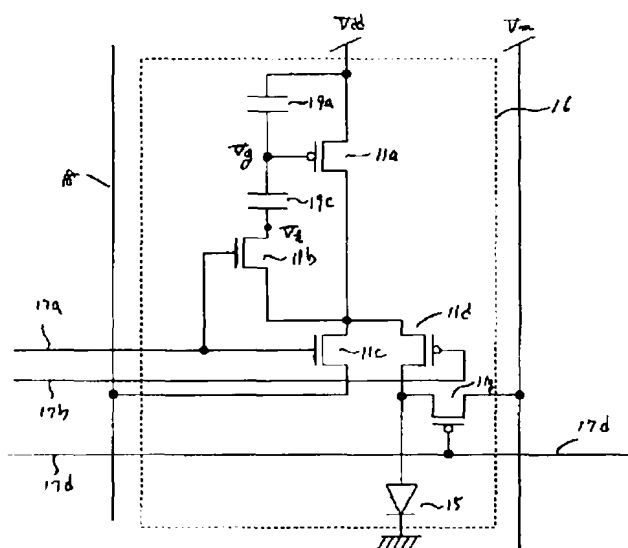
SECRET



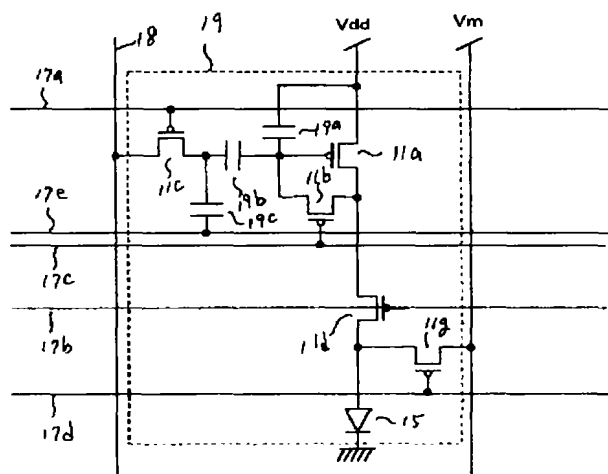
SECRET



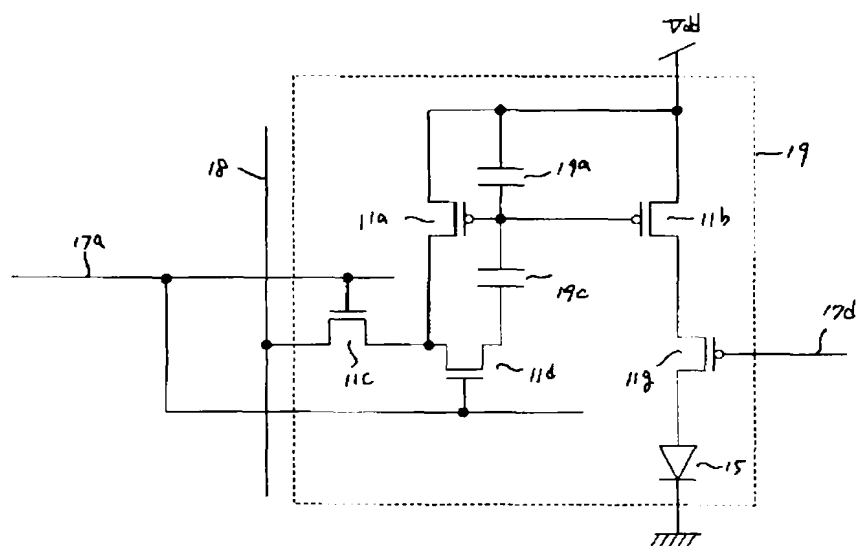
【図 272】



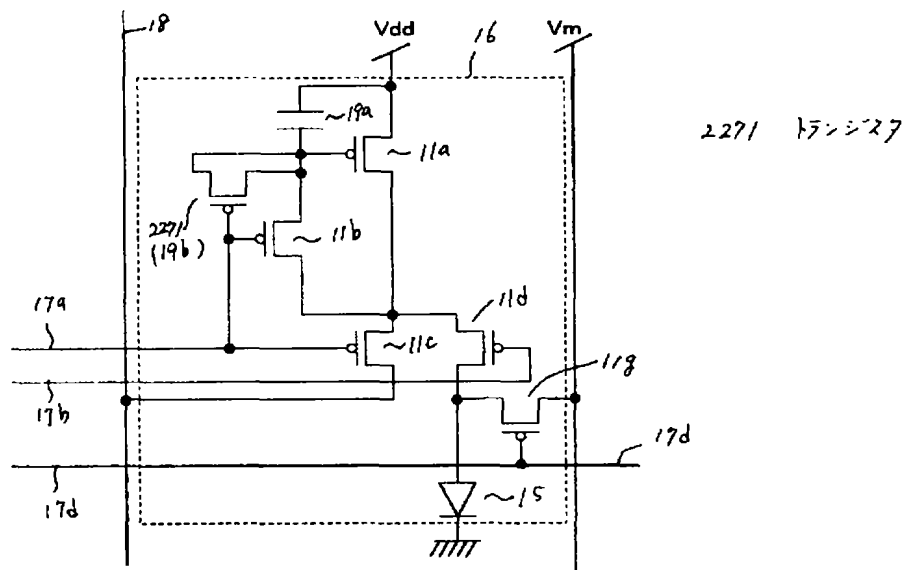
【図 278】



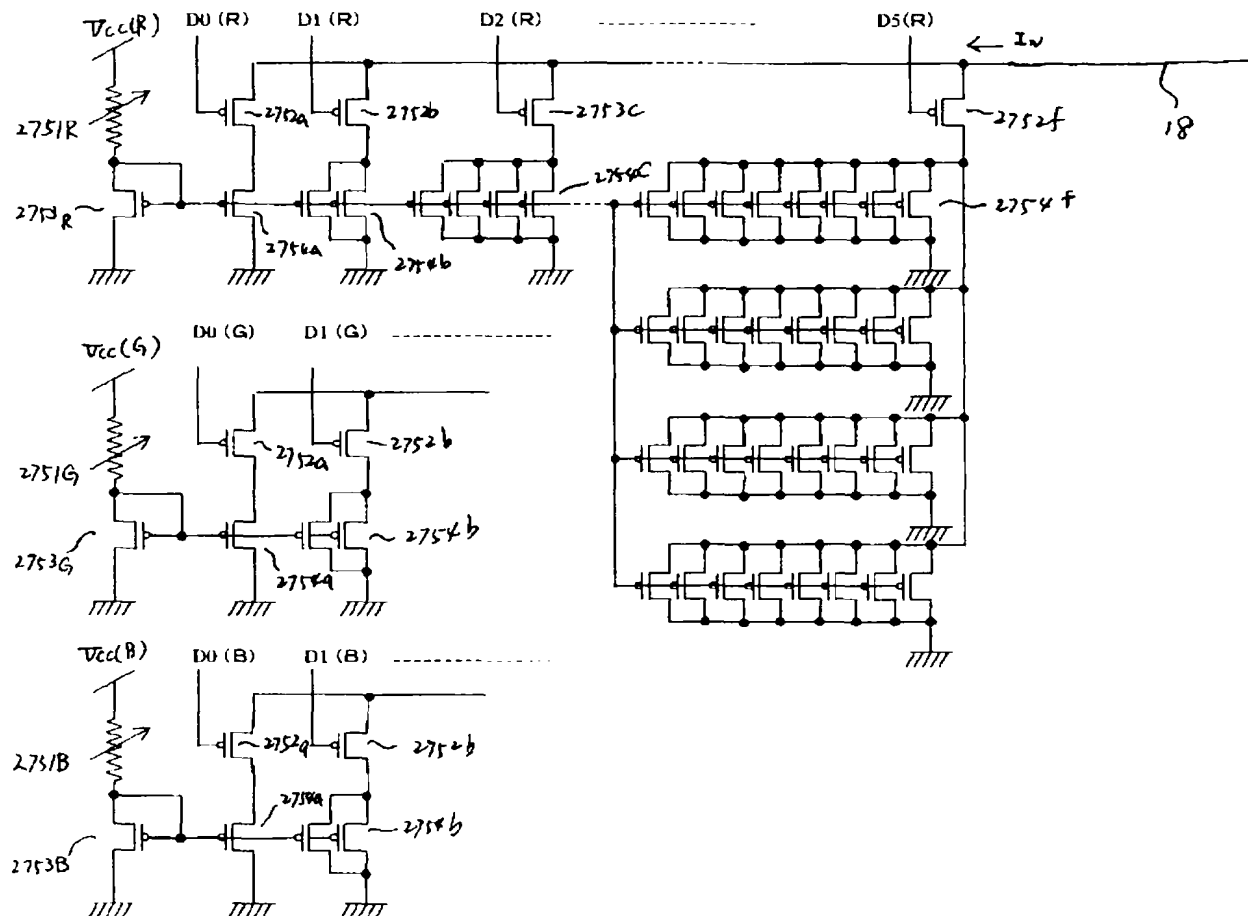
【図 273】



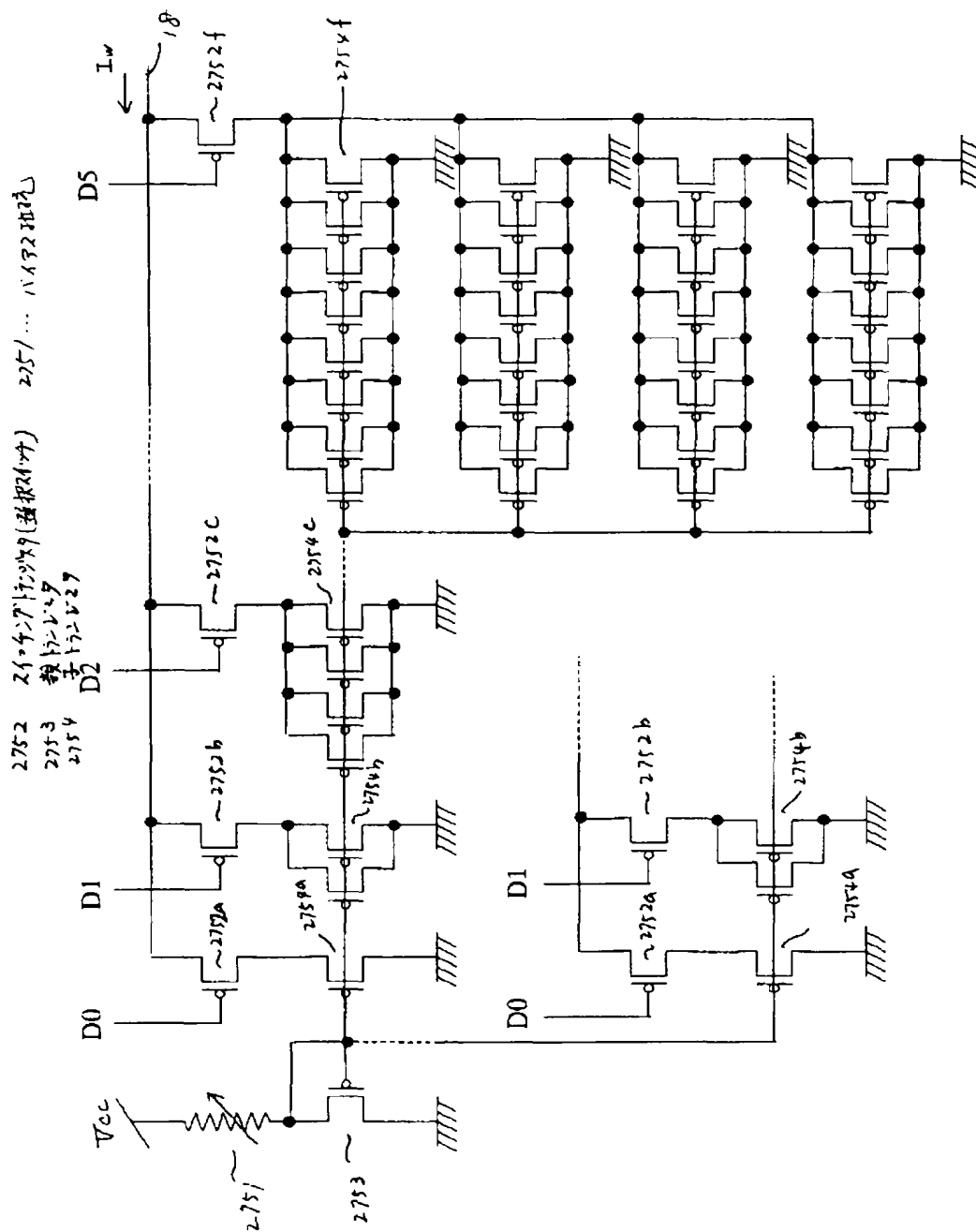
【図 280】



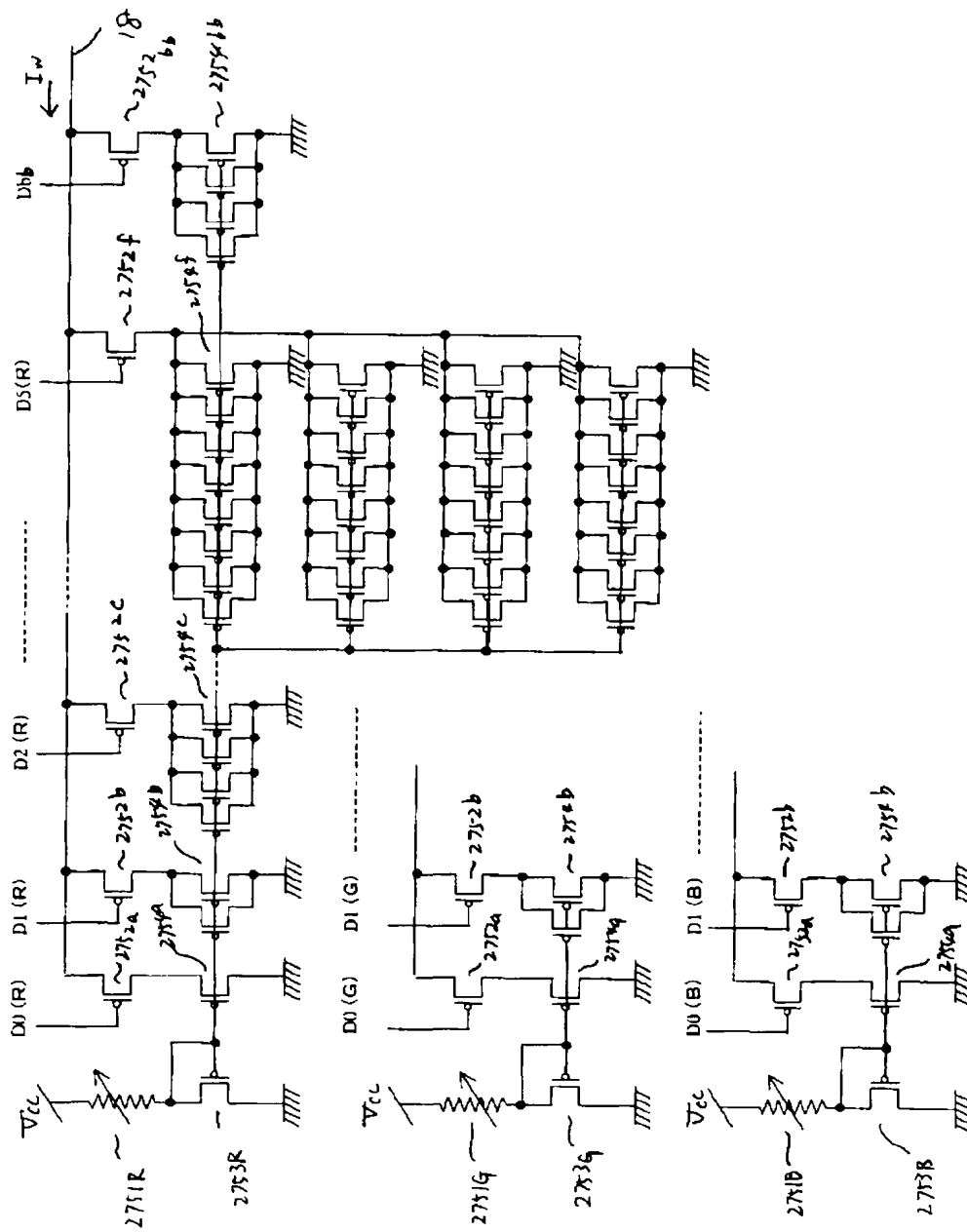
【図 282】



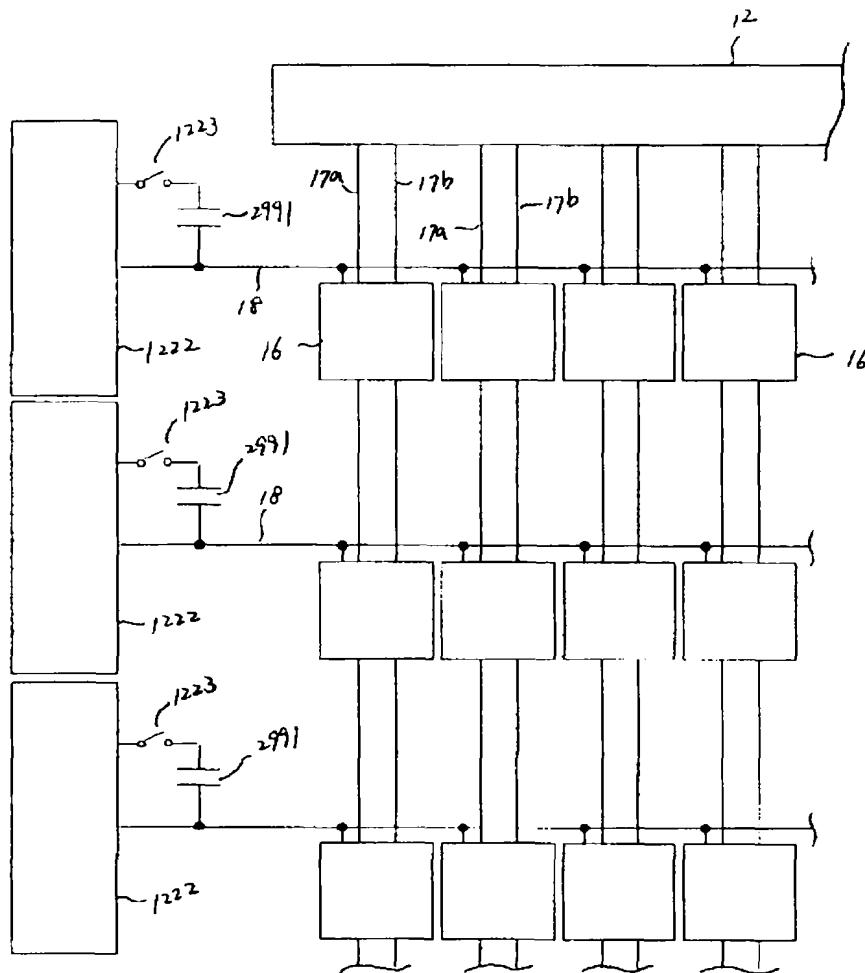
【図 281】



【図 283】

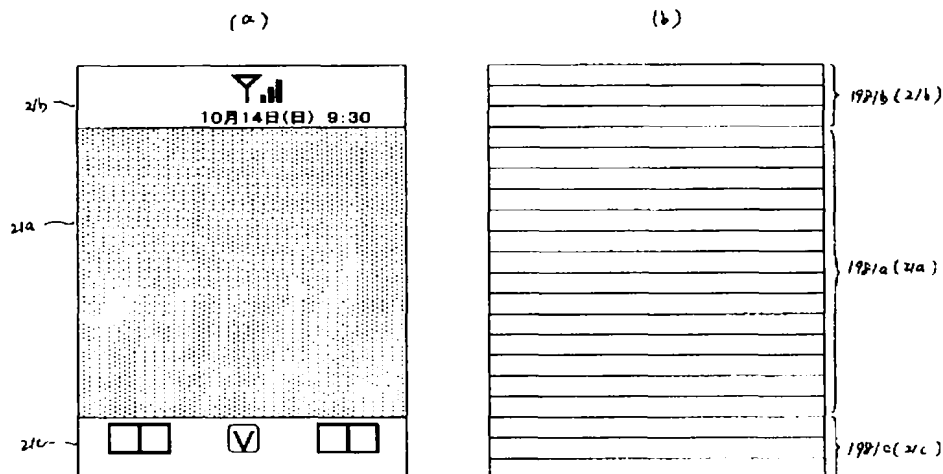


【図284】

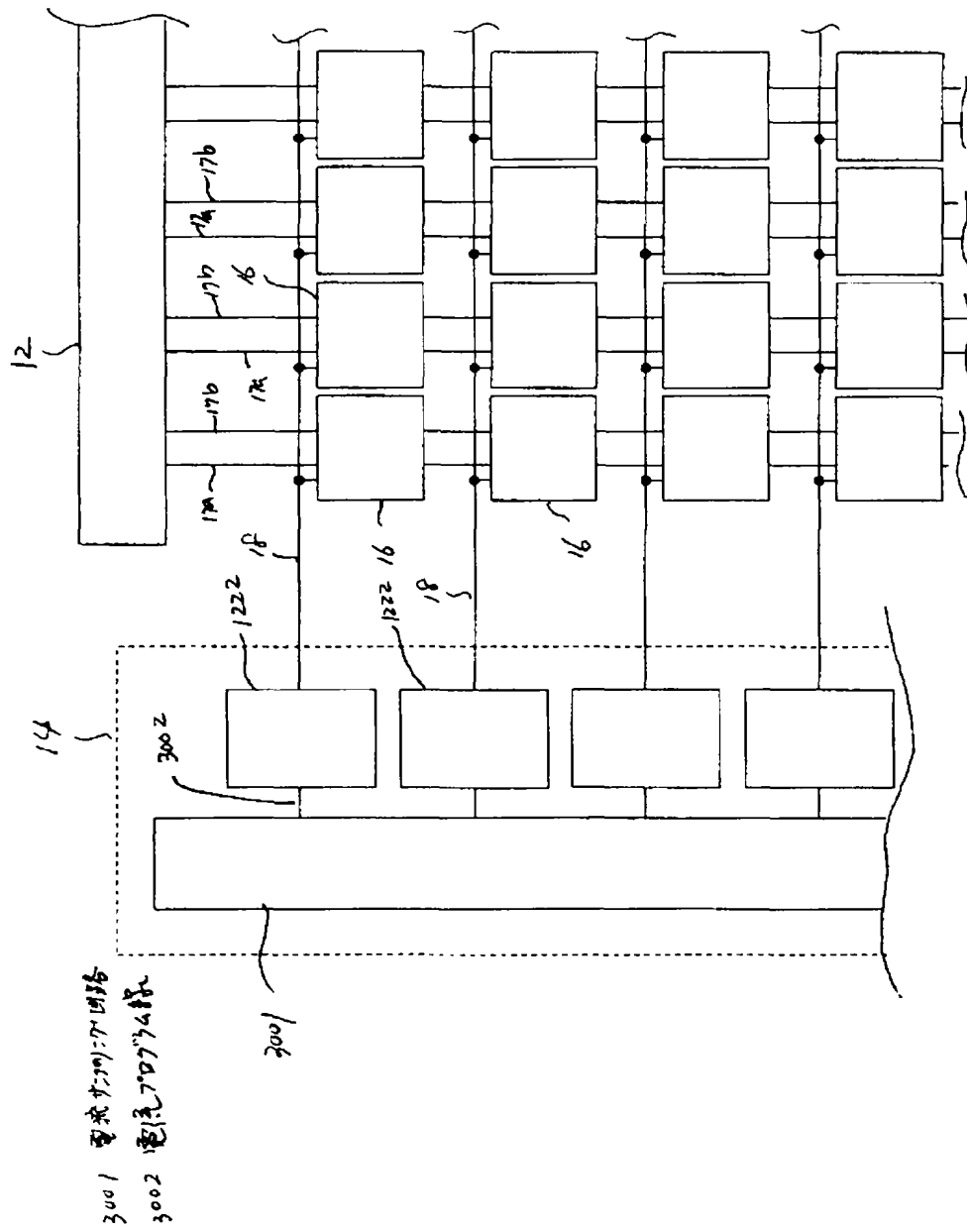


2991 カパシタリシテサ

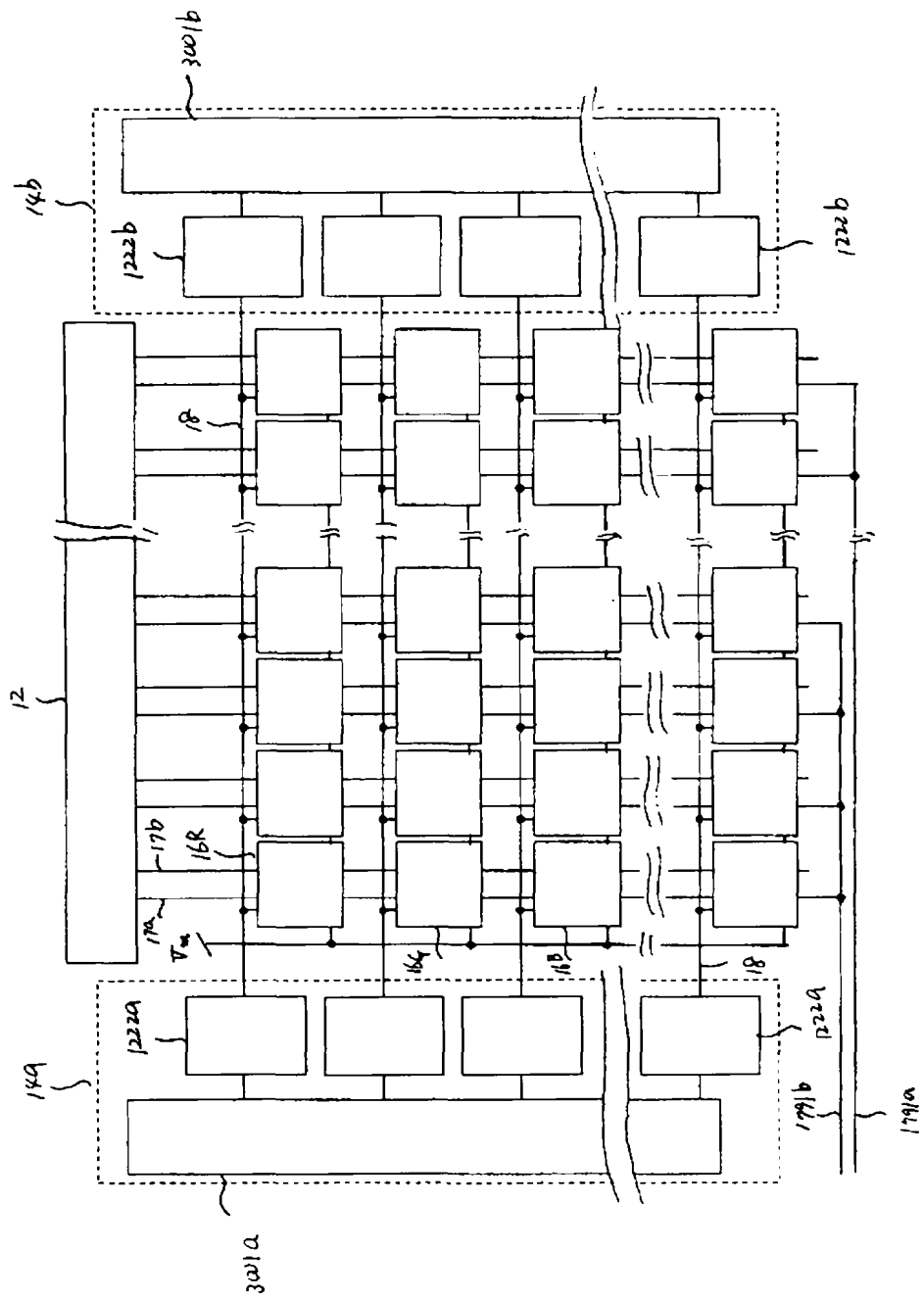
【図288】



【図285】

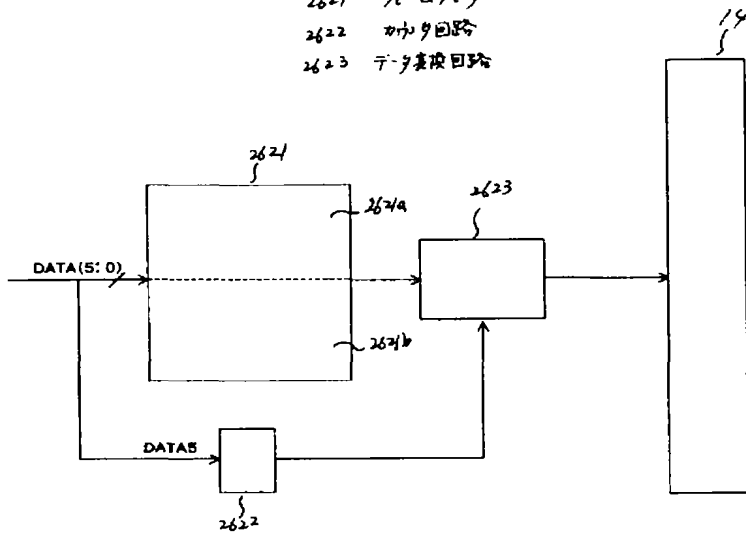


【図 287】

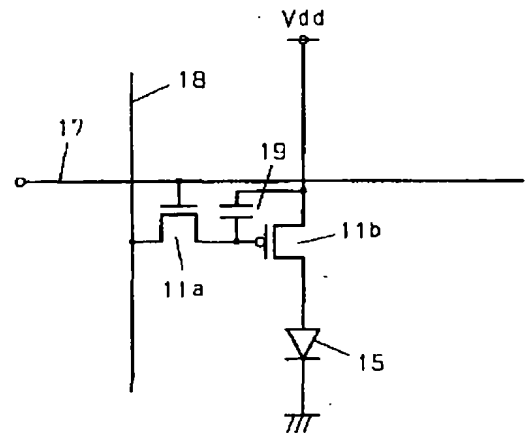


【図 289】

2621 フレーム
2622 加算回路
2623 データ選択回路

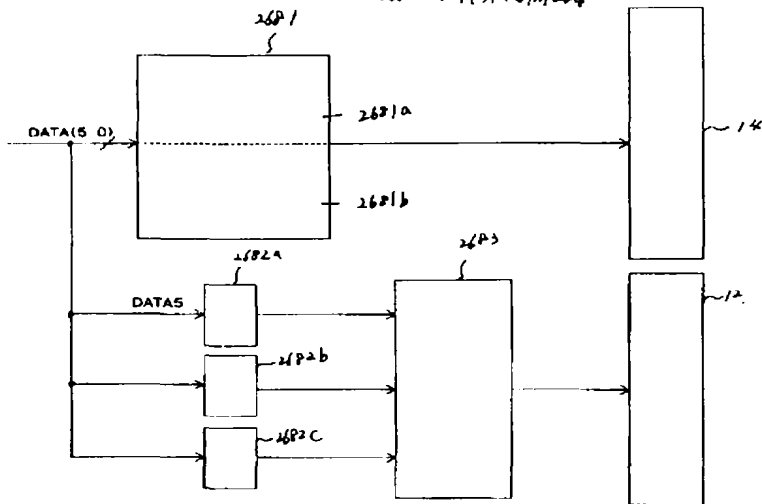


【図 302】

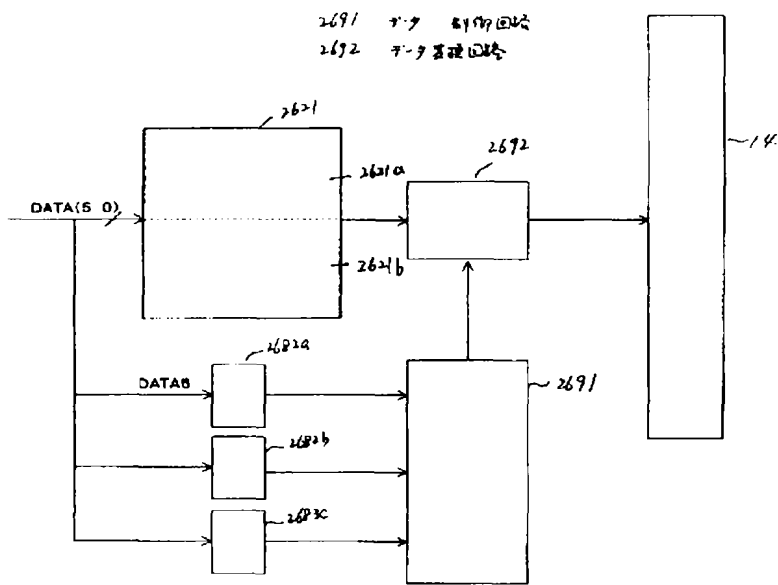


【図 290】

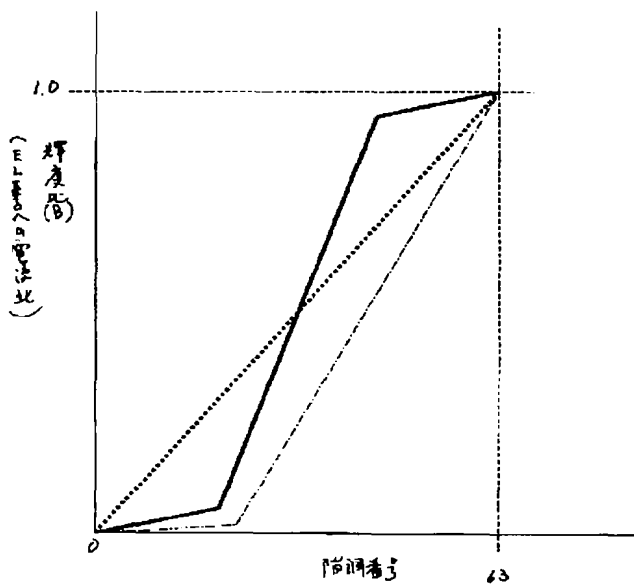
2681 フレーム
2682 加算回路(演算処理回路)
2683 ゲートドライバ制御回路



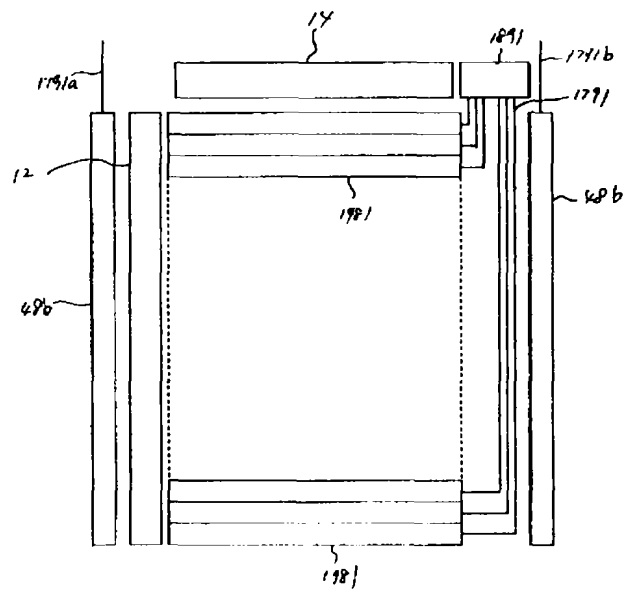
【図292】



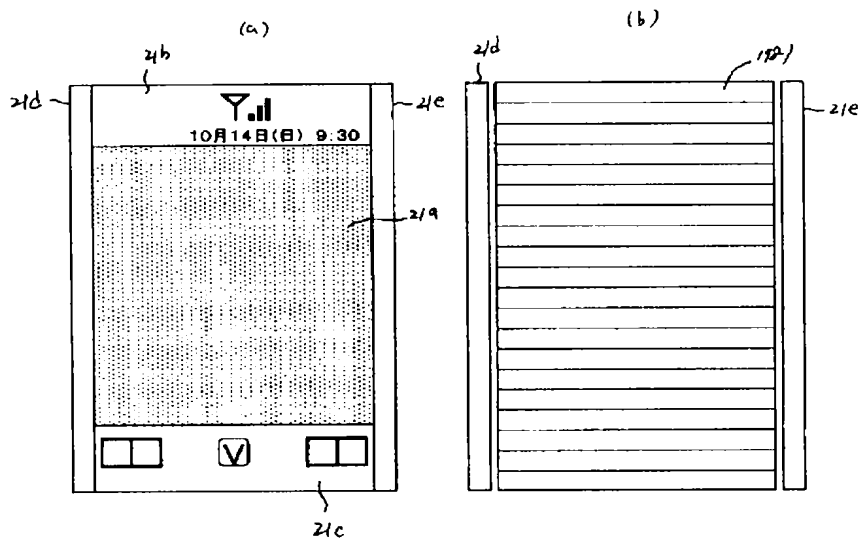
【図293】



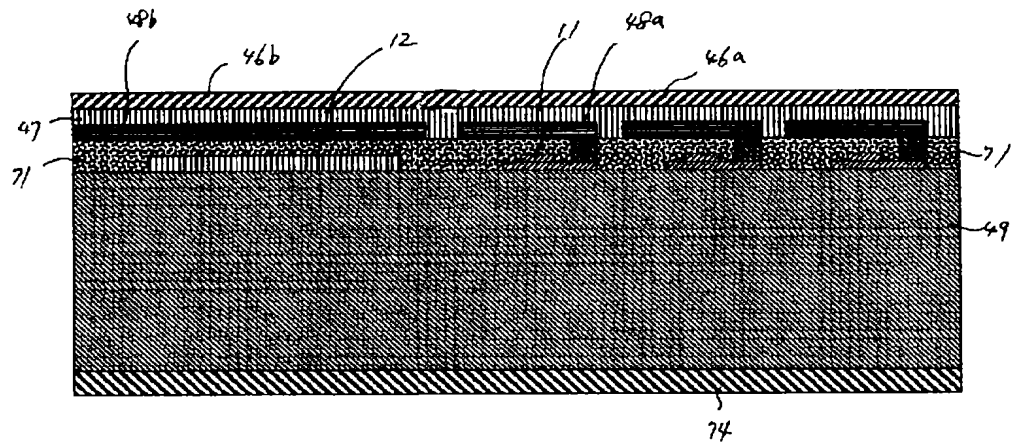
【図295】



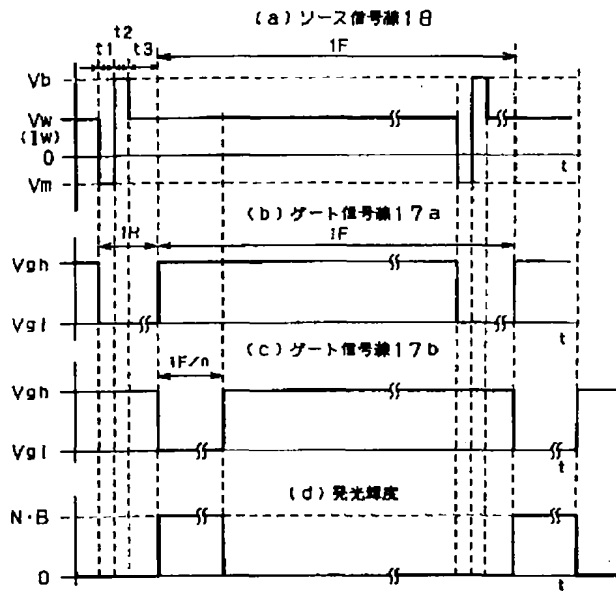
【図294】



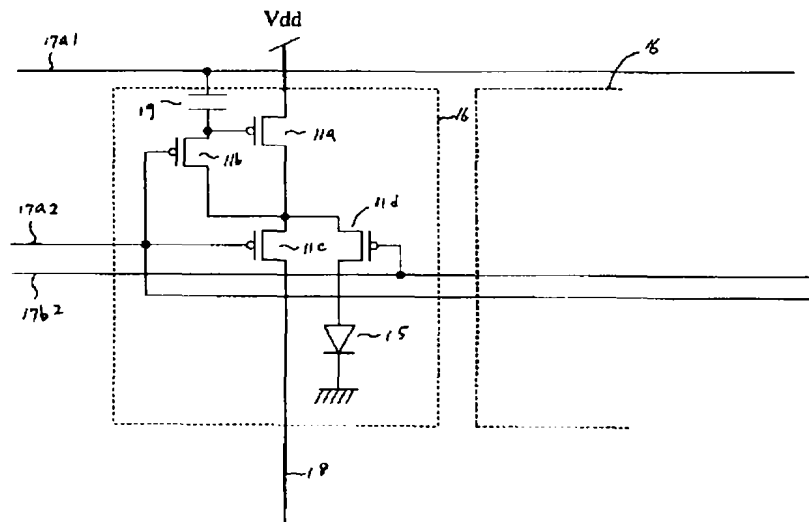
【図296】



【図 297】



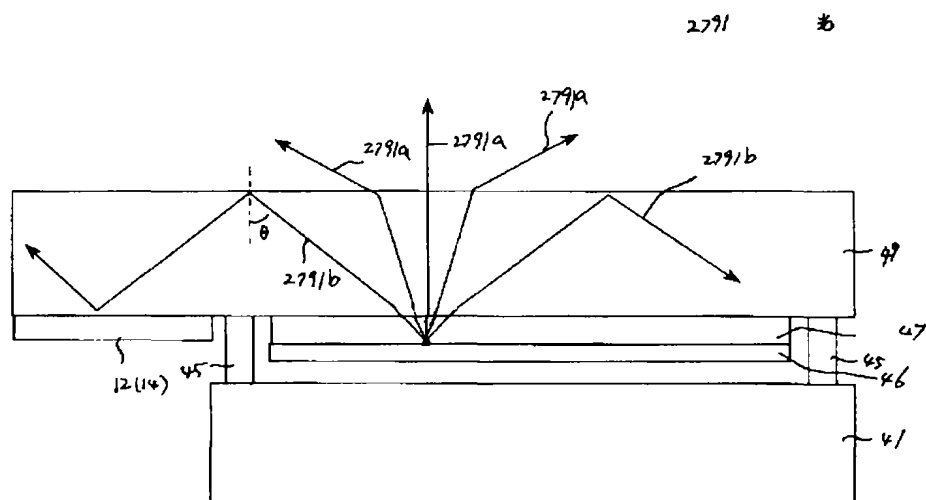
【図 298】



OSCAR ROBERTSON



【図 301】



フロントページの続き

(51) Int. Cl.		識別記号	F I	テーマコード (参考)	
G 0 9 G	3/20	6 2 3	G 0 9 G	3/20	6 2 3 F
					6 2 3 L
					6 2 3 U
		6 2 4			6 2 4 B
		6 3 1			6 3 1 A
		6 3 2			6 3 2 A
		6 4 1			6 4 1 D
					6 4 1 R
		6 4 2			6 4 2 D
		6 8 0			6 8 0 F
	3/30			3/30	H
H 0 5 B	33/02		H 0 5 B	33/02	
	33/04			33/04	
	33/10			33/10	
	33/12			33/12	B
	33/14			33/14	A

F ターム (参考) 3K007 AB02 AB04 AB05 AB11 AB17
 AB18 BA06 BB06 BB07 DB03
 EA00 EB00 FA01 GA02 GA04
5C080 AA06 BB05 CC03 DD06 DD26
 DD27 DD30 EE28 EE32 FF11
 FF13 GG11 GG12 JJ01 JJ02
 JJ03 JJ04 JJ05 JJ06 KK43
 KK47
5C094 AA07 AA08 AA10 AA13 AA22
 AA31 AA43 AA44 AA48 AA53
 AA56 BA03 BA12 BA27 CA19
 CA24 CA25 DA09 DA13 DB01
 DB04 EA04 EA07 ED01 FA01
 FA02 FB01 FB20 GA10